helion.pl
KSIĘGARNIA INTERNETOWA · WYDAWNICTWO

IDŹ DO
PRZYKŁADOWY ROZDZIAŁ
SPIS TREŚCI

KATALOG KSIĄŻEK
KATALOG ONLINE
ZAMÓW DRUKOWANY KATALOG

TWÓJ KOSZYK
DODAJ DO KOSZYKA

CENNIK I INFORMACJE
ZAMÓW INFORMACJE O NOWOŚCIACH
ZAMÓW CENNIK

CZYTELNIA
FRAGMENTY KSIĄŻEK ONLINE

Anatomia PC. Kompendium



Autor: Piotr Metzger
ISBN: 83-7361-160-6
Format: B5, stron: 424

„Anatomia PC. Kompendium” to skrócona wersja bestsellera o budowie komputerów PC. Rozproszoną i trudno dostępną wiedzę na temat sprzętu komputerowego masz teraz w zasięgu ręki, w jednym, kompletnym opracowaniu, którego kolejne edycje cieszą się niesłabnącym powodzeniem wśród czytelników. Z liczącego ponad 1000 stron oryginalnego wydania wybrano te informacje, które są najważniejsze w praktyce i których znajomość jest konieczna do zrozumienia zasad działania sprzętu PC, pomijając wiedzę o bardziej „egzotycznych” funkcjach.

Gdy Twój komputer odmówi posłuszeństwa, gdy instalacja kolejnej karty rozszerzeń czy wymiana procesora skończy się porażką, sięgnij po tę książkę. Dzięki niej z pewnością poradzisz sobie z problemami sprzętowymi. „Anatomia PC. Kompendium” to książka, którą każdy serwisant powinien mieć w swojej torbie!

Omówiono:

- Mikroprocesory
- Architekturę PC
- Układy pamięci
- Otoczenie procesora (chipset)
- Magistralę PCI
- Magistralę AGP
- Dostęp do pamięci przez DMA
- Przerwania sprzętowe
- Obsługę twardych dysków
- Budowę kart graficznych
- Łącza szeregowe i równoległe
- Złącze USB
- Karty dźwiękowe
- Zasilanie PC
- Funkcje BIOS-u

Wydawnictwo Helion
ul. Chopina 6
44-100 Gliwice
tel. (32)230-98-63
e-mail: helion@helion.pl

Spis treści

Rozdział 1. Mikroprocesor 11
Przetwarzanie rozkazów 12
RISC i CISC 12
Pipeline 13
Techniki przyspieszania 15
Dostęp do pamięci 15
Stronicowanie 17
Caching 17
Topologie 18
Organizacja pamięci podręcznej 20
Strategie 21
Obsługa przestrzeni adresowej I/O 22
Funkcje kontrolne i sterujące 23
Częstotliwość taktowania 24
Zasilanie 25
Jak rozpoznać typ procesora? 27
Czy procesor jest zgodny z układem 80286 lub lepszym? 27
Procesor 8086/88 czy 80186/88 28
Procesor 80286 29
Procesor 80386 29
Procesor 486 czy Pentium 29
Rozszerzenia 30
MMX 30
3DNow! 34
SSE 36
SSE2 39
Hyper-Threading (HT) 42
Przykłady procesorów 44
Procesor AMD — Athlon 44
Procesory firmy Intel 53

Rozdział 2. Architektury komputerów PC 59
Model PC/XT 59
Procesor 8086 59
Procesor 8088 62

Dostęp do pamięci i przestrzeni wejścia-wyjścia ... 63
Kontroler 8288 ... 64
Magistrala ISA 8-bitowa ... 68
Model AT ... 71
Procesor 80286 ... 75
Magistrala ISA 16-bitowa ... 75
Komputery z procesorami 386, 486 i Pentium ... 78
EISA ... 79
MCA ... 81
VESA ... 83
PCI ... 84

Rozdział 3. Układy pamięciowe PC ... 85
Pamięci dynamiczne ... 86
Tryb konwencjonalny (Page Mode) ... 87
FPM (Fast Page Mode) ... 87
EDO (Extended Data Out) ... 88
BEDO (Burst EDO) ... 89
Porównanie ... 90
SDRAM ... 91
Moduły pamięciowe ... 94
Moduły SIMM-30 (SIP) ... 95
Moduły SIMM PS/2 ... 95
Moduły DIMM ... 97
Odświeżanie ... 101
Wykrywanie błędów i ich korekcja ... 103
Błędy powtarzalne (HE) ... 104
Błędy sporadyczne (SE) ... 104
Kontrola parzystości ... 104
Kontrola ECC ... 105
Rozszerzenia do PC-66 ... 105
Parametry modułów ... 106
Moduły buforowane ... 107
DDR-SDRAM ... 107
DDR-II i DDR-III ... 112
RDRAM ... 113
Porównanie parametrów pamięci ... 118
LVTTL ... 119
SSTL_2 ... 120
SSTL_18 ... 121
RSL ... 121

Rozdział 4. Układy otoczenia procesora (chipset) ... 123
Zakres funkcji ... 123
Magistrala FSB ... 125
Obsługa pamięci operacyjnej i magistrali pamięciowej ... 127
Układy obsługi podstawki typu Socket 7 ... 129
Układy współpracujące z magistralą GTL+ i AGTL+ ... 130
Układy do obsługi procesorów AMD ... 138
ALi ... 138
AMD ... 139

nVidia ... 140
SiS ... 140
VIA ... 141
Wewnętrzne magistrale międzyukładowe ... 142
PCI ... 143
Hub-Interface/V-Link ... 143
RapidIO ... 144
HyperTransport (LDT) ... 146

Rozdział 5. Magistrala PCI ... 149
Gniazda magistrali PCI ... 158
Obsługa przerwań ... 160
Pamięć konfiguracyjna urządzeń PCI ... 161
Identyfikator producenta (Vendor ID) ... 161
Identyfikator urządzenia (Device ID) ... 162
Rejestr rozkazów (Command) ... 162
Rejestr stanu (Status) ... 164
Numer wersji urządzenia (Revision ID) ... 165
Kod klasy urządzenia (Class Code) ... 165
Rozmiar linii pamięci podręcznej (Cache Line Size) ... 166
Minimalny czas transmisji (Latency Timer) ... 166
Typ nagłówka (Header Type) ... 166
BIST (Build-in Self-test) ... 170
Adres bazowy (Base Address Registers) ... 170
Wskaźnik CardBus CIS (CardBus CIS Pointer) ... 171
Dodatkowy identyfikator producenta (Subsystem Vendor ID) i dodatkowy identyfikator urządzenia (Subsystem ID) ... 172
Adres bazowy rozszerzenia ROM (Expansion ROM Base Address) ... 172
Wskaźnik do listy możliwości (Capabilities Pointer) ... 173
Linia IRQ (Interrupt Line) ... 173
Linia INT (Interrupt Pin) ... 174
Długość transmisji (Min_Gnt) ... 174
Częstość (Max_Lat) ... 174
Mechanizmy dostępu do pamięci konfiguracyjnej ... 174
Pierwszy mechanizm dostępu do pamięci konfiguracyjnej ... 175
Drugi mechanizm dostępu do pamięci konfiguracyjnej ... 175
PCI BIOS ... 176
Autokonfiguracja urządzeń PCI ... 177
Rozwój PCI i inne magistrale ... 177
PCI-32/66 MHz i PCI-64 ... 177
PCI-X ... 178
PCI-Express ... 180

Rozdział 6. Kanał DMA ... 183
Układ scalony 8237A ... 184
Tryby pracy kontrolera DMA ... 186
Programowanie kontrolerów DMA ... 188
Adresy portów kontrolerów DMA w komputerze IBM PC/XT ... 188
„Sztuczne” porty komputera PC/XT ... 189

Adresy portów kontrolerów DMA w komputerze IBM PC/AT 190
„Sztuczne" porty komputera PC/AT 191
Budowa rejestrów wewnętrznych 191
Rejestr żądań (port 009h w PC/XT, 009h i 0D2h w PC/AT) 191
Rejestr stanu (port 008h w PC/XT, 008h i 0D0h w PC/AT) 192
Rejestr rozkazów (port 008h w PC/XT, 008h i 0D0h w PC/AT) . 192
Rejestr maski kanału (port 00Ah w PC/XT, 00Ah i 0D4h w PC/AT) 193
Rejestr maskujący (port 00Fh w PC/XT, 00Fh i 0DEh w PC/AT) 193
Rejestr trybu (00Bh w PC/XT, 00Bh i 0D6h w PC/AT): 194
Przebieg transmisji 194
Komputer IBM PC 195
Komputer IBM PC/XT 196
Komputer IBM PC/AT 196
Układ odświeżania pamięci 198

Rozdział 7. System obsługi przerwań sprzętowych 199
Układ scalony 8259A (PIC) 200
Cykl przyjęcia zgłoszenia 202
Kaskadowe łączenie kontrolerów przerwań 203
Fazy obsługi przerwań pochodzących od układu Slave 204
Programowanie kontrolera przerwań 205
Inicjowanie pracy układu 206
Polling 209
Przerwanie niemaskowalne (NMI) 210
Obsługa przerwań pochodzących z magistral ISA, PCI i AGP 211
Kontroler APIC 214
Strona sprzętowa 215
Obsługa APIC przez OS 218

Rozdział 8. Obsługa dysku twardego 223
Budowa kontrolera 223
Systemy kodowania MFM i RLL 223
Fizyczna organizacja danych i formatowanie 225
Formatowanie wysokiego poziomu 226
Formatowanie niskiego poziomu 227
Wykrywanie i korekcja błędów 227
Standard AT-BUS 230
Złącze fizyczne 232
Dostęp CPU do dysku AT-BUS 234
Rozszerzenia standardu pierwotnego 235
Wzrost pojemności dysków 238
Ograniczenia wnoszone przez BIOS 239
Obsługa dużych dysków 239
Podnoszenie pasma przepustowego magistrali 240
Tryby PIO 241
Tryby DMA 241
Tryb Ultra DMA/33 241
Tryb Ultra DMA/66 246
Tryby Ultra ATA/100 i Ultra ATA/133 248

Blok informacyjny ... 248
Realizacja rozkazu Identify Device ... 249
Lista rozkazów ... 249
Funkcje oszczędnościowe ... 250
System PM ... 250
System APM ... 252
Wykorzystanie powierzchni dyskowej ... 253
Proces ładowania OS ... 253
MBR i PT ... 254
System danych i FSBR ... 255

Rozdział 9. Karty graficzne ... 259
Przegląd kart graficznych ... 259
Standard VESA ... 263
Funkcje BIOS-u obsługujące karty graficzne ... 264
Pamięć lokalna akceleratorów 2D i 3D ... 265
Frame Buffer ... 266
Bufor Z/W ... 267
Pamięć tekstur ... 268
Rozmiar pamięci i organizacja ... 270
Rodzaje pamięci kart graficznych ... 273
RAM-DAC ... 276
Dopasowanie monitora do karty ... 279
Parametry karty ... 279
Jakość monitora ... 281
Kanał informacyjny VESA DDC ... 283
Złącza cyfrowe ... 284
TMDS ... 284
P&D (EVC) ... 286
DFP ... 286
DVI ... 287

Rozdział 10. Magistrala AGP ... 289
Architektura komputera z magistralą AGP ... 289
Sygnały magistrali AGP ... 292
Szyna adresów i danych ... 293
Sygnały PCI ... 293
Sygnały kontroli przepływu ... 296
Sygnały obsługi żądań AGP ... 296
Linie statusowe ... 297
Sygnały kluczujące ... 297
Sygnały USB ... 297
System zarządzania zużyciem energii ... 298
Sygnały specjalne ... 298
Linie zasilające ... 298
AGP w teorii ... 298
Kolejkowanie ... 299
Magistrala SBA ... 301
GART ... 302
DIME ... 302

AGP PRO ... 304
AGP 3.0 ... 307
Pasmo przepustowe ... 307
Poziomy napięć ... 307
Nowe sygnały i przedefiniowania ... 307
Sygnały zegarowe ... 309
Transakcje ... 310
Pobór prądu ... 310
Zgodność w dół ... 311

Rozdział 11. Łącze szeregowe ... 313
Asynchroniczna transmisja szeregowa ... 313
Układ scalony 8250 ... 315
Interfejs RS-232C ... 318
Tryb simpleksowy ... 321
Tryb półdupleksowy ... 321
Tryb dupleksowy ... 321
Bezpośrednie programowanie rejestrów UART ... 323
Przerwania generowane przez łącze szeregowe ... 325
Prędkość transmisji ... 327
Sygnały sterujące ... 328

Rozdział 12. Łącze równoległe ... 331
Terminologia programu konfiguracyjnego BIOS-u ... 333
Tryby podstawowe ... 334
Tryb standardowy ... 334
Tryb półbajtowy ... 341
Tryb bajtowy (PS/2) ... 342
Tryb EPP ... 342
Tryb ECP ... 345
Realizacja portu równoległego w ramach architektury PC ... 350
Ogólne zastosowanie łącza równoległego ... 351

Rozdział 13. Złącze USB ... 355
Specyfikacja ... 355
Topologia ... 356
Okablowanie ... 358
Protokół ... 360
Pakiety ... 362
Sterowanie w trybach LS/FS (USB 1.1) ... 363
Sterowanie w trybie HS (USB 2.0) ... 365

Rozdział 14. Karta dźwiękowa ... 369
Synteza FM ... 370
Synteza WaveTable ... 375
Digitalizacja i obróbka cyfrowa (DSP) ... 379
Przetworniki ADC i DAC ... 380
Standard Midi ... 381
Protokół MIDI ... 383
MIDI a sprzęt ... 385

Wyprowadzenia zewnętrzne ... 385
Sygnały analogowe i mikser ... 385
Sygnały cyfrowe ... 386
Wykorzystanie zasobów systemowych ... 389
„Sound on Board" według specyfikacji AC'97 ... 390
Schemat blokowy systemu AC'97 ... 391

Rozdział 15. Zasilacz ... 395
Zasilacz standardu ATX ... 397
Specyfikacja ATX/ATX12V ... 400
Dobór zasilacza ... 401
Zasilacze dużej mocy ... 403
ATXGES (AMD) ... 404
EPS12V (Intel) ... 404
ATXGES (AMD) ... 404
EPS12V (Intel) ... 404

Rozdział 16. BIOS i jego program konfiguracyjny ... 407
Organizacja systemu bezpieczeństwa ... 408
Możliwości omijania systemu bezpieczeństwa ... 409
System ochrony przed wirusami atakującymi boot-sektor ... 413
System ładowania wartości predefiniowanych ... 413
Mechanizm opuszczania programu konfiguracyjnego ... 414
Ogólna konstrukcja blokowa ... 414
Programy pseudokonfiguracyjne BIOS-u ... 415
Nowe trendy w programach BIOS ... 415
Obrazki w BIOS-ie ... 415
Podwójny BIOS ... 416
POST on Board ... 416
Voice Diagnostic ... 417
Auto-Overclocking ... 417

Skorowidz ... 419

Rozdział 2.

Architektury komputerów PC

Architektura komputerów PC przeszła długą drogę rozwoju, a patrząc z dzisiejszej perspektywy, wydaje się, iż nigdy nie będzie miał on końca. Może właśnie dzięki zdolności do adaptacji i wiecznej gotowości do wszelkich zmian przetrwała w swych ogólnych zarysach do dnia dzisiejszego. Wyniki prac badawczo-rozwojowych nad optymalizacją architektury stanowią przy okazji jeden z głównych czynników wpływających na rozwój wielu dziedzin pokrewnych.

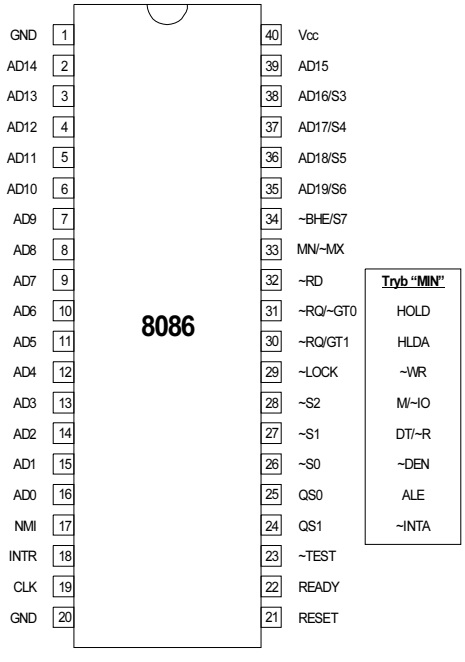
Model PC/XT

Będący pierwowzorem dla modelu XT mikrokomputer IBM PC był konstrukcją ośmiobitową. Dzisiaj ma on znaczenie wyłącznie historyczne, tak iż w zasadzie nie powinniśmy się nim więcej zajmować. Mimo to wiele rozwiązań przyjętych w modelu XT nie różni się w sposób istotny od stosowanych po dzień dzisiejszy w najnowszych modelach PC/AT. Proces śledzenia etapów rozwojowych w tej dziedzinie rozpoczniemy więc od modelu XT. W komputerach tej rodziny instalowano procesory 8086 i 8088.

Procesor 8086

Charakterystyczna dla tego modelu CPU jest możliwość pracy w dwóch trybach, minimalnym i maksymalnym. W trybie minimalnym procesor sam wytwarza sygnały sterowania magistralą systemową. Tryb maksymalny wymaga obecności specjalnego dekodera 8288, który — bazując na sygnałach statusowych S0 – S2 procesora — wytwarza niezbędne sygnały sterujące. W zależności od trybu końcówki 24 – 31 układu 8086 wykorzystywane są różnorako. Rozkład wyprowadzeń mikroprocesora 8086 przedstawiono na rysunku 2.1.

Rysunek 2.1.
Rozkład wyprowadzeń procesora 8086



Oto znaczenie poszczególnych wyprowadzeń:

AD15 – AD0 — 16-bitowa magistrala danych procesora oraz jednocześnie 16 mniej znaczących bitów 20-bitowej magistrali adresowej. W obsłudze magistrali wykorzystany jest proces zwany *multipleksowaniem*; końcówki AD15 – AD0 są używane najpierw do wystawienia adresu, po czym zmieniają swe przeznaczenie i obsługują szynę danych.

A19 – A16 S6 – S3 — Cztery najbardziej znaczące bity adresu i jednocześnie (multipleksowane) cztery linie statusowe, informujące o używanym w danej operacji rejestrze segmentowym oraz o stanie bitu IE (*Interrupt Enable*) maskującego przerwania:

S3	S4	S5	S6	Rejestr segmentowy
0	0	IE	0	ES
1	0	IE	0	SS
0	1	IE	0	CS
1	1	IE	0	DS

~BHE/S7 — *Bus High Enable* — sygnał używany przez procesor w operacjach bajtowych. Niezależnie od tego, czy przedmiotem operacji są pojedyncze bajty czy też dwubajtowe słowa, wykorzystywana jest

ta sama 16-bitowa magistrala danych. Skutkiem tego, zależnie od parzystości lub nieparzystości adresu obiektu w przestrzeni adresowej, żądany bajt zajmie na magistrali jedną z dwóch możliwych pozycji. Biorąc pod uwagę stan bitu A0 (informującego o parzystości adresu), otrzymujemy następujące kombinacje:

S7	A0	Znaczenie
0	0	Przekazywane jest słowo 16-bitowe
0	1	Bajt leży na liniach D15 – D8 (lokalizacja nieparzysta)
1	0	Bajt leży na liniach D7 – D0 (lokalizacja parzysta)
1	1	Stan zabroniony — kombinacja wykluczona

~RD — *Read* — aktywny stan tego wyjścia (odpowiadający poziomowi zera logicznego) informuje o żądaniu odczytu danych (z pamięci lub przestrzeni wejścia-wyjścia) przez procesor.

READY — Wejście wprowadzające procesor w stan oczekiwania. W stanie tym generowane są tzw. *cykle oczekiwania* (*Wait State*), a procesor czeka na zgłoszenie gotowości urządzenia wejścia-wyjścia lub pamięci. Dotyczy to obydwu kierunków wymiany danych, tzn. procesor może czekać zarówno na wystawienie danych na magistralę, jak i na ich zdjęcie. W rzeczywistości procesor otrzymuje tzw. *synchronizowany sygnał READY*, który niezależnie od asynchronicznego źródła przypada zawsze na zboczu impulsu taktującego CLK.

INTR — *Interrupt* — wejście zbierające zgłoszenia przerwań pochodzących od sprzętu. W rzeczywistości jest to „punkt wejścia" kontrolera przerwań.

~TEST — Stan tego wejścia badany jest za pomocą instrukcji `wait`. W stanie wysokim procesor wprowadzany jest w swego rodzaju „bieg jałowy" i utrzymywany w nim tak długo, jak długo sygnał na tej końcówce utrzymuje się na wysokim poziomie logicznym.

NMI — *Nonmaskable Interrupt* — wejście przerwań niemaskowalnych. W chwili zgłoszenia takiego przerwania procesor kończy rozpoczęty rozkaz i zapamiętawszy swój stan, przechodzi do wykonania procedury obsługi przerwania INT 2.

RESET — Wejście wymuszające inicjalizację procesora (powrót do stanu wyjściowego), oznaczającą załadowanie rejestrów wewnętrznych procesora ściśle określonymi wartościami oraz podjęcie wykonywania programu od adresu F000h:FFF0h.

W celu wywołania procedury inicjalizacji sygnał RESET musi utrzymać się w wysokim stanie logicznym przez, co najmniej, 4 cykle zegara taktującego CPU (ma to na celu uodpornienie wejścia na zakłócenia).

CLK — Sygnał taktujący dla procesora.

~S0, ~S1, ~S2 — Sygnały sterujące dla kontrolera magistrali 8288 (tylko w trybie maksymalnym). Możliwe są następujące kombinacje:

S2	S1	S0	Znaczenie
0	0	0	INTA, sygnał przyjęcia zgłoszenia przerwania (*IRQ — Interrupt Request*)
0	0	1	Procesor czyta z przestrzeni wejścia-wyjścia
0	1	0	Procesor pisze do przestrzeni wejścia-wyjścia
0	1	1	HALT, procesor w stanie oczekiwania
1	0	0	Trwa uzupełnianie podręcznej kolejki rozkazów
1	0	1	Procesor czyta z pamięci
1	1	0	Procesor pisze do pamięci
1	1	1	Stan pasywny

Regulują dostęp do szyny lokalnej, którą połączone są układy bezpośredniego dostępu do pamięci (DMA), procesor i koprocesor.

QS0 – QS1 — Podają stan podręcznej kolejki rozkazów (*Prefetch Queue*).

MN/~MX — Przełącznik trybu pracy MIN/MAX (1 = tryb minimalny, 0 = tryb maksymalny).

Vcc — Wejście napięcia zasilającego (+5 V).

GND — Masa.

Modele PC/XT używają procesora 8086 wyłącznie w trybie maksymalnym, tzn. wspomaganego kontrolerem magistrali 8288. Znaczenie sygnałów trybu minimalnego nie będzie więc omawiane.

Procesor 8088

Procesor 8088 był oszczędnościową wersją układu 8086. Nie chodziło tu bynajmniej o oszczędności przy produkcji samego procesora, lecz o cenę 8-bitowych układów peryferyjnych z nim współpracujących.

W zakresie zestawu rozkazów i trybów adresowania oba układy są w pełni zgodne. Oba przetwarzają dane 16-bitowe, a różnica tkwi w szerokości magistrali danych wyprowadzanej na zewnątrz układu. Procesor 8088 wyprowadza jedynie osiem bitów, chociaż operuje na szesnastu. Każda operacja dostępu do dwubajtowego słowa wykonywana jest w dwóch etapach. Przykładowe polecenie przesłania 16-bitowego słowa z pamięci do akumulatora AX rozpisywane jest przez sprzęt w niewidoczny dla oprogramowania sposób na dwie elementarne operacje jednobajtowe. Dokonywane są one na rejestrach AH i AL i to niezależnie od tego, czy dotyczą one parzystego czy nieparzystego adresu w pamięci.

Następną różnicę w stosunku do procesora 8086 stanowi zredukowana do 4 bajtów długość kolejki rozkazów. Kolejka ta jest uzupełniana jednocześnie z wykonywaniem rozkazu (jeśli aktualnie wykonywany rozkaz nie wymaga dostępu do magistrali) już przy ubytku jednego bajta (dla porównania, w 8086 począwszy od dwóch bajtów). Czas dostępu do bajtu pamięci wynosi cztery cykle zegarowe. Może się więc zdarzyć, że kolejka wypełniona rozkazami nie wymagającymi argumentów pobieranych z pamięci (na przykład `clc`, `ror`, `sti`) wyczerpie się szybciej niż nastąpi jej uzupełnienie. Stanowi to dodatkowe ograniczenie w pracy procesora.

Dostęp do pamięci i przestrzeni wejścia-wyjścia

Procesory serii 80x86 mogą adresować dwa nakładające się na siebie obszary. Oba z nich adresowane są poprzez tę samą systemową magistralę adresową, a wymiana danych między nimi a procesorem przebiega tą samą magistralą danych.

Pierwszy z omawianych obszarów stanowi *pamięć operacyjną*. Można się do niego odwoływać, używając przykładowo rozkazu `mov x,y` (gdzie `x` i `y` mogą określać adres w pamięci lub jeden z rejestrów procesora). Drugi obszar określany jest mianem *przestrzeni wejścia-wyjścia* (*I/O*, *Input/Output*). Można się zwracać do niego za pomocą rozkazów `in a,port` i `out port,a`. `port` symbolizuje lokalizację w przestrzeni adresowej wejścia-wyjścia, zaś `a` jest akumulatorem, czyli jednym z rejestrów procesora. Rozkazy z grupy `mov` dopuszczają użycie jako argumentu w zasadzie dowolnego rejestru procesora (z niewielkimi wyjątkami, na przykład niedozwolone są przesłania pomiędzy rejestrami segmentowymi). W przeciwieństwie do nich, rozkazy `in` i `out` akceptują wyłącznie akumulator — AX dla portów 16-bitowych lub AL dla portów 8-bitowych. O tym, który z tych dwóch obszarów zostanie wybrany i jaki będzie kierunek przekazywania informacji (do czy od CPU), decydują sygnały systemowej magistrali sterującej:

IOWC — zapis do przestrzeni wejścia-wyjścia,

IORC — odczyt z przestrzeni wejścia-wyjścia,

MRDC — odczyt z pamięci,

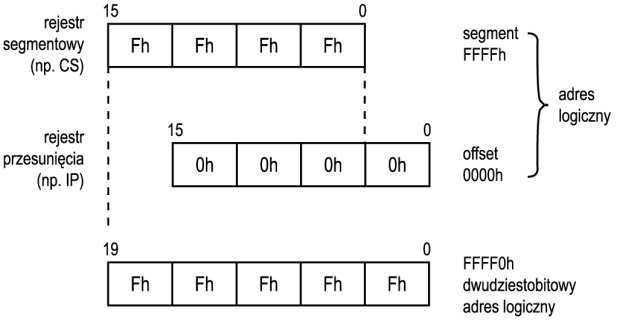
MWDC — zapis do pamięci.

20 linii adresowych procesora 8086 umożliwia dostęp do przestrzeni adresowej o wielkości 1 MB. Zastosowany w 8086 mechanizm adresowania wykorzystuje tzw. *segmentację*. 20-bitowy adres fizyczny składa się z 16-bitowego adresu segmentu (*Segment Address*) zapisanego w jednym z rejestrów segmentowych procesora (CS, DS, ES lub SS) i 16-bitowego przemieszczenia wewnątrz segmentu (*Offset Address*) zapisanego w jednym z pozostałych rejestrów[1].

Bezpośrednią konsekwencją przyjętego sposobu adresowania jest logiczny podział pamięci na segmenty o wielkości do 65 536 bajtów, natomiast najistotniejszą konsekwencją pośrednią — możliwość relokacji kodu z dokładnością do 16 bajtów (minimalna różnica

[1] Nie wszystkie rejestry procesora 8086 mogą być użyte do adresowania pamięci. Nie da się w tym celu wykorzystać rejestrów AX, CX i DX.

pomiędzy początkami dwóch różnych segmentów). Sposób tworzenia adresu fizycznego na podstawie zapisanego w odpowiednich rejestrach adresu logicznego (w postaci *segment:offset*) przedstawia rysunek 2.2.



Rysunek 2.2. *Sposób tworzenia adresu fizycznego*

Procesor 8086 może zaadresować 65 536 portów jednobajtowych lub 32 768 portów dwubajtowych (albo ich kombinację nie przekraczającą łącznie rozmiarów segmentu, tj. 64 kB). Układy dekoderów adresowych płyty głównej ograniczają jednak ten obszar do 1 024 bajtów, tj. adresów 000h – 3FFh, przy zachowaniu możliwości koegzystencji portów 8- i 16-bitowych.

Porty przestrzeni adresowej wejścia-wyjścia stanowią swego rodzaju bramy, przez które procesor widzi rejestry wewnętrzne różnych urządzeń. Urządzenia te są na ogół wyspecjalizowanymi sterownikami zawierającymi mniej lub bardziej rozbudowaną listę poleceń przyjmowanych przez jeden z portów. Stan, w jakim znajduje się dany sterownik, obrazowany jest zwykle poprzez zawartość tzw. *rejestru statusowego* (dostępnego też przez jeden z portów). Również sam transport danych do i z urządzenia może odbywać się poprzez porty, ale mechanizm ten nie jest zbyt wydajny.

Procesor uzyskuje dzięki temu możliwość programowania różnych układów peryferyjnych za pomocą instrukcji `out`. Jest również możliwe sprawdzanie stanu urządzenia przez pobranie zawartości jego rejestru statusowego instrukcją `in`.

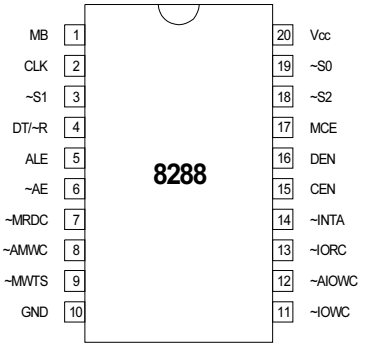
Kontroler 8288

Układ scalony 8288 spełnia rolę pośrednika między samym procesorem a systemową magistralą sterującą. Stanowi on w gruncie rzeczy dekoder sygnałów S0 – S2 procesora 8086. Na tej podstawie generowane są sygnały sterujące magistrali, tj. IOWC, IORC, MWTC, MRDC i INTA oraz statusu procesora. 8288 steruje ponadto pracą rejestrów zatrzaskowych[2] (*Latch*) buforów magistrali adresowej i danych. Stosowanie tego rodzaju rejestrów jest niezbędne, bowiem dane i adresy muszą być utrzymywane na szynach tak długo, jak długo jest to potrzebne dla prawidłowego zakończenia operacji transmisji. W przeciwnym razie mogłoby się bowiem zdarzyć, że wystawione na szynę słowo zniknęłoby z niej, zanim procesor zdążyłby je przejąć.

[2] Są to rejestry przechowujące załadowaną do nich wartość do chwili załadowania następnej.

Dalej opisano poszczególne wyprowadzenia omawianego kontrolera (rysunek 2.3). W czasach, gdy komputer PC/XT składał się z ogromnej liczby pojedynczych kostek, układy takie montowane były oddzielnie. Współczesne chipsety mają oczywiście zintegrowane kontrolery magistral.

Rysunek 2.3. *Rozkład wyprowadzeń układu 8288*



~S0 – ~S2	Połączone są z wyjściami ~S0 – ~S2 procesora.
CLK	Wejście doprowadzające sygnał zegara systemowego z układu 8284.
MB	Wejście sterujące trybem pracy magistral. Stan 1 (tryb MULTIBUS) odpowiada powszechnie stosowanemu protokołowi firmy Intel, 0 wymusza maksymalną prędkość pracy magistral.
~MWTC	*Memory Write* — niski poziom logiczny na tym wyjściu ustala kierunek przesyłania danych na „CPU → pamięć”.
~MRDC	*Memory Read* — niski poziom logiczny na tym wyjściu ustala kierunek przesyłania danych na „pamięć → CPU”.
~IOWC	*Input/Output Write* — niski poziom logiczny na tym wyjściu ustala kierunek przesyłania danych na „CPU → I/O”.
~IORC	*Input/Output Read* — niski poziom logiczny na tym wyjściu ustala kierunek przesyłania danych na „I/O → CPU”.
DEN	*Data Enable* — niski poziom logiczny na tym wyjściu jest sygnałem dla rejestru zatrzaskowego buforu magistrali danych, powodującym zamrożenie w nim jej aktualnego stanu.
ALE	*Address Latch Enable* — zamraża stan magistrali adresowej.
DT/~R	*Data Transmit/Receive* — informuje o aktualnym ogólnym kierunku pracy szyny; 1 — procesor pisze, 0 — procesor czyta.
~INTA	Sygnał potwierdzenia przyjęcia przerwania sprzętowego przez procesor.
~AEN	*Address Enable* — podanie na to wejście stanu niskiego powoduje uaktywnienie wyjść układu 8288 sterujących magistralami.

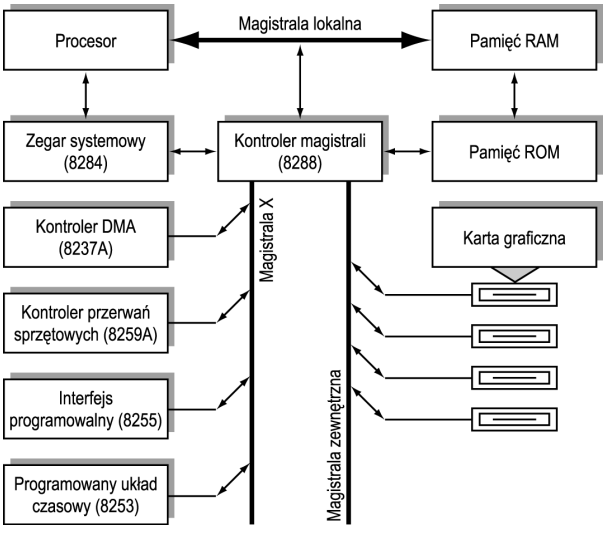
CEN	*Command Enable* — podanie na to wejście stanu niskiego ustawia wszystkie wyjścia sterujące magistralami oraz wyjścia DEN i ~PDEN w stanie nieaktywnym.
MCE/~PDEN	*Master Cascade/Peripherial Data Enable* — w zależności od stanu wejścia MB wyjście to służy do obsługi priorytetu przerwań lub komunikacji z urządzeniami wejścia-wyjścia. W komputerach PC XT wyjście to nie jest wykorzystywane.
~AMWC	*Advanced Memory Write* — wystawienie sygnału na tym wyjściu uprzedza układy pamięci o mającej nastąpić operacji zapisu.
~AIOWC	*Advanced I/O Write Command* — wystawienie sygnału na tym wyjściu uprzedza układy wejścia-wyjścia o mającej nastąpić operacji zapisu.
V_{cc}	Wejście napięcia zasilającego (+5 V).
GND	Masa zasilania.

Pozostałe elementy architektury XT

Centralnym punktem tego komputera był oczywiście procesor 8086 lub 8088. Płyta główna XT była przystosowana do instalacji koprocesora arytmetycznego 8087. W niektórych późniejszych modelach PC/XT stosowane były procesory V20 i V30 firmy NEC, będące rozbudowanymi wersjami 8088 i 8086.

Główny zegar taktujący (4,77 MHz) wykorzystywał sygnał 14,3181 MHz generowany w układzie 8284 (po podziale przez 3). Nowsze modele XT odbiegały od tego rozwiązania i korzystały z bezpośredniego generatora o częstotliwości sięgającej 12 MHz. Wszystkie pozostałe elementy płyty głównej XT kontaktują się z procesorem poprzez magistrale przedstawione na rysunku 2.4:

- *Magistralę lokalną*, obejmującą 16-bitową szynę danych i 20-bitową szynę adresową procesora 8086.
- *Magistralę systemową*, sprzężoną z magistralą lokalną poprzez rejestry zatrzaskowe sterowane sygnałem ALE. Wszystkie 20 bitów adresu oraz 8 bitów systemowej magistrali danych wyprowadzone są do gniazd rozszerzających. Magistrala systemowa dostarcza też zestawy sygnałów sterujących, takich jak ~IOR, ~IOW, ~MEMR, ~MEMW, IRQ*n*, DRQ*n*, ~DACK*n* itd.
- *Magistralę X*, komunikującą się z pamięcią ROM zawierającą systemowy BIOS (ale nie z rozszerzeniami BIOS na kartach) oraz z portami układów na płycie głównej.
- *Magistralę pamięciową*, która łączy szyny systemowe z obwodami pamięci dynamicznej poprzez układy adresowania wierszy i kolumn pamięci.
- *Magistralę zewnętrzną*, która stanowi wyprowadzenie 20-bitowej systemowej szyny adresowej, 8-bitowej szyny danych i większości sygnałów systemowej szyny sterującej.



Rysunek 2.4. *Schemat blokowy komputera XT*

Powyższe magistrale łączą procesor z następującymi elementami:

- RAM — dynamiczną pamięcią operacyjną;
- ROM — pamięcią stałą zawierającą procedury inicjalizujące (wykonywane w momencie włączenia komputera) oraz BIOS (*Basic Input/Output System*), stanowiący zestaw podstawowych procedur obsługi urządzeń wejścia i wyjścia;
- 8259A — 8-kanałowym kontrolerem przerwań sprzętowych[3] o następującym przyporządkowaniu:

Linia IRQ	Wektor	Urządzenie
0	08h	Zegar systemowy (kanał 0 generatora 8253)
1	09h	Klawiatura
2	0Ah	Zarezerwowane
3	0Bh	COM2
4	0Ch	COM1
5	0Dh	Kontroler dysku twardego
6	0Eh	Kontroler napędu dysków elastycznych
7	0Fh	LPT1

Wektor oznacza numer indeksu wskazującego adres procedury obsługi danego przerwania umieszczony w tzw. *tablicy wektorów przerwań*. Tablica ta znajduje się w pamięci w obszarze 00000h – 003FFh i zawiera czterobajtowe pozycje reprezentujące kolejne adresy.

[3] Do grupy przerwań sprzętowych należy również przerwanie niemaskowalne (NMI), chociaż nie jest ono obsługiwane przez żaden z kontrolerów 8259A.

- 8253 — programowanym układem czasowym zawierającym trzy niezależne liczniki o następującym przyporządkowaniu:

Licznik	Przeznaczenie
0	Implementacja zegara systemowego poprzez okresowe wywoływanie IRQ0
1	Odświeżanie pamięci
2	Obsługa głośnika

- 8237A — kontrolerem DMA (*Direct Memory Access*), który implementuje wirtualny kanał łączący układy wejścia-wyjścia z pamięcią i pracuje bez udziału procesora. Układ dysponuje czterema kanałami:

Kanał	Przeznaczenie
0	Układ odświeżania pamięci
1	Łącze synchroniczne SDLC (*Synchronous Data Link Control* — standard łącza synchronicznego firmy IBM)
2	Kontroler napędu dysków elastycznych
3	Kontroler dysku twardego

- 8255 — programowanym interfejsem PPI (*Programmable Peripheral Interface*), obsługującym następujące urządzenia:
  - klawiaturę,
  - przełączniki pamięci konfiguracji (*Configuration Switches*),
  - włączanie i wyłączanie głośnika,
  - sterowanie napędem pamięci kasetowej.

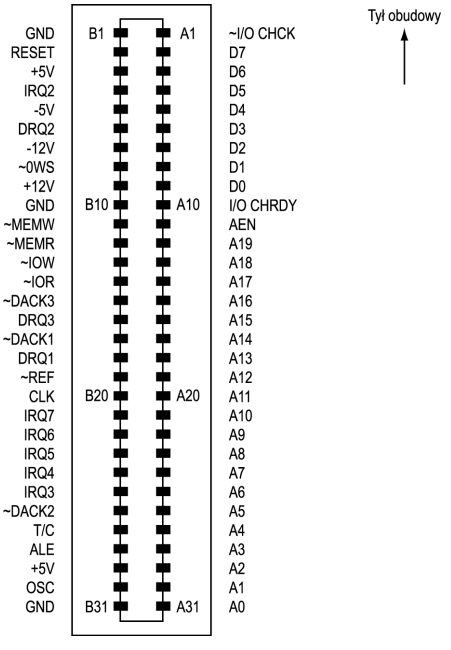
Większość elementów architektury XT zlokalizowanych jest na płycie głównej, a niektóre umieszczone są na kartach rozszerzeń (sterowniki dysków, łączy szeregowych i równoległych). Wszystkie układy mają ściśle określone obszary adresowe w przestrzeni wejścia-wyjścia, w której widoczne są ich rejestry sterujące. Zestawienie tych adresów podano w tabeli 2.1.

Magistrala ISA 8-bitowa

Zewnętrzna magistrala architektury PC/XT jest ośmiobitowa. Komputery tej klasy wyposażane były w umieszczone na płycie głównej 62-końcówkowe gniazda rozszerzające (*Expansion Slots*) (rysunek 2.5). Liczba tych gniazd nie była jednoznacznie określona i zależała od modelu płyty. W gniazdach tych można było umieszczać karty 8-bitowe (tzw. krótkie), charakteryzujące się pojedynczym złączem grzebieniowym.

Tabela 2.1. *Podział przestrzeni adresowej I/O w komputerze PC/XT*

Zakres	Przyporządkowanie	Zakres	Przyporządkowanie
000h – 00Fh	Kontroler DMA 8237A	2F8h – 2FFh	Łącze szeregowe COM2
020h – 021h	Kontroler przerwań 8259A	300h – 31Fh	Karta prototypowa
040h – 043h	Programowalny układ czasowy 8253	320h – 32Fh	Sterownik dysku twardego
060h – 063h	Interfejs programowalny 8255	378h – 37Fh	Łącze równoległe LPT1
080h – 083h	Rejestry stron DMA	380h – 38Fh	Łącze synchroniczne SDLC
0A0h – 0AFh	Rejestr maskujący NMI	3A0h – 3AFh	Zarezerwowane
0C0h – 0CFh	Zarezerwowane	3B0 – 3DFh	Karta graficzna VGA
0E0h – 0EFh	Zarezerwowane	3B0h – 3BFh	Karta monochromatyczna i LPT1
100h – 1FFh	Wolne	3C0h – 3CFh	Karta graficzna EGA
200h – 20Fh	Karta gier	3D0h – 3DFh	Kolorowa karta graficzna (EGA, CGA)
210h – 217h	Zarezerwowane	3E0h – 3E7h	Zarezerwowany
220h – 24Fh	Zarezerwowane	3F0h – 3F7h	Sterownik napędu dysków elastycznych
278h – 27Fh	Łącze równoległe LPT2	3F8h – 3FFh	Łącze szeregowe COM1
2F0h – 2F7h	Zarezerwowane		



Rysunek 2.5.
Gniazdo 8-bitowej magistrali zewnętrznej

Teoretycznie jest całkowicie obojętne, w którym z gniazd umieszczona została dana karta, bowiem wszystkie wyprowadzenia połączone były równolegle (wyjątek stanowiło złącze J8 w starszych modelach XT). Niektóre karty umieszczone zbyt blisko siebie mogły wzajemnie zakłócać swoją pracę. Uwaga ta nie straciła aktualności do dnia dzisiejszego, chociaż odnosi się obecnie raczej do magistrali PCI.

Krótki opis sygnałów 8-bitowej magistrali ISA przedstawia poniższe zestawienie:

±5 V, ±12 V	Komplet napięć zasilających, z których mogą korzystać karty rozszerzeń.
GND	Masa zasilania.
OSC	Sygnał zegara systemowego 14,318180 MHz; ten sam sygnał, po podzieleniu częstotliwości przez 3, otrzymuje procesor.
IRQ2 – IRQ7	*Interrupt Request* — linie zgłoszeń przerwań sprzętowych. Kanały 0 (zegar systemowy) i 1 (klawiatura) obsługują urządzenia zainstalowane na płycie głównej, tak więc nie zostały wyprowadzone.
DRQ1 – DRQ3	*DMA Request* — linie zgłoszeń żądania przydziału kanału 1, 2 lub 3 DMA. Kanał 0 DMA jest już zajęty (obsługuje odświeżanie pamięci), nie został więc wyprowadzony.
~DACK1 – – ~DACK3	*DMA Acknowledge* — odpowiadające liniom DRQ*n* linie potwierdzenia przyjęcia żądania obsługi kanałem DMA.
~DACK0	Sygnał, który może być wykorzystany przez karty posiadające własną pamięć dynamiczną do jej odświeżania. Pojawia się on równolegle z odbywającymi się z udziałem kanału 0 DMA cyklami odświeżania pamięci na płycie głównej.
~IOR	*I/O Read* — sygnał ten przyjmuje poziom niski (aktywny) w chwili wystawienia przez procesor lub kontroler DMA żądania dostępu do przestrzeni adresowej wejścia-wyjścia w celu odczytu.
~IOW	*I/O Write* — sygnał ten przyjmuje poziom niski (aktywny) w chwili wystawienia przez procesor lub kontroler DMA żądania dostępu do przestrzeni adresowej wejścia-wyjścia w celu zapisu.
~MEMR	*Memory Read* — sygnał ten przyjmuje poziom niski (aktywny) w chwili wystawienia przez procesor lub kontroler DMA żądania dostępu do przestrzeni adresowej pamięci w celu odczytu.
~MEMW	*Memory Write* — sygnał ten przyjmuje poziom niski (aktywny) w chwili wystawienia przez procesor lub kontroler DMA żądania dostępu do przestrzeni adresowej pamięci w celu zapisu.
RESET	Przekazuje kartom rozszerzeń sygnał generowany na płycie po naciśnięciu przycisku RESET.

A0 – A19	20-bitowa magistrala adresowa komputera. Stan linii A0 – A19 odzwierciedla stan wyprowadzeń A0 – A19 procesora 8086/8088 lub jest wytwarzany przez układ kontrolera DMA.
D7 – D0	Dwukierunkowa, ośmiobitowa magistrala danych.
ALE	*Address Latch Enable* — sygnał wytwarzany przez kontroler magistrali 8288; informuje o ustabilizowaniu adresu na magistrali adresowej, co jest jednocześnie poleceniem dla układów kart rozszerzeń, że należy podjąć dekodowanie adresu i próbę „dopasowania go" do własnej przestrzeni adresowej.
I/O CHRDY	*I/O Channel Ready* — poziom sygnału na tej linii sprawdzany jest przez procesor lub kontroler DMA w każdym cyklu dostępu do urządzeń wejścia-wyjścia. Powolne układy peryferyjne mogą w ten sposób sygnalizować konieczność wprowadzenia przez urządzenie żądające dostępu (tj. procesor lub kontroler DMA) tzw. cykli oczekiwania, czyli dodatkowych, „pustych" cykli zegarowych (*Wait States*) w oczekiwaniu na dane. Poziom logicznej 1 oznacza gotowość urządzenia, logiczne 0 wymusza oczekiwanie.
~I/O CHK	*I/O Channel Check* — układy zamontowane na kartach rozszerzeń mogą tą drogą zgłaszać płycie głównej swoje niedomagania wykluczające je z dalszej pracy. Sygnał aktywny (tj. zero logiczne) powoduje wygenerowanie przerwania 2 (INT 2), a więc uruchomienie takiej samej akcji, jak w przypadku błędu parzystości pamięci na płycie (wyświetlenie odpowiedniego komunikatu i zatrzymanie systemu).
AEN	Wysoki poziom logiczny na tej linii oznacza, że kontroler DMA przejął kontrolę nad magistralami systemowymi (końcówki procesora znajdują się w stanie wysokiej impedancji).
T/C	*Terminal Count* — sygnał generowany przez kontroler DMA. Wskazuje na zakończenie cyklu dostępu DMA (wykonanie zaprogramowanej liczby transmisji).

Karty rozszerzeń są niezmiernie ważnym elementem architektury komputera. Zapewniają one w zasadzie nieograniczoną elastyczność w projektowaniu urządzeń peryferyjnych, które z punktu widzenia oprogramowania będą się zachowywały tak, jak gdyby znajdowały się na płycie głównej.

Model AT

Na płycie głównej komputerów AT można było znaleźć oprócz procesora już tylko kilka układów scalonych wysokiej skali integracji. Nie oznaczało to bynajmniej, że nastąpiły jakieś gruntowne zmiany w stosunku do architektury pierwowzoru, w którym można

było jednoznacznie zlokalizować wszystkie charakterystyczne układy scalone. Podwyższenie skali integracji było zabiegiem technologicznym i nie naruszało w żaden sposób pełnej zgodności funkcjonalnej elementów systemu.

W modelu AT wprowadzono oczywiście pewne unowocześnienia — inaczej nie można by przecież mówić o nowym modelu. Oto ogólna sylwetka architektury AT, określanej też mianem ISA (*Industry Standard Architecture*):

- Procesor otrzymuje sygnał taktujący z układu 82284, będącego następcą 8284 (stosowanego z procesorami 8086/8088). Procesory 80286 w pierwszych modelach AT taktowane były sygnałem 6 MHz. Później na rynku znalazły się układy scalone 80286 produkcji firmy Harris, dające się taktować zegarem 25 MHz. Do wyższej częstotliwości zegarowej musiały zostać przystosowane również inne elementy architektury, a nie tylko sam procesor.
- 24-bitowa magistrala adresowa komputera AT pokrywa przestrzeń adresową do 16 MB, co jednak wymaga oprogramowania wykorzystującego tzw. chroniony tryb pracy procesora (*Protected Mode*). W zgodnym z 8086/8088 trybie rzeczywistym (*Real Mode*) wykorzystanych jest tylko 20 linii adresowych.
- Do współpracy z układem 80286 przewidziano koprocesor arytmetyczny 80287, dla którego zamontowano dodatkową podstawkę na płycie głównej.
- W modelu AT możemy wyróżnić następujące magistrale:
  - **Magistralę lokalną** (24 linie adresowe i 16 linii danych) połączoną bezpośrednio z procesorem.
  - Poprzez zastosowanie rejestrów zatrzaskowych uzyskuje się ustabilizowaną **magistralę systemową**. Stanowi ona kopię części magistrali lokalnej (kompletna szyna danych plus linie adresowe A0 – A19).
  - **Magistrala X** obsługuje komunikację z ROM-BIOS oraz z portami układów umieszczonych na płycie głównej (ale nie z rozszerzeniami BIOS na kartach).
  - Linie magistrali systemowej z obwodami pamięci dynamicznej (poprzez układy adresowania wierszy i kolumn pamięci) łączy **magistrala pamięciowa**.
  - **Magistrala L** wyprowadza linie A17 – A23 magistrali lokalnej do gniazd rozszerzających (tj. magistrali zewnętrznej).
  - **Magistrala zewnętrzna**, która stanowi wyprowadzenie 24-bitowej systemowej szyny adresowej, 16-bitowej szyny danych i większości sygnałów systemowej szyny sterującej.

Jedynymi układami mogącymi przejąć pełną kontrolę nad magistralami systemowymi (tzn. inicjować transmisję i decydować o jej kierunku) są procesor i kontroler DMA. Przywileju tego nie ma żaden inny procesor zamontowany na karcie rozszerzeń. Magistrala zewnętrzna wyprowadza co prawda sygnał ~MASTER, ale procedura przejęcia sterowania rozpoczyna się od wymiany sygnałów uzgodnienia z kontrolerem DMA, który to dopiero odłącza procesor systemowy od magistral.

♦ Dla zwiększenia liczby kanałów IRQ (linii przyjmujących zgłoszenia przerwań sprzętowych) wprowadzony został drugi układ 8259A (*Slave*). Jest on podłączony do jednego z wejść układu głównego (*Master*). Komputer AT dysponuje dzięki temu 15 kanałami IRQ o następującym przyporządkowaniu:

Linia IRQ	Wektor	Urządzenie
0	08h	Zegar systemowy
1	09h	Klawiatura
2	0Ah	Wyjście kaskadowe do układu *Slave*
3	0Bh	COM2
4	0Ch	COM1
5	0Dh	LPT2
6	0Eh	Kontroler napędu dysków elastycznych
7	0Fh	LPT1
8	70h	Zegar czasu rzeczywistego
9	71h	Wywołuje przerwanie IRQ2
10	72h	Zarezerwowane
11	73h	Zarezerwowane
12	74h	Zarezerwowane
13	75h	Koprocesor arytmetyczny
14	76h	Kontroler dysku twardego
15	77h	Zarezerwowane

Wektor oznacza numer indeksu wskazującego adres procedury obsługi danego przerwania umieszczony w tzw. *tablicy wektorów przerwań*. Tablica ta znajduje się w pamięci w obszarze 00000h – 003FFh i zawiera czterobajtowe pozycje reprezentujące kolejne adresy.

Do grupy przerwań sprzętowych należy też przerwanie niemaskowalne (NMI), które nie jest jednak obsługiwane przez żaden z kontrolerów 8259A.

♦ System DMA także otrzymał dodatkowe wsparcie w postaci drugiego układu scalonego 8237A zainstalowanego dla potrzeb transmisji 16-bitowych. Kanały DMA zostały przydzielone w następujący sposób:

Kanał	Szerokość w bitach	Przeznaczenie
0	8	Zarezerwowany
1	8	Układ transmisji synchronicznej SDLC
2	8	Kontroler napędu dysków elastycznych
3	8	Zarezerwowany
4	–	Kaskada
5	16	Zarezerwowany
6	16	Zarezerwowany
7	16	Zarezerwowany

- Programowalny układ czasowy 8253 został zastąpiony unowocześnionym modelem 8254, którego trzy niezależne kanały obsługują następujące urządzenia:

Kanał	Przeznaczenie
0	Generacja sygnału IRQ0 (zegar systemowy)
1	Odświeżanie pamięci
2	Obsługa głośnika

- Zrezygnowano z usług większości mikroprzełączników (DIP) dla ustalania parametrów konfiguracyjnych systemu. Ich miejsce zajęła podtrzymywana bateryjnie pamięć CMOS (układ scalony MC146818). Przy okazji tych zmian wprowadzony został zegar czasu rzeczywistego, pracujący również przy wyłączonym komputerze (podtrzymywanie bateryjne). W modelu XT zegar pracował tylko od włączenia do wyłączenia komputera.
- Magistrala zewnętrzna otrzymała dostęp do wszystkich 16 bitów systemowej szyny danych oraz wzbogacona została o kilka nowych sygnałów sterujących.

Do wszystkich układów scalonych stanowiących składowe systemu można się odwoływać przez porty umieszczone w przestrzeni adresowej wejścia-wyjścia (tabela 2.2).

Tabela 2.2. *Podział przestrzeni adresowej wejścia-wyjścia w komputerze PC/AT*

Zakres	Przyporządkowanie	Zakres	Przyporządkowanie
000h – 00Fh	Kontroler DMA 8237A, Master	278h – 27Fh	Łącze równoległe (LPT2)
020h – 021h	Kontroler przerwań 8259A, Master	2C0h – 2DFh	Druga karta EGA
040h – 043h	Programowalny układ czasowy 8254	2F8h – 2FFh	Łącze szeregowe COM2
060h – 063h	Kontroler klawiatury 8042	300h – 31Fh	Karta prototypowa
070h – 071h	Zegar czasu rzeczywistego	320h – 32Fh	Wolne
080h – 083h	Rejestry stron DMA	370h – 377h	Drugi kontroler FDD
0A0h – 0AFh	Kontroler przerwań 8259A, Slave	378h – 37Fh	Łącze równoległe LPT1
0C0h – 0CFh	Kontroler DMA 8237A, Slave	380h – 38Fh	Łącze synchroniczne SDLC
0E0h – 0EFh	Zarezerwowane	3A0h – 3AFh	Zarezerwowane
0F0h – 0FFh	Koprocesor 80287	3B0h – 3DFh	Karta graficzna VGA
100h – 1EFh	Wolne	3B0h – 3BFh	Karta monochromatyczna i LPT1
170 – 177h	Drugi kontroler HDD AT-BUS	3C0h – 3CFh	Karta graficzna EGA
1F0h – 1F7h	Kontroler HDD AT-BUS	3D0h – 3DFh	Kolorowa karta graficzna (CGA, EGA)
200h – 20Fh	Karta gier	3E0h – 3E7h	Zarezerwowany
210h – 217h	Zarezerwowane	3F0h – 3F7h	Sterownik dysków elastycznych
220h – 267h	Wolne	3F8h – 3FFh	COM1

Procesor 80286

Pod względem budowy wewnętrznej procesor 80286 nie różni się w istotny sposób od swego poprzednika. Nowością jest jedynie wprowadzenie tzw. chronionego trybu pracy (*Protected Mode*). Jego istota polega na implementacji sprzętowej kontroli dostępu do określonych obszarów pamięci. Mechanizmy te znajdują zastosowanie w pracy wielozadaniowych systemów operacyjnych.

Układ 80286 dysponuje specjalnym, dodatkowym zestawem rozkazów przeznaczonych do obsługi tego trybu pracy. Poza nim (tj. w trybie rzeczywistym *Real Mode*) procesor nadal dysponuje listą rozkazów zgodną z 8086, ale poszerzoną o kilka nowych poleceń. Nie mogły być one jednak wykorzystane w aplikacjach zachowujących „zgodność w dół" do poziomu XT.

Poszerzona do 24 bitów magistrala adresowa pokrywała przestrzeń 16 MB. Z obszaru tego można było jednak korzystać wyłącznie w trybie chronionym. W trybie rzeczywistym trzeba się było zadowolić zakresem adresowania zgodnym z 8086, tj. 1 MB. Sposób generacji adresu fizycznego pozostał bez zmian. W trybie rzeczywistym 80286 zachowywał się po prostu jak szybki 8086. Na zwiększenie efektywnej szybkości przetwarzania miało wpływ nie tylko podniesienie częstotliwości taktującej do 25 MHz, ale również poprawki w konstrukcji wewnętrznej procesora oraz zmodyfikowana obsługa magistrali.

Obszar przestrzeni adresowej dla urządzeń wejścia-wyjścia jest zgodny z możliwościami procesora 8086; teoretycznie można obsłużyć 64 k portów 8-bitowych o adresach 0 – 65 535, 32 k portów 16-bitowych o parzystych adresach 0, 2, 4, …, 65 534 lub ich kombinacje w zakresie do 64 kB. Podobnie jednak jak w modelu XT, wbudowany w płytę dekoder adresów wejścia-wyjścia rozpoznaje tylko 1 024 z nich — są to porty ulokowane w zakresie 0 – 1 023 (000h – 3FFh).

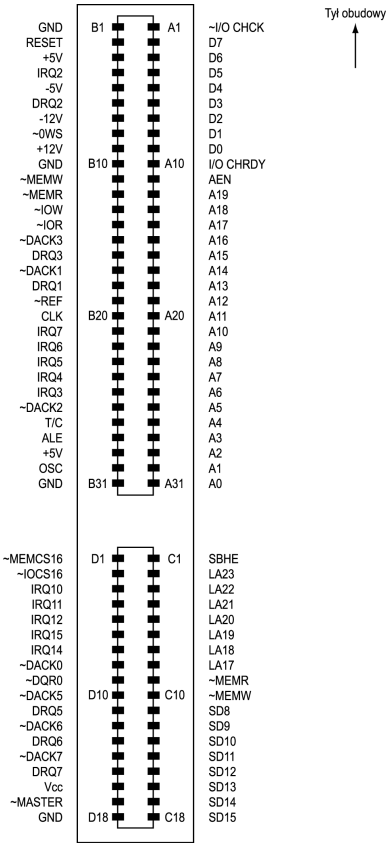
Układ 8086 miał możliwość samodzielnego wytwarzania sygnałów sterowania magistralą, co umożliwiało rezygnację z udziału kontrolera 8288. Procesor 80286 nie ma takiej możliwości i musi współpracować z odpowiadającym mu kontrolerem magistrali 80288.

Magistrala ISA 16-bitowa

Podobnie jak w modelu PC/XT, większa część sygnałów magistrali systemowej wyprowadzona jest do gniazd, w których można umieszczać karty rozszerzeń. W przypadku architektury AT magistrala zewnętrzna jest już jednak 16-bitowa. Gniazda rozszerzające (rysunek 2.6) podzielone są na dwie części; pierwsza, 62-stykowa, jest zgodna (z wyjątkiem sygnałów 0WS i REF) z 8-bitową magistralą XT, druga stanowi jej 36-stykowe uzupełnienie.

Płyty główne komputerów AT miały na ogół kilka złączy 16-bitowych i jedno lub dwa 8-bitowe. Poniżej omówione zostaną dodatkowe linie rozszerzające. Znaczenie pozostałych sygnałów jest takie samo, jak w przypadku magistrali XT.

~0WS	*0 Wait States* — karta rozszerzeń sygnalizuje, że jest dostatecznie szybka, aby być obsługiwaną bez dodatkowych cykli oczekiwania.



Rysunek 2.6.
Gniazdo 16-bitowej magistrali zewnętrznej

~REF — *Refresh* — sygnał ten informuje, że w danym momencie odbywa się cykl odświeżania pamięci dynamicznej na płycie głównej. Jego źródłem nie jest kanał 0 DMA, lecz jeden z generatorów układu 8254 (*Timer*) lub specjalizowane układy obsługujące samą pamięć.

LA17 – LA23 — *Large Address* — siedem najbardziej znaczących linii 24-bitowej szyny adresowej procesora. Linie LA17 – LA19 pokrywają się logicznie z liniami A17 – A19 w części 8-bitowej złącza, z tą różnicą, że adres na liniach LA*nn* wystawiany jest wcześniej.

Vcc — Napięcie zasilające (+5 V).

SD8 – SD15 — *System Data* — bardziej znaczący bajt 16-bitowej systemowej szyny danych AT.

~SBHE — *System Bus High Enable* — sygnał ten jest wystawiany przez procesor lub kontroler DMA podczas procesu przekazywania danych 16-bitowych z udziałem bardziej znaczącego bajtu magistrali, tj. SD8 – SD15.

~MEMCS16	Sygnał generowany jest przez karty rozszerzeń, które gwarantują dostęp do pamięci w trybie 16-bitowym. Karta 16-bitowa, która nie odpowie w odpowiednim momencie wystawieniem niskiego poziomu logicznego na linii ~MEMCS16, będzie obsługiwana tak jak 8-bitowa. Jeżeli karta 8-bitowa zostanie umieszczona w złączu 16-bitowym, to sygnał ~MEMCS16 będzie nieaktywny (na niepodłączonej linii ustala się wysoki poziom logiczny), co umożliwia automatyczną detekcję rozmiaru karty.
~I/O CS16	Sygnał ten generowany jest przez karty rozszerzeń, które gwarantują dostęp do przestrzeni wejścia-wyjścia w trybie 16-bitowym. Obowiązują tu te same uwagi, co dla sygnału ~MEM CS16.
~MEMR	*Memory Read* — stan aktywny tej linii (niski poziom logiczny) oznacza żądanie odczytu (CPU lub DMA) z pamięci z zakresu 0 – 16 MB. Sygnał ~SMEMR w 8-bitowej części złącza generowany jest wyłącznie przy odczytach w przestrzeni adresowej 0 – 1 MB, zaś przy próbie dostępu do pamięci powyżej 1 MB pozostaje nieaktywny (wysoki poziom logiczny).
~MEMW	*Memory Write* — stan aktywny tej linii (niski poziom logiczny) oznacza żądanie odczytu (CPU lub DMA) z pamięci z zakresu 0 – 16 MB. Sygnał ~SMEMW w 8-bitowej części złącza generowany jest wyłącznie przy odczytach w przestrzeni adresowej 0 – 1 MB, zaś przy próbie dostępu do pamięci powyżej 1 MB pozostaje nieaktywny (wysoki poziom logiczny).
DRQ5 – 7, ~DACK5 – 7	16-bitowe kanały DMA udostępniane przez dodatkowy układ kontrolera DMA 8237A (*Slave*).
IRQ10 – 12, ~IRQ14 – 15	*Interrupt Request* — linie zgłoszeń przerwań sprzętowych obsługiwane przez dodatkowy kontroler 8259A (*Slave*). Nie jest wyprowadzana linia IRQ13, przypisana standardowo obsłudze znajdującego się na płycie głównej koprocesora arytmetycznego.
DRQ0, ~DACK0	*DMA Request — DMA Acknowledge*. 8-bitowy kanał obsługi DMA powstały po zlikwidowaniu pochodzącego z architektury XT mechanizmu odświeżania pamięci kanałem DMA.
~MASTER	Sygnał umożliwiający przejęcie sterowania systemem przez procesor znajdujący się na karcie rozszerzeń. Układowi takiemu należy wpierw przyporządkować jeden z kanałów DMA. Kontroler DMA przeprowadza rutynowo proces odłączania procesora zainstalowanego na płycie głównej (sekwencja sygnałów HRQ i HLDA) przed wysłaniem sygnału ~DACK do chcącego zawładnąć magistralami procesora. Ten reaguje uaktywnieniem linii ~MASTER (tj. sprowadzeniem jej do poziomu zera logicznego) i przejmuje sterowanie systemem.

Komputery z procesorami 386, 486 i Pentium

Modele AT z procesorem 80286 wyparte zostały przez komputery wyposażone w procesory 80386 i 80486, a po nich nadeszły kolejne generacje Pentium. Płyty takie cechowały 32-bitowe magistrale systemowe. Gniazda kart rozszerzeń ISA miały jednak nadal jedynie 16 linii danych i 24 linie adresowe. Łamanie i przesuwanie bajtów dokonywane było w specjalnych układach pośredniczących między magistralą systemową a zewnętrzną. 32-bitowe modele AT nie różniły się zbytnio od swych 16-bitowych poprzedników. Wzrost mocy obliczeniowej osiągany był głównie dzięki podniesieniu różnych częstotliwości taktujących, co pociągało za sobą w oczywisty sposób przyspieszenie pracy magistral.

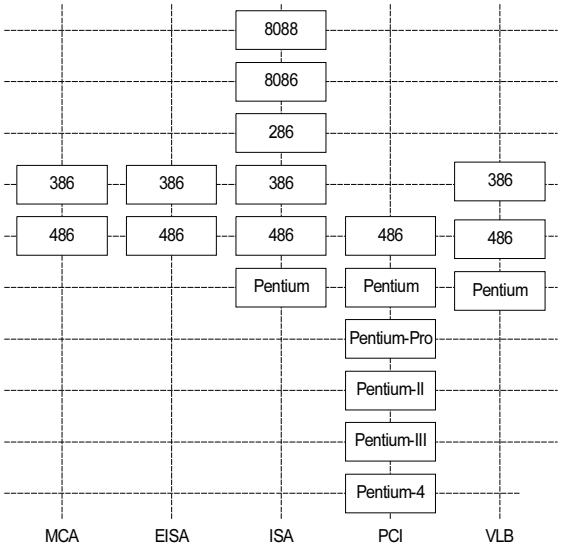
Największym problemem architektury AT pozostała do samego końca magistrala zewnętrzna (ISA). Decydowały o tym dwa główne czynniki: jej szerokość i szybkość pracy. Na kartach rozszerzeń montowane były kontrolery urządzeń peryferyjnych wymieniających dosyć intensywnie dane z pamięcią. Mowa tu w szczególności o kontrolerach dysków twardych, kartach sieciowych i graficznych. Drugim hamulcem była częstotliwość taktowania magistrali zewnętrznej. Producenci chcący przestrzegać zgodności ze specyfikacją ISA musieli limitować szybkość jej pracy do wartości poniżej 8,33 MHz. Wartość standardowa mieściła się zwykle w zakresie 6 – 8 MHz. Jedynie w modelach 486DX-50 MHz wartość ta podniesiona została do 12,5 MHz.

Doszło do sytuacji, iż stosunkowo szybkie układy peryferyjne nie wszędzie mogły być wykorzystane, a podnoszenie częstotliwości pracy magistrali nie gwarantowało niezawodnej pracy znajdujących się na rynku kart starszego typu.

Rozwiązanie powyższych problemów w ramach architektury AT nie było możliwe i konieczne stało się wprowadzenie nowej magistrali zewnętrznej. Z tego też względu powstało wiele konkurencyjnych standardów, z których tylko nieliczne ugruntowały swą pozycję na rynku. Każdy z nich generował falę kart rozszerzeń nowego typu, obsługujących stale rosnącą gamę urządzeń peryferyjnych.

Przed przejściem do bardziej szczegółowego omówienia standardów magistral następujących po ISA podajmy w formie porównania ich teoretyczne przepustowości maksymalne.

Standard	Przepustowość magistrali
ISA	8,33 MB/s
EISA	33 MB/s
MCA	20 MB/s
VESA	120 MB/s
PCI-Standard	132 MB/s



Rysunek 2.7. *Zastosowania procesorów w ramach architektur PC*

EISA

Jednym ze standardów, któremu udało się (przynajmniej na pewien czas) opanować rynek PC, było rozszerzenie EISA (*Extended Industry Standard Architecture*). Jego powstanie stanowiło istotny krok na drodze do wykorzystania pełnych możliwości procesorów 32-bitowych. System ten znalazł zastosowanie głównie w sektorze serwerów sieciowych. Architektura EISA była dosyć kosztowna ze względu na swoje skomplikowanie, wynikające z chęci zachowania możliwości współpracy z dotychczas stosowanymi peryferiami ISA. Kontroler magistrali musiał każdorazowo decydować, czy bieżącą operację można przeprowadzić w trybie 32-bitowym czy też należy symulować 16-bitowy tryb pracy. To samo dotyczyło kontrolera DMA. W razie potrzeby 32-bitowy kontroler DMA emulował pracę swego 8-bitowego poprzednika.

Mimo iż technologia ta nigdy nie należała do tanich, ogromna konkurencja na rynku producentów osprzętu EISA doprowadziła do istotnego spadku cen i pewnej popularyzacji systemu. Wytwórcy sprzętu standardu EISA reklamowali jego kompatybilność z kartami ISA. Spełnienie tego wymogu dawało posiadaczowi płyty głównej EISA i kart rozszerzeń ISA pewność, iż wszystko będzie doskonale współpracować (tyle tylko, że nic na tym nie zyskiwał). Dopiero wyposażenie płyty ze złączami EISA w karty standardu EISA udostępniało pełne możliwości systemu. W chwili obecnej trudno byłoby znaleźć producenta peryferiów z tym złączem, gdyż świat PC zdominowała magistrala PCI.

Zmiany wprowadzone przez EISA w stosunku do ISA nie miały charakteru rewolucyjnego, a raczej poważnej operacji kosmetycznej i dotyczyły obszarów wyszczególnionych w kolejnych punktach.

Wieloprocesorowość

Dowolny kontroler (procesor) umieszczony na jednej z kart rozszerzeń EISA ma nieograniczone możliwości sterowania magistralą systemową. Oznacza to, że w systemie mogą współpracować różne procesory mające dostęp do tych samych zasobów komputera, takich jak dyski, pamięć itp. System przydziału magistral kolejnym procesorom jest dosyć rozbudowany i ma charakter hierarchiczno-priorytetowy.

Magistrala zewnętrzna

Karty rozszerzeń EISA mają do dyspozycji (oprócz wielu sygnałów sterujących) 32 bity systemowej szyny adresowej i 32 bity systemowej szyny danych. Na magistralę zewnętrzną EISA składa się 98 sygnałów standardu ISA oraz 90 nowych linii. Nie wszystkie nowe sygnały są jednoznacznie zdefiniowane. Producentom wyspecjalizowanych kart pozostawiono miejsce na własne rozwiązania.

Aby zachować wymóg zgodności z kartami ISA, gniazda EISA mają szczególną konstrukcję. Styki ułożone są na dwóch poziomach. Poziom górny dostarcza wszystkich sygnałów standardu ISA, natomiast w dolnym (położonym w głębi gniazda) rozlokowane są końcówki EISA. Normalna karta ISA nie może być wsunięta tak głęboko, by sięgnąć linii dodatkowych styków — uniemożliwiają to poprzeczne zapory. Nie są one jednak przeszkodą dla kart EISA, mających w odpowiednich miejscach wycięcia.

Kontroler DMA

Bardzo istotne zmiany wprowadzono w systemie DMA. Nie ma w nim już znanych ze standardu ISA ograniczeń objętości przesyłanych danych do bloków po 64 kB (128 kB w kanałach 16-bitowych). Wykorzystywane są pełne możliwości 32-bitowej szyny adresowej, tzn. teoretycznie możliwe są transfery bloków o wielkości do 4 GB. Aby zachować zdolność obsługi kart ISA, stosowany w architekturze EISA nowoczesny, 32-bitowy kontroler DMA ma możliwość pracy w trybie układu 8237A. Każdy z siedmiu kanałów DMA może więc obsługiwać urządzenia 8-, 16-, i 32-bitowe.

Zmieniono też sposób przydziału kanałów urządzeniom. W miejsce stałych priorytetów poszczególnych kanałów wprowadzono system rotacyjny. Był to krok w stronę systemów wielozadaniowych i wieloprocesorowych, który miał uniemożliwić trwałe blokowanie kanałów przez uprzywilejowane urządzenie.

Kontroler przerwań sprzętowych

System EISA dysponuje, podobnie jak ISA, 15 kanałami IRQ. Istotnym novum była natomiast zmiana sposobu wyzwalania przerwań. Standard ISA używał zboczy impulsu, co jest metodą bardzo podatną na zakłócenia. EISA wymaga od zgłaszającego przerwanie urządzenia utrzymania aktywnego poziomu sygnału, tj. przekroczenia określonego poziomu napięcia, a nie tylko jego wzrostu.

Kontroler magistral

Wszystkie magistrale EISA są 32-bitowe. Procesory 80386 i 80486 mają poza tym możliwość użytkowania magistral w specjalnym trybie następujących po sobie kolejnych cykli dostępu (*Burst*), co oznacza osiąganie adresowanego obiektu w jednym takcie zegarowym. Dla porównania, magistrala AT potrzebuje, w najlepszym razie (bez cykli oczekiwania), czterech taktów zegara. Ze względu na konieczność zachowania kompatybilności magistrala zewnętrzna EISA pracuje z maksymalną prędkością 8,33 MHz, natomiast dostęp do pamięci odbywa się już z pełną częstotliwością zegara CPU.

Najbardziej skomplikowaną częścią systemu EISA jest więc niewątpliwie kontroler magistral. Musi on umieć odróżnić od siebie pojedyncze cykle ISA i EISA, przełączać szynę w tryb *burst* oraz przeprowadzać łamanie i składanie bajtów przy dostępie do obiektów 8- i 16-bitowych.

Pamięć konfiguracji

64 bajty pamięci konfiguracji znane z architektury AT zastąpione zostały przez 4 kB w standardzie EISA. Pamięć ta przechowuje nie tylko informacje o konfiguracji płyty głównej, ale i o zainstalowanych kartach. W systemie EISA nie ma żadnych przełączników konfigurujących (DIP) ani zwor; konfigurowanie systemu odbywa się całkowicie programowo.

MCA

Architektura MCA (*Micro Channel Architecture*) była wytworem firmy IBM i została po raz pierwszy wprowadzona w modelach PS/2. Miał w niej miejsce zdecydowany odwrót od tradycji upartego trzymania się (w celu zachowania kompatybilności) standardu ISA. Dotyczy to zarówno cech logicznych architektury, jak i nowej geometrii kart i złączy, która wykluczała współpracę z osprzętem ISA. Polityka koncernu IBM poszła w tym przypadku w zupełnie innym kierunku. Wszystkie charakterystyczne cechy systemu zostały opatentowane, a licencje na produkcję urządzeń w tym standardzie wydawane były dosyć skąpo. Miało to oczywiście na celu utrzymanie monopolu w tej dziedzinie, co niewątpliwie się udało. Niestety, każde rozwiązanie ma i zalety, i wady, a przyjęta metoda nie wyszła na dobre propagowaniu tej technologii. Brak konkurencji na rynku producentów utrzymywał stosunkowo wysokie ceny i hamował sprzedaż wyrobów. Ponadto dominacja IBM w tym sektorze stała się inspiracją do rozwijania konkurencyjnych technologii. Jako obrona rynku producentów przed monopolem IBM powstała między innymi architektura EISA.

MCA była ukierunkowana wyraźnie na potrzeby systemów wielozadaniowych typu OS/2 i 32-bitowych procesorów 80386 i 80486. Mimo ogromnych różnic architektonicznych, programy pracujące na urządzeniach PS/2 i pod nadzorem systemu MS-DOS nie sprawiały żadnych trudności, jak długo tylko nie sięgały bezpośrednio do rejestrów.

Dla użytkownika poruszającego się na poziomie systemu operacyjnego i aplikacji jednoznaczne określenie rodzaju architektury płyty głównej nigdy nie było rzeczą łatwą.

Jeżeli pominąć ewidentne różnice wynikające ze wzrostu mocy obliczeniowej systemu, jedynym sposobem poznania architektury komputera (bez zdejmowania obudowy) pozostanie zawsze sięgnięcie do programów diagnostycznych.

Przepustowość magistrali zewnętrznej MCA sięgała 20 MB/s. Szybka jak na owe czasy, bo pracująca w takt zegara procesora, była magistrala lokalna łącząca go z pamięcią. Magistrala systemowa miała co prawda szerokość 32 bitów (zarówno w części adresowej, jak i danych), ale była taktowana zegarem 10 MHz. Na każdą transmisję przypadały niestety aż dwa cykle zegarowe (dla porównania: ISA — 4 cykle, EISA — 1 cykl).

Gruntownie zmodyfikowany został system DMA. Po pierwsze, w transmisjach DMA używano wyłącznie pełnego 32-bitowego adresu pokrywającego całą przestrzeń adresową systemu. Zrezygnowano z emulowania 8- i 16-bitowego trybu układu 8237A. Po drugie (co było absolutnym novum), dozwolono, by jednocześnie był aktywny każdy z ośmiu kanałów DMA. Nie trzeba chyba dodawać, jak wielkie znaczenie ma taka cecha dla systemów wielozadaniowych.

System przerwań sprzętowych zapewniał obsługę 255 urządzeń. Osiągnięto to dzięki wprowadzeniu wyzwalania poziomem (a nie zboczem, jak to ma miejsce w architekturze ISA) i dopuszczeniu do podziału jednego kanału pomiędzy wiele urządzeń.

Centralny procesor na płycie głównej (*Host CPU*) mógł być wspomagany przez 16 dodatkowych mikroprocesorów umieszczonych na kartach rozszerzeń. Dla potrzeb wzajemnej komunikacji między procesorami, uwzględnienia ich priorytetów i implementacji mechanizmu przydziału czasu dedykowano specjalną 4-bitową szynę sterującą.

Karty rozszerzeń systemu MCA nie były już anonimowe. Każda z nich miała swój niepowtarzalny numer identyfikacyjny — produktom innych wytwórców nadawane były numery uzgadniane centralnie z IBM. System ten umożliwiał jednoznaczną identyfikację rodzaju karty. Jej konfiguracja odbywała się wyłącznie w drodze dialogu z programem instalacyjnym. Na karcie brakowało jakichkolwiek zwor i przełączników. Informacja o konfiguracji karty przechowywana była w systemowej pamięci CMOS. Należy nadmienić, że konstrukcja złączy MCA umożliwia stosowanie nie tylko kart 32-bitowych, ale i ich uproszczonych wersji o szerokości 8 i 16 bitów.

Również pojedyncze gniazda magistrali zewnętrznej zaczęły być identyfikowane w ramach systemu. Dało to możliwość programowego (bez otwierania obudowy komputera) odłączania karty tkwiącej fizycznie w złączu, co umożliwia znaczne uelastycznienie konfiguracji sprzętowej. W systemie mogły być na stałe zamontowane wykluczające się wzajemnie karty. W stosownym momencie można było aktywować jedną z nich bez potrzeby sięgania po śrubokręt.

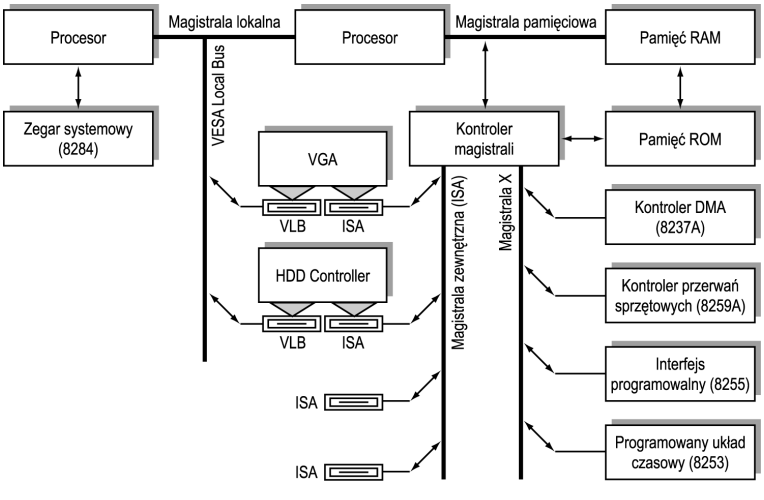
System zbudowany w oparciu o architekturę ISA reagował bardzo radykalnie na stwierdzenie błędu działania pamięci podczas jej kontroli po włączeniu. Załadowanie systemu operacyjnego nie mogło mieć miejsca, jeśli stwierdzono niesprawność choćby jednej komórki pamięci. System MCA był pod tym względem mniej rygorystyczny i tolerował drobne ubytki w pamięci operacyjnej. W takim przypadku cała dostępna pamięć powyżej miejsca uszkodzenia ulegała logicznemu przeadresowaniu. Segment o długości 64 kB, w którym stwierdzono uszkodzenie, był przesuwany na koniec przestrzeni adresowej i deaktywowany. Powstałą lukę wypełniano innym sprawnym segmentem.

Architektura MCA sięgnęła po rozwiązania, które dziś wydają się oczywiste. Aby nie blokować gniazd magistrali zewnętrznej, wiele elementów architektury, takich jak złącza szeregowe i równoległe czy karta VGA, zostało zintegrowanych z płytą główną. Użytkownik miał oczywiście możliwość ich zablokowania i skorzystania z odpowiednich kart.

VESA

Zgodnie z zasadą, że gdzie dwóch się bije, tam trzeci korzysta, duże powodzenie zdobyły różne systemy 32-bitowych szyn lokalnych (*Local Bus*). Początkowo każdy z producentów preferował swój standard. Z czasem spośród bogactwa rozmaitych rozwiązań na czoło wysunął się zdecydowanie pseudostandard VESA, stworzony przez organizację o nazwie *Video Electronics Standards Association*, w której główny udział miała firma NEC. „Pseudo", gdyż peryferia noszące znamiona VESA wcale nie musiały (do czasu normalizacji[4]) pracować poprawnie w dowolnej płycie głównej VESA.

Pod nazwą VESA (lub VLB, VESA Local Bus) stworzony został system 32-bitowej szyny lokalnej dedykowanej w zasadzie obsłudze tylko dwóch urządzeń — karty graficznej i kontrolera dysków.



Rysunek 2.8. *Architektura komputera z magistralą VESA*

Architektura VLB była mocno związana ze sprzętem z uwagi na bezpośrednie połączenie z magistralą lokalną procesora i486. Rozwiązanie takie sprawiało, że koszt jej implementacji w systemach 386/486 był stosunkowo niski. To silne powiązanie spowodowało, że magistrala VLB umarła śmiercią naturalną w momencie wyjścia z użycia procesorów tej generacji.

[4] Oficjalna specyfikacja standardu VESA 1.0 została opublikowana we wrześniu 1992 roku.

Struktura VLB była swego rodzaju dodatkiem do architektury ISA, gdyż — nie naruszając cech standardu — wymagała dobudowania na zwykłej płycie AT od jednego do trzech 32-bitowych złączy VLB.

Magistrala zewnętrzna taktowana była więc zegarem procesora, ale nie mogła wykraczać poza 40 MHz. Przepustowość szyny danych dochodziła do 120 MB/s, co głównych konkurentów (MCA, EISA) pozostawiało daleko w tyle. Złącze VLB od strony mechanicznej nie było niczym innym, jak dodatkowym gniazdem umieszczonym w jednej linii ze slotem ISA. W gniazdach takich (ISA + VLB Extentions) można było umieszczać zarówno karty nowego standardu (sięgające swymi stykami do rozszerzenia), jak i zwyczajne karty ISA nie czerpiące korzyści z architektury VLB.

Płyty główne standardu VLB były tańsze od EISA ze względu na prostotę wykonania. Również i karty ze złączem VLB były bardziej dostępne dla kieszeni zwykłego użytkownika. Kontrolery graficzne VLB były mimo to 2 – 3 razy szybsze od swoich klasycznych konkurentów. Dodatkowy wzrost wydajności karty w środowisku Windows gwarantowały specjalnie opracowane procesory graficzne. W środowisku MS-DOS nie dawało to jednak żadnych korzyści.

VLB nie na wiele przydała się kontrolerom dysków twardych. Szyna łącząca kontroler z pamięcią uzyskała co prawda większe pasmo, ale sam dysk nie stał się z tego powodu szybszy. Przepustowość danych na odcinku głowice – sterownik była stosunkowo mała, a duże pamięci podręczne dysków wchodziły dopiero do użytku. Tylko takie urządzenia mogły ewentualnie skorzystać z szybkiej, 32-bitowej magistrali VLB.

PCI

Aktualnie dominującym rozwiązaniem 32-bitowej szyny lokalnej jest magistrala PCI (*Peripherial Component Interconnect*). Wyparła ona w dość krótkim czasie szynę VLB mimo zbliżonych parametrów. Przyczyna porzucenia poprzedniej technologii została zasygnalizowana już wcześniej. VLB oparta była na magistrali lokalnej procesorów 386 i 486. Wszelkie karty rozszerzeń dostosowane były więc do współpracy z tymi procesorami. Magistrala PCI była niezależna od typu procesora, mogła więc być wykorzystywana w systemach z nowymi procesorami, w dodatku niekoniecznie pochodzącymi z firmy Intel. Wolna konkurencja stała się główną siłą napędową nowego standardu.

Ze względu na fakt, iż platforma sprzętowa współczesnych komputerów PC opanowana została całkowicie przez magistralę PCI. Architekturze tego typu poświęcono osobny rozdział.