helion.pl
KSIĘGARNIA INTERNETOWA · WYDAWNICTWO

IDŹ DO
PRZYKŁADOWY ROZDZIAŁ
SPIS TREŚCI

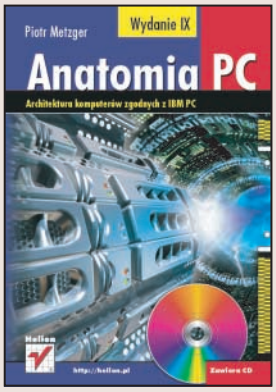
KATALOG KSIĄŻEK
KATALOG ONLINE
ZAMÓW DRUKOWANY KATALOG

TWÓJ KOSZYK
DODAJ DO KOSZYKA

CENNIK I INFORMACJE
ZAMÓW INFORMACJE O NOWOŚCIACH
ZAMÓW CENNIK

CZYTELNIA
FRAGMENTY KSIĄŻEK ONLINE

Anatomia PC. Wydanie IX



Autor: Piotr Metzger
ISBN: 83-7361-507-5
Format: B5, stron: około 1216

Znajomość architektury współczesnych komputerów PC to wiedza niezbędna serwisantom, programistom i projektantom urządzeń współpracujących z komputerami. Przyda się także każdemu użytkownikowi komputera, który chciałby samodzielnie znaleźć przyczyny nieprawidłowego działania swojego sprzętu, czy też po prostu dowiedzieć się, jak działa pecet. Informacje o poszczególnych komponentach komputera są, niestety, trudno dostępne i rozproszone w wielu dokumentach, specyfikacjach i schematach. Konieczność przeszukiwania tysięcy dokumentów dość skutecznie zniechęca wielu żądnych wiedzy użytkowników komputerów.

Książka „Anatomia PC. Wydanie IX" to kompletne opracowanie, zawierające wyczerpujące informacje o architekturze komputerów PC i ich komponentów. Najnowsze wydanie tej klasycznej i cieszącej się ogromną popularnością pozycji jest, podobnie jak poprzednie wydania, prawdziwą skarbnicą wiedzy dotyczącej współczesnych pecetów opisuje zarówno rozwiązania klasyczne, jak i nowości z ostatnich miesięcy. Dzięki książce rozwiążesz wszystkie problemy ze sprzętem, zdiagnozujesz usterki i zaprojektujesz urządzenia poprawnie współpracujące z komputerem.

„Anatomia PC. Wydanie IX" opisuje następujące zagadnienia:

- Mikroprocesory z rodziny x86 wraz z najnowszymi Intel 4 Extreme Edition, koprocesory i rozszerzenia, takie jak: MMX, 3DNow, SSE, SSE2, SSE3 i HT
- Architektury komputerów PC XT, AT, 386, 486 i Pentium, systemów jedno- i wieloprocesorowych oraz komputerów przenośnych
- Układy pamięciowe stosowane w komputerach PC: SIMM, DRAM, SDRAM, DDR oraz obsługa pamięci
- Chipsety Intel, VIA, SiS, i865/875, obsługa przerwań, magistrala PCI i kanał DMA
- Obsługa stacji dyskietek i dysków twardych – organizacja i odczyt danych, praca kontrolera, macierze RAID
- Złącza ATA, SCSI i FireWire
- Karty grafiki, przetwarzanie obrazu, kompresja MPEG, generowanie grafiki 3D i magistrala AGP
- Obsługa klawiatury
- Złącze szeregowe, równoległe, USB i IrDA
- System oszczędzania energii
- Nośniki optyczne
- Karty dźwiękowe
- Sieci i BlueTooth
- Zasilacze awaryjne
- BIOS

Wydawnictwo Helion
ul. Chopina 6
44-100 Gliwice
tel. (32)230-98-63
e-mail: helion@helion.pl

Spis treści

Rozdział 1. Mikroprocesor 25
Przetwarzanie rozkazów 27
RISC i CISC 27
Przetwarzanie potokowe 28
Faza pierwsza — pobranie (Prefetch, PF) 30
Faza druga — dekodowanie (Decode, DE) 30
Faza trzecia — wykonanie (Execute, EX) 30
Faza czwarta — zakończenie i zapisanie wyników (Write Back, WB) 30
Techniki przyspieszania 31
Techniki superskalarne 31
Przemianowywanie rejestrów 32
Przewidywanie skoków 34
Optymalizacja kodu 38
Dostęp do pamięci 38
Adresowanie 40
Stronicowanie 41
Pamięci podręczne 43
Topologie 44
Organizacja pamięci podręcznej 46
Mapowanie bezpośrednie (Direct Mapped) 46
Pełna asocjacja (Fully Associative) 47
Asocjacja zespołowa (Set Associative) 47
Strategie 48
Write Through 48
Write Back 48
Victim Cache 48
Pamięć podręczna procesora 80386 49
Określenie trafienia 50
Decyzja o wymianie linijki (LRU) 51
Obsługa przestrzeni adresowej I/O 53
Procesor 8086 53
Procesory 80386 i 80486 54
Pentium 54
Funkcje kontrolne i sterujące 55
BIST 55
Kontrola TLB 55
Kontrola pamięci podręcznej 56
Przejście w stan wysokiej impedancji 56
JTAG 56

Częstotliwość taktowania ... 58
Zasilanie ... 59
Jak rozpoznać typ procesora? ... 61
Czy procesor jest zgodny z układem 80286 lub lepszym? ... 62
Procesor 8086/88 czy 80186/88? ... 63
Procesor 80286 ... 63
Procesor 80386 ... 63
Procesor 486 czy Pentium? ... 63
Koprocesory ... 64
Koprocesor 8087 ... 67
Koprocesor 80287 ... 67
Koprocesor 80387 ... 68
Koprocesor i487SX ... 68
Rozszerzenia ... 69
MMX ... 69
Zmiany w architekturze ... 69
Rozpoznanie procesora P55C ... 71
Nowe rejestry ... 72
Nowe typy danych ... 75
Nowe rozkazy ... 75
Przykłady zastosowań ... 79
3DNow! ... 81
SSE ... 82
SSE2 ... 86
SSE3 ... 88
Hyper-Threading (HT) ... 90
Technologia ... 90
Architektura ... 91
Rozpoznanie BIOS ... 92
Instalacja ... 93
Efekty ... 93
Przetwarzanie 64-bitowe ... 94
Metoda firmy Intel: Itanium ... 95
Technologia EPIC ... 95
Trzy poziomy pamięci podręcznej ... 96
Rejestry ... 96
Pojemna pamięć operacyjna ... 97
Emulacja procesorów x86 ... 97
Metoda firmy AMD: Opteron ... 97
Tryb chroniony i pamięć wirtualna ... 98
Większa liczba rejestrów ... 98
Wbudowany kontroler pamięci ... 98
Obsługa kodu 32-bitowego ... 99
Praca wieloprocesorowa ... 99
Przyszłość przetwarzania 64-bitowego ... 100

Rozdział 2. Architektury komputerów PC ... 101

Model PC/XT ... 101
Procesor 8086 ... 101
Procesor 8088 ... 104
Dostęp do pamięci i przestrzeni wejścia-wyjścia ... 105
Kontroler 8288 ... 106
Pozostałe elementy architektury XT ... 108
Magistrala ISA 8-bitowa ... 111

Model AT ... 113
Procesor 80286 ... 115
Magistrala ISA 16-bitowa ... 117
Komputery z procesorami 386, 486 i Pentium ... 119
EISA ... 120
Wieloprocesorowość ... 121
Magistrala zewnętrzna ... 121
Kontroler DMA ... 121
Kontroler przerwań sprzętowych ... 122
Kontroler magistral ... 122
Pamięć konfiguracji ... 122
MCA ... 122
VESA ... 124
PCI, PCI-X i PCI Express ... 126
Architektury systemów wieloprocesorowych ... 127
Architektura MPP ... 128
Architektura UMA ... 129
Komunikacja z pamięcią ... 129
Pamięć podręczna w systemach multiprocesorowych ... 131
Architektura NUMA ... 133
Specyfikacja MP (Intel) ... 133
Obsługa przerwań ... 135
Rozruch systemu ... 135
Przejście do pracy symetrycznej ... 136
System Dual-Pentium z magistralą PCI ... 137
Tabela konfiguracji MP ... 139
Zastosowania praktyczne ... 141
Systemy operacyjne ... 141
Procesory ... 142
Zestawy układów sterujących (chipset) ... 143
Aplikacje ... 145
Granice teoretyczne ... 146
Architektura komputerów przenośnych ... 147
Złącze PCMCIA ... 148

Rozdział 3. Układy pamięciowe PC ... 149

Pamięci dynamiczne ... 150
Tryb konwencjonalny (Page Mode) ... 151
Odczyt ... 151
Zapis ... 151
FPM (Fast Page Mode) ... 151
Odczyt ... 153
Zapis ... 153
EDO (Extended Data Out) ... 153
Odczyt ... 154
Zapis ... 154
BEDO (Burst EDO) ... 154
Porównanie ... 155
SDRAM ... 156
Linie zewnętrzne ... 158
Rozkazy SDRAM ... 160
Organizacje logiczne układów SDRAM ... 164

Moduły pamięciowe ... 165
Moduły SIMM-30 (SIP) ... 166
Moduły SIMM PS/2 ... 167
SIMM PS/2 bez parzystości (FPM i EDO) ... 168
SIMM PS/2 36-bitowy ... 171
System rozpoznawania modułów SIMM ... 172
Moduły DIMM ... 172
Buforowane DIMM DRAM ... 173
Niebuforowane DIMM DRAM ... 176
Niebuforowane DIMM SDRAM ... 179
Rozpoznawanie modułu DIMM ... 184
Odświeżanie ... 186
RAS Only ... 187
CBR (CAS before RAS) ... 188
Hidden ... 189
Wykrywanie błędów i ich korekcja ... 190
Błędy powtarzalne (HE) ... 191
Błędy sporadyczne (SE) ... 191
Kontrola parzystości ... 192
Kontrola ECC ... 193
Rozszerzenia standardu magistrali PC-66 ... 194
Parametry modułów ... 195
Pamięć konfiguracyjna (SPD) ... 197
Moduły buforowane ... 200
DDR SDRAM ... 204
Systemy dwukanałowe ... 210
DDR2 SDRAM ... 212
Moduły DIMM DDR2 ... 213
RDRAM ... 214
VC-SDRAM ... 221
HSDRAM ... 223
Porównanie parametrów pamięci ... 224
LVTTL ... 224
SSTL_2 ... 225
SSTL_18 ... 226
RSL ... 227
Identyfikacja producentów chipów pamięciowych ... 227

Rozdział 4. Układy otoczenia procesora (chipset) ... 229

Zakres funkcji ... 229
Magistrala FSB ... 231
Obsługa pamięci operacyjnej i magistrali pamięciowej ... 233
Obsługa pamięci podręcznej (Cache) ... 237
Zakres pokrywany przez pamięć podręczną ... 239
Układy obsługi podstawki typu Socket 7 ... 242
Układy współpracujące z magistralą GTL+ i AGTL+ ... 244
Układy do obsługi procesorów AMD ... 253
Rodzina K7 ... 254
ALi ... 254
AMD ... 254
nVidia ... 255
SiS ... 255
ViA ... 255
Rodzina Hammer ... 258

Układy ze zintegrowaną kartą graficzną ... 261
Wewnętrzne magistrale międzyukładowe ... 264
PCI ... 264
Hub-Interface, V-Link i MuTIOL ... 266
RapidIO ... 267
HyperTransport (LDT) ... 271

Rozdział 5. Magistrala PCI ... 275
Gniazda magistrali PCI ... 285
Obsługa przerwań ... 287
Pamięć konfiguracyjna urządzeń PCI ... 289
Identyfikator producenta (Vendor ID) ... 289
Identyfikator urządzenia (Device ID) ... 289
Rejestr poleceń (Command) ... 290
Rejestr stanu (Status) ... 291
Numer wersji urządzenia (Revision ID) ... 293
Kod klasy urządzenia (Class Code) ... 293
Rozmiar linii pamięci podręcznej (Cache Line Size) ... 293
Minimalny czas transmisji (Latency Timer) ... 293
Typ nagłówka (Header Type) ... 296
BIST (Build-in Self-test) ... 297
Adres bazowy (Base Address Registers) ... 297
Wskaźnik CardBus CIS (CardBus CIS Pointer) ... 298
Dodatkowy identyfikator producenta (Subsystem Vendor ID) i dodatkowy identyfikator urządzenia (Subsystem ID) ... 299
Adres bazowy rozszerzenia ROM (Expansion ROM Base Address) ... 299
Wskaźnik do listy możliwości (Capabilities Pointer) ... 300
Linia IRQ (Interrupt Line) ... 300
Linia INT (Interrupt Pin) ... 300
Długość transmisji (Min_Gnt) ... 301
Częstość (Max_Lat) ... 301
Mechanizmy dostępu do pamięci konfiguracyjnej ... 301
Pierwszy mechanizm dostępu do pamięci konfiguracyjnej ... 302
Drugi mechanizm dostępu do pamięci konfiguracyjnej ... 302
PCI BIOS ... 303
Autokonfiguracja urządzeń PCI ... 303
Rozwój PCI i inne magistrale ... 304
PCI-32/66 MHz i PCI-64 ... 305
PCI-X ... 305
PCI-Express ... 309
Model warstwowy ... 309

Rozdział 6. Kanał DMA ... 317
Układ scalony 8237A ... 318
Tryby pracy kontrolera DMA ... 320
Tryb spoczynkowy „I” (Idle) ... 320
Tryb „S” (Single) ... 321
Tryb „B” (Block) ... 321
Tryb „D” (Demand) ... 321
Tryb „C” (Cascade) ... 321
Tryb „V” (Verify) ... 321
Kaskadowe łączenie układów 8237A ... 322
Programowanie kontrolerów DMA ... 322
Adresy portów kontrolerów DMA w komputerze IBM PC/XT ... 323
„Sztuczne” porty komputera PC/XT ... 324
Adresy portów kontrolerów DMA w komputerze IBM PC/AT ... 324
„Sztuczne” porty komputera PC/AT ... 325

Budowa rejestrów wewnętrznych ... 326
Rejestr żądań (port 009h w PC/XT, 009h i 0D2h w PC/AT) ... 326
Rejestr stanu (port 008h w PC/XT, 008h i 0D0h w PC/AT) ... 326
Rejestr rozkazów (port 008h w PC/XT, 008h i 0D0h w PC/AT) ... 326
Rejestr maski kanału (port 00Ah w PC/XT, 00Ah i 0D4h w PC/AT) ... 327
Rejestr maskujący (port 00Fh w PC/XT, 00Fh i 0DEh w PC/AT) ... 327
Rejestr trybu (00Bh w PC/XT, 00Bh i 0D6h w PC/AT): ... 328
Przebieg transmisji ... 329
Komputer IBM PC ... 329
Komputer IBM PC/XT ... 330
Komputer IBM PC/AT ... 331
Kanały 16-bitowe ... 331
Układ odświeżania pamięci ... 332

Rozdział 7. System obsługi przerwań sprzętowych ... 335
Układ scalony 8259A (PIC) ... 336
Cykl przyjęcia zgłoszenia ... 338
Kaskadowe łączenie kontrolerów przerwań ... 339
Fazy obsługi przerwań pochodzących od układu Slave ... 341
Programowanie kontrolera przerwań ... 341
Inicjowanie pracy układu ... 342
Polling ... 346
Przerwanie niemaskowalne (NMI) ... 346
Obsługa przerwań z magistral ISA, PCI i AGP ... 347
Kontroler APIC ... 350
Strona sprzętowa ... 352
Obsługa APIC przez OS ... 354

Rozdział 8. Obsługa stacji dyskietek ... 359
Fizyczna organizacja danych na dyskietce ... 361
Programowanie operacji dyskowych ... 364
Programowanie operacji dyskowych z poziomu systemu MS-DOS ... 364
Przerwanie 25h ... 365
Przerwanie 26h ... 366
Przerwanie 21h ... 366
Obsługa dysków za pomocą funkcji BIOS-u ... 367
Funkcja 00h ... 368
Funkcja 01h ... 369
Funkcja 02h ... 369
Funkcja 03h ... 370
Funkcja 04h ... 370
Funkcja 05h ... 371
Funkcja 08h ... 373
Funkcja 15h ... 375
Funkcja 16h ... 376
Bezpośredni dostęp do kontrolera napędu dysków elastycznych ... 376
Rejestry kontrolera napędu dysków elastycznych ... 377
Cykl rozkazowy kontrolera ... 379
Faza przygotowawcza ... 379
Faza przekazywania rozkazu ... 379
Budowa przykładowego rozkazu — rozkaz RS (Read Sector) ... 380
Faza przekazywania rozkazu ... 380
Faza przekazywania danych ... 381
Faza końcowa ... 382
Alternatywne metody transmisji danych ... 385
Uwzględnianie mechanicznych własności napędu ... 386
Zabezpieczanie danych — kod CRC ... 388

Rozdział 9. Obsługa dysku twardego 391
Budowa kontrolera 391
Systemy kodowania MFM i RLL 392
Fizyczna organizacja danych i formatowanie 394
Formatowanie wysokiego poziomu 395
Formatowanie niskiego poziomu 396
Wykrywanie i korekcja błędów 398
Standard AT-BUS 401
Wstęp 402
Złącze fizyczne 404
Dostęp CPU do dysku AT-BUS 406
Rejestr danych (1F0h) 407
Rejestr błędów (1F1h) 407
Rejestr prekompensacji (Features Register: 1F1h) 409
Rejestr numeru sektora (Sector Number Register: 1F3h) 409
Rejestr liczby sektorów (Sector Count Register: 1F2h) 409
Rejestry numeru cylindra (Cylinder Low/High Register: 1F4h, 1F5h) 409
Rejestr napęd/głowica (Device/Head Register: 1F6h) 409
Rejestr stanu (Status Register: 1F7h) 410
Rejestr rozkazów (Command Register: 1F7h) 410
Alternatywny rejestr stanu (3F6h) 411
Rejestr sterujący (3F6h) 412
Rejestr adresu napędu (3F7h) 412
Cykl programowania kontrolera 413
Przekazywanie rozkazu 413
Przekazywanie danych 413
Faza końcowa 414
Przykład realizacji rozkazu CZYTAJ SEKTOR 415
Rozszerzenia standardu pierwotnego 417
Wzrost pojemności dysków 420
Ograniczenia wnoszone przez BIOS 421
Bariera 504 MB 421
Metody omijania bariery 504 MB 423
Adresy liniowe (LBA) 424
Translacja XCHS (eXtended Cylinder-Head-Sector) 425
Straty pojemności 426
Bariera 2,1 GB 426
Bariera 8 GB 427
Przekraczanie bariery 8 GB 428
Bariera 32 GB 428
Bariera 128 GB 429
Ograniczenia wnoszone przez systemy operacyjne 430
Limit FAT-16 (bariera 2047 MB) 431
Bariera 4 GB 432
Windows NT — bariery 4 GB i 8 GB 432
Windows 95 — bariera 32 GB 433
Windows 98/98SE/ME — ograniczenie 69 GB 433
Obsługa dużych dysków 433
EZ-Drive (Phoenix) 434
Diskmanager (Ontrack) 435
Podnoszenie pasma przepustowego magistrali 435
Tryby PIO 435
Tryby DMA 436
Tryb Ultra DMA/33 437

Tryb Ultra DMA/66 ... 442
Tryby Ultra ATA/100 i Ultra ATA/133 ... 444
Blok informacyjny ... 444
Realizacja rozkazu Identify Device ... 445
Faza przekazywania rozkazu ... 445
Faza przekazywania danych ... 445
Faza końcowa ... 445
Lista rozkazów ... 451
Funkcje oszczędnościowe ... 451
System PM ... 452
System APM ... 453
Funkcje akustyczne ... 455
Dostęp do funkcji AAM ... 455
Wykorzystanie powierzchni dyskowej ... 456
Proces ładowania OS-a ... 457
MBR i PT ... 458
System danych i FSBR ... 460
Specyfika wybranych systemów operacyjnych ... 462
Start z dyskietki ... 462
MS-DOS — start z dysku twardego ... 463
MS Windows 95a/95b/98/98SE/ME ... 463
MS Windows NT ... 464
MS Windows 2000 ... 464
MS Windows XP ... 465
Linux ... 465
OS/2 ... 466
Przypisywanie oznaczeń literowych ... 466
Programy BM ... 466
Macierze dyskowe ... 468
Poziomy RAID ... 468
RAID-0 ... 468
RAID-1 ... 470
RAID-0/1 (RAID-10) ... 470
RAID-2 ... 470
RAID-3 ... 471
RAID-4 ... 471
RAID-5 ... 471
RAID-0/5 (RAID-50) ... 472
Kontrolery RAID ... 472
Rozwiązania programowe z poziomu OS-a ... 472
SMART ... 474
Struktura systemu ... 474
Aplikacje współpracujące ze SMART ... 477
Wielowątkowy dostęp przez Serial ATA ... 477
Zarządzanie kolejką ... 478
Rozpędzanie dysku ... 479
Optymalizacja ruchu głowicy ... 479
Opóźnienie w ruchu obrotowym ... 480
Korzyści i wspomaganie Native Command Queuing ... 480
Jak aplikacje mogą korzystać z kolejkowania ... 482
Pamięci USB ... 483
Interfejs ... 483
Cechy pamięci USB ... 484
Wydajność ... 485

Rozdział 10. Magistrala szeregowa ATA 487
Specyfikacja 488
Sterowanie 489
Okablowanie 490
Protokół i transmisja 490
Serial ATA II 497
Kolejkowanie rozkazów 497
Powielacze portów 499
Backplane 500

Rozdział 11. Standard SCSI 505
Realizacja magistrali 508
Organizacja protokołu 511
Fazy pracy magistrali 512
Szyna wolna (Bus Free) 513
Faza rozstrzygania (Arbitration Phase) 514
Wybór (Selection Phase) 517
Reselekcja (Reselection) 520
Fazy informacyjne 522
Transfer danych w fazach informacyjnych 525
Tryb asynchroniczny 525
Tryb synchroniczny 527
Tryb synchroniczny „Fast” 529
Zmiana kierunku transmisji 532
Sytuacje wyjątkowe 532
Uwaga (Attention) 532
Zerowanie (Reset) 534
Rozkazy systemowe 536
Informacja statusowa 540
Komunikaty (Messages) 541
00h: COMMAND COMPLETE (zakończono wykonanie rozkazu) 543
02h: SAVE DATA POINTERS (zachowaj zestaw wskaźników) 03h: RESTORE POINTERS (przywróć zestaw wskaźników) 543
04h: DISCONNECT (rozłączenie) 543
05h: INITIATOR DETECTED ERROR (wykryto nienaturalne zachowanie inicjatora) 543
06h: ABORT (przerwij natychmiast) 543
07h: MESSAGE REJECT (odmowa przyjęcia wiadomości) 543
08h: NO OPERATION (wiadomość pusta) 544
09h: MESSAGE PARITY ERROR (wykryto błąd parzystości) 544
0Ah: LINKED COMMAND COMPLETE (zakończono rozkaz cząstkowy) 544
0Bh: LINKED COMMAND COMPLETE WITH FLAG (zakończono rozkaz cząstkowy plus flaga) 544
0Ch: BUS DEVICE RESET (wyzerowanie) 544
0Dh: ABORT TAG (porzuć wykonanie procesu) 544
0Eh: CLEAR QUEUE (wyczyść kolejkę procesów) 544
20h: SIMPLE QUEUE TAG (umieść w kolejce) 21h: HEAD OF QUEUE TAG (umieść na szczycie) 22h: ORDERED QUEUE TAG (umieść na końcu) 544
12h: CONTINUE I/O PROCESS 13h: TARGET TRANSFER DISABLE 545
80h – FFh: IDENTIFY (identyfikacja jednostki LUN) 545
01h: SYNCHRONOUS DATA TRANSFER REQUEST (uzgodnienie RAO i TP) 545
Procedura uzgadniania 546
System wskaźników 546
Przykładowa wymiana danych 548

SCSI w komputerach PC ... 552
Host-Adapter ... 553
Okablowanie ... 556
Terminatory ... 559
Rozszerzenia SCSI ... 561
Ultra-2 ... 562
Ultra-3 (Ultra/160) ... 563
Ultra/320 ... 565
Ograniczenia implementacji ... 566
Zgodność ... 566
Ultra/640 ... 567
Serial Attached SCSI (SAS) ... 567

Rozdział 12. Złącze 1394 (Fire Wire) ... 575
Ogólne założenia standardów 1394-1995 i 1394a-2000 ... 576
Tryby i prędkość transmisji ... 576
Topologia ... 577
Okablowanie ... 577
Gwarantowane pasmo transmisyjne ... 579
Rozszerzenia 1394b ... 579
Klasy prędkości ... 580
Okablowanie ... 580
Protokół ... 581

Rozdział 13. Karty graficzne ... 585
Przegląd kart graficznych ... 585
Omówienie kart graficznych EGA, VGA i SVGA ... 589
Tryby tekstowe ... 591
Tryby graficzne ... 593
Rozdzielczość obrazu ... 593
Tryby zapisu i odczytu pamięci obrazu ... 594
Tryb zapisu 0 ... 594
Tryb zapisu 1 ... 595
Tryb zapisu 2 ... 595
Tryb zapisu 3 ... 595
Tryb odczytu 0 ... 595
Tryb odczytu 1 ... 595
Schemat działania karty graficznej ... 595
Standard VESA ... 597
Pamięć lokalna akceleratora ... 597
Frame Buffer ... 598
Bufor Z/W ... 599
Pamięć tekstur ... 601
Rozmiar pamięci i organizacja ... 602
Rodzaje pamięci kart graficznych ... 605
DRAM ... 606
EDO i BEDO DRAM ... 606
SDRAM ... 607
SGRAM ... 607
MDRAM ... 607
V-RAM ... 607
WRAM ... 608
DDR-SDRAM ... 608
DDR2-SDRAM ... 609
GDDR2-SGRAM ... 609
GDDR3-SGRAM ... 609

RAMDAC ... 609
Przegląd nowych procesorów graficznych ... 612
ATI ... 612
nVidia ... 613
Matrox ... 614
Silicon Integrated Systems (SIS) ... 615
Dopasowanie monitora do karty ... 615
Parametry karty ... 616
Jakość monitora ... 617
Kanał informacyjny VESA DDC ... 619
DDC1 ... 620
DDC2B ... 620
DDC2AB ... 620
Złącza cyfrowe ... 621
TMDS ... 621
P&D (EVC) ... 622
DFP ... 622
DVI ... 623

Rozdział 14. Przetwarzanie obrazów wideo ... 627
Formaty MPEG ... 630
MPEG-1 ... 630
MPEG-2 ... 632
MPEG-4 ... 632
Format DivX ... 633
Rodzielczość ... 633
Bitrate w filmach DivX ... 634
Smart Bitrate Control i Constant Bitrate Control ... 634
Profile kompresji ... 635
Następca formatu DivX ... 635
Rozwiązania programowe na platformie PC ... 637
Kodery ... 638
Odtwarzacze ... 640
Wspomaganie sprzętowe ... 642
Interfejs programowy ... 644

Rozdział 15. Grafika 3D ... 647
Schemat przetwarzania obiektów 3D ... 648
API ... 650
Geometry Engine ... 652
Tłumaczenie opisu środowiska ... 652
Oświetlenie i tekstura ... 652
Przekształcenia geometryczne ... 653
Strefa widoczności ... 653
Przekazanie parametrów do jednostki rasteryzującej ... 654
Rendering Engine ... 654
Teksturowanie ... 657
Korekcja perspektywy ... 658
Nakładanie mapy ... 659
Przyporządkowanie najbliższego punktu (Peak Nearest) ... 660
Filtracja bilinearna (Bilinear Interpolation) ... 660
MIP-Mapping ... 661
Filtracja trilinearna ... 662
Full Scene Anti-Aliasing ... 663
Mieszanie kolorów ... 664
Efekty specjalne ... 665
Podział mocy obliczeniowej ... 666

Rozdział 16. Magistrala AGP 669
Architektura komputera z magistralą AGP 669
Sygnały magistrali AGP 672
Szyna adresów i danych 672
Sygnały PCI 675
Sygnały kontroli przepływu 676
Sygnały obsługi żądań AGP 676
Linie statusowe 676
Sygnały kluczujące 677
Sygnały USB 678
System zarządzania zużyciem energii 678
Sygnały specjalne 678
Linie zasilające 678
AGP w teorii 678
Kolejkowanie 679
Magistrala SBA 681
GART 682
DIME 683
AGP w praktyce 685
Wymagania sprzętowe i programowe 685
Kontrola działania 687
AGP PRO 689
AGP 3.0 692
Pasmo przepustowe 692
Poziomy napięć 693
Nowe sygnały i przedefiniowania 693
Sygnały zegarowe 693
AGP 2.0 694
AGP 3.0 695
Transakcje 695
Pobór prądu 695
Zgodność w dół 696
Implementacja w chipsetach 696

Rozdział 17. System odmierzania czasu 697
Układ 8253/8254 697
Tryb 0 699
Tryb 1 699
Tryb 2 700
Tryb 3 700
Tryb 4 700
Tryb 5 701
Programowanie generatora 8253/8254 701
Zegar systemowy 704
Układ odświeżania pamięci dynamicznej 705
Obsługa głośnika 707
Drugi układ 8254 i jego zastosowanie 709

Rozdział 18. Pamięć CMOS-RAM 711
Organizacja pamięci CMOS 712
Rejestr A (offset 0Ah) 713
Rejestr B (offset 0Bh) 714
Rejestr C (offset 0Ch) 715
Rejestr D (offset 0Dh) 716
Rejestr E (offset 0Eh) — Diagnostic Status Byte 716

Rejestr F (offset 0Fh) — Shutdown Byte ... 717
Konfiguracja napędów dyskietek (offset 10h) ... 718
Konfiguracja dysków twardych (offset 12h) ... 718
Pamięć (offset 15h) ... 719
Suma kontrolna ... 720
Bajt konfiguracji sprzętowej (Equipment Byte) ... 720
Funkcje BIOS-u obsługujące pamięć konfiguracji ... 720
Funkcja 00h ... 721
Funkcja 01h ... 721
Funkcja 02h ... 721
Funkcja 03h ... 722
Funkcja 04h ... 722
Funkcja 05h ... 723
Funkcja 06h ... 723
Funkcja 07h ... 723
Bezpośredni dostęp do pamięci CMOS ... 724

Rozdział 19. Obsługa urządzeń wejściowych ... 725

Klawiatura ... 725
Mapa klawiatury ... 727
Organizacja obsługi klawiatury przez BIOS ... 733
Bajt 0040:0017h ... 736
Bajt 0040:0018h ... 737
Bajt 0040:0096h ... 737
Bajt 0040:0097h ... 737
Funkcje przerwania 16h BIOS-u ... 738
Funkcja 00h ... 738
Funkcja 01h ... 739
Funkcja 02h ... 739
Funkcja 03h ... 740
Funkcja 05h ... 740
Funkcja 10h ... 741
Funkcja 11h ... 741
Funkcja 12h ... 741
Bezpośrednie programowanie klawiatury ... 742
Rozkaz EDh — sterowanie diodami świecącymi ... 746
Rozkaz EEh — echo ... 746
Rozkaz F0h — wybór zestawu kodów klawiszy ... 747
Rozkaz F2h — identyfikacja klawiatury (ID) ... 747
Rozkaz F3h — opóźnienie i prędkość autorepetycji ... 747
Rozkaz F4h — odblokowanie klawiatury ... 747
Rozkaz F5h ... 747
Rozkaz F6h ... 748
Rozkaz FEh — żądanie powtórzenia transmisji ... 748
Rozkaz FFh — diagnostyka klawiatury ... 748
Port wejściowy i port wyjściowy ... 749
Mysz ... 752
Funkcja 00h ... 753
Funkcja 01h ... 755
Funkcja 02h ... 755
Funkcja 03h ... 755
Funkcja 04h ... 756
Funkcja 05h ... 756
Funkcja 06h ... 757
Funkcja 0Bh ... 757

Manipulator ... 758
Funkcja 84h ... 760
Urządzenia bezprzewodowe ... 760
Transmisja w paśmie podczerwieni ... 761
Transmisja radiowa ... 761
Bluetooth ... 761

Rozdział 20. Łącze szeregowe ... 763

Asynchroniczna transmisja szeregowa ... 763
Układ scalony 8250 ... 765
Interfejs RS-232C ... 768
Tryb simpleksowy ... 770
Tryb półdupleksowy ... 771
Tryb dupleksowy ... 771
Dostęp do łącza szeregowego z poziomu systemu MS-DOS ... 773
Funkcja 03h ... 773
Funkcja 04h ... 774
Funkcja 3Fh ... 774
Funkcja 40h ... 774
Funkcje BIOS-u obsługujące łącze szeregowe ... 775
Przekroczenie czasu (Time Out) ... 776
Przerwanie połączenia (Break) ... 776
Błąd protokołu (Frame Error) ... 776
Błąd parzystości (Parity Error) ... 776
Błąd przepełnienia (Overrun Error) ... 776
Bajt statusowy modemu ... 777
Funkcja 00h ... 777
Funkcja 01h ... 778
Funkcja 02h ... 779
Funkcja 03h ... 779
Bezpośrednie programowanie rejestrów UART ... 780
Przerwania generowane przez łącze szeregowe ... 781
Rejestr konfiguracji przerwań ... 781
Rejestr identyfikacji przerwań ... 782
Rejestr formatu danych (LCR) ... 783
Prędkość transmisji ... 784
Sygnały sterujące ... 784
Rejestr wyjściowych sygnałów sterujących (MCR) ... 784
Rejestr wejściowych sygnałów sterujących łącza RS-232C (MSR) ... 785
Rejestr stanu transmisji (LSR) ... 786
Układ UART 16450 ... 787

Rozdział 21. Łącze równoległe ... 789

Terminologia programu konfiguracyjnego BIOS-u ... 791
Tryby podstawowe ... 792
Tryb standardowy ... 792
Rejestr danych (Data Register) — adres bazowy+0 ... 795
Rejestr stanu (Status Register) — adres bazowy+1 ... 796
Rejestr sterujący (Control Register), adres bazowy+2 ... 797
Tryb półbajtowy ... 798
Tryb bajtowy (PS/2) ... 799
Tryb EPP ... 799
Tryb ECP ... 802
Rejestr ECR (Extended Control Register), adres bazowy+402h ... 805

Realizacja portu równoległego w ramach architektury PC ... 806
Dostęp do łącza równoległego poprzez funkcje BIOS-u ... 808
Funkcja 00h ... 809
Funkcja 01h ... 809
Funkcja 02h ... 810
Dostęp do łącza równoległego z poziomu systemu MS-DOS ... 811
Funkcja 05h ... 811
Funkcja 40h ... 812
Ogólne zastosowanie łącza równoległego ... 813

Rozdział 22. Złącze USB ... 819
Specyfikacja ... 819
Topologia ... 820
Okablowanie ... 822
Protokół ... 824
Pakiety ... 825
Sterowanie w trybach LS/FS (USB 1.1) ... 827
Sterowanie w trybie HS (USB 2.0) ... 828
USB w praktyce ... 831
Windows 95 ... 833
Windows 98/98SE ... 833
Windows NT ... 834
Windows 2000/XP/2003 ... 834
USB 2.0 ... 834
Urządzenia USB ... 835
Klawiatury ... 835
Myszy ... 835
Kontrolery gier ... 835
Dyski twarde ... 836
Moduły pamięci Flash EEPROM ... 836
Napędy optyczne ... 837
Czytniki kart pamięci i aparaty cyfrowe ... 837
Skanery ... 838
Drukarki ... 838
Sieci komputerowe ... 838

Rozdział 23. Złącze bezprzewodowe wykorzystujące fale podczerwieni (IrDA) ... 839
Protokoły komunikacyjne IrDA ... 839
Standard IrDA-CONTROL ... 840
Standard IrDA-DATA ... 841
IrDA w praktyce ... 843
Windows 95 ... 845
Windows 98 ... 846
Windows ME ... 846
Windows NT ... 846
Windows 2000 ... 846
Windows XP ... 847

Rozdział 24. System ograniczania zużycia energii (ACPI) ... 849
Model warstwowy ACPI ... 850
Przegląd stanów energetycznych ... 853
Wskazówki praktyczne ... 855
Windows 98 ... 855
Windows 2000 ... 856
Kontrola sterowników ... 859

Rozdział 25. Nośniki optyczne 861
Organizacja fizyczna danych 862
Przetwarzanie danych audio 862
Przetwarzanie danych cyfrowych 865
Informacja subkanałowa 866
Subkanał Q i TOC 868
Sesja i ścieżka 870
Formaty 871
Specyfikacje 875
Płyta CD-R 876
Płyta CD-RW 879
Technologia DVD 880
Kodowanie 881
Korekcja błędów 881
Formaty 882
DVD-R 882
DVD-RW 884
DVD+R/+RW 884
DVD-RAM 886
Płyta DVD 887
Parametry nośników DVD-RAM 889
HD DVD 890
HD DVD Video 892
Czytniki i nagrywarki 893
OPC 895
BURN-Proof i pochodne 896
MultiRead 897
Mount Rainier 897
Audio Master 898
Urządzenia kombinowane z DVD 898
Kod regionalny 899
Czas dostępu i transfer w trybach DVD 900
Badanie formatu nośnika 901
Standard Blu-ray Disc 904
Osiągnięcie większej gęstości zapisu 905
Optymalizacja grubości warstwy ochronnej i numerycznej apertury soczewki 905
Ustalenie długości fali światła laserowego 906
Wytwarzanie płyt Blu-ray Disc 909
Dysk Blu-ray Double Layer 910
Kompatybilność ze starszymi formatami 910
Zabezpieczenie przed kopiowaniem 911
Kasety na dyski Blu-ray 911
Samodzielna diagnostyka 912

Rozdział 26. Nowoczesne magistrale szerokopasmowe 915
Fibre Channel 916
Topologie 917
Sterowanie 917
Protokół 919
Systemy złączy i okablowanie FC 919
Dyski ze złączem FC 921
Infini Band 923
Architektura 924
Sterowanie linii 924
Protokół 925
Okablowanie IBA 926

Rozdział 27. Karta dźwiękowa 929
Synteza FM 930
Synteza WaveTable 935
Digitalizacja i obróbka cyfrowa (DSP) 938
Przetworniki ADC i DAC 939
Standard MIDI 941
Protokół MIDI 942
MIDI od strony sprzętowej 943
Modelowanie przestrzenne 945
Wyprowadzenia zewnętrzne 950
Sygnały analogowe i mikser 951
Sygnały cyfrowe 951
Wykorzystanie zasobów systemowych 954
„Sound on Board" według specyfikacji AC'97 955
Schemat blokowy systemu AC'97 956
Układ scalony Codec AC'97 958

Rozdział 28. Modemy 961
Implementacje modemów analogowych 961
Modulacja sygnału 964
AM i QAM 964
FSK 965
PM i PSK 965
PCM 965
TCM 965
Standardy 966
Standardy Bell 967
V.21/V.22/V.22bis/V.23 967
V.32/V.32bis/V.32turbo 967
V.34 (V.Fast, V.34+, V.FC) 967
V.42 (MNP)/V.42bis 967
V.90 968
V.92 970
Dalsze perspektywy 970
Polecenia AT 971
Łańcuchy inicjalizujące 972
Chipset i sterownik modemu 973
Konfiguracja i diagnostyka modemów 974
Środki własne OS 974
Monitory systemowe 974
Hyper Terminal 974
Programy dodatkowe 974
ModemChk 976
MyVitalAgent 977
NetStatLive (NSL) 978
Modemy cyfrowe ISDN 978
Protokół ISDN 980
Warstwa fizyczna 981
Warstwa łącza danych 981
Warstwa sieci 982
Składniki informacji ISDN 983
Typy wiadomości ISDN 984
Rozszerzenia funkcjonalności 985
Modemy xDSL 985
Technologia transmisji 986
Modemy HiS 988

Rozdział 29. PC w sieci lokalnej 991
Model OSI 992
Warstwa fizyczna (L1) 992
Łącze (L2) 993
Sieć (L3) 993
Transport (L4) 994
Sesja (L5) 994
Warstwa prezentacji (L6) 994
Warstwa użytkowa (L7) 994
Ethernet i TCP/IP 994
Kapsułkowanie do ramki Ethernet 995
Protokół TCP/IP 997
Karta sieciowa 999
Komunikacja z pamięcią i buforowanie 1000
Formowanie ramki 1001
Konwersja szeregowo-równoległa 1002
Kodowanie i dekodowanie 1002
Dostęp do medium i wykorzystanie pasma 1003
Chipset karty 1003
Wyposażenie, diagnostyka, konfiguracja 1004
Realizacje sieci Ethernet 1005
Okablowanie 1008
Konstrukcja kabli 1008
Kategorie i klasy 1010
Połączenia PC i proste sieci 1013
Wybór karty sieciowej i okablowania 1014
System operacyjny i sterowniki protokołów 1015
Przesyłanie danych 1019
Netio Benchmark 1020
Monitorowanie ruchu sieciowego na poziomie pakietów 1021
Nadzorowanie aktywnych połączeń 1023
Sieci bezprzewodowe 1023
Specyfikacje 1024
Topologie 1028
Ramka 1029
Uwierzytelnienie 1029
Bezpieczeństwo 1030
WEP 1031
WPA 1032

Rozdział 30. Bluetooth 1033
Założenia ogólne i specyfikacje 1034
Protokoły 1034
Warstwa fizyczna 1036
Sieć 1037
Pakiety 1039
Bezpieczeństwo 1041
Wykrywanie błędów 1043
Korekcja błędów 1044
Przykłady zastosowań 1044
Co nowego znajdziemy w Bluetooth V1.2? 1046
Przyszłość Bluetooth 1046

Rozdział 31. Zasilacz 1047
Zasilacz standardu ATX 1049
Specyfikacja ATX/ATX12V 1052
Dobór zasilacza 1054
Przykładowe rozwiązania 1056
Zasilacze dużej mocy 1056
ATXGES (AMD) 1056
EPS12V (Intel) 1059

Rozdział 32. Zasilacze awaryjne 1063
Źródła zakłóceń 1063
Chwilowe zaniki napięcia 1064
Spadki o średniej długości 1064
Długotrwałe spadki napięcia 1064
Przepięcia 1065
Pakiety 1065
Wysokie harmoniczne 1065
Całkowity zanik napięcia 1065
Zasilacz PC jako odbiornik prądu zmiennego w sieci 1065
Budowa układów UPS 1068
Baterie 1069
Elementy kontrolne i regulacyjne 1070
Czas buforowania 1071
Topologie 1071
Standby 1072
Line Interactive 1073
On-Line 1073
Inne rozwiązania 1074
Zakres napięć wejściowych 1075
Programy obsługujące urządzenia UPS 1075
Środki systemu operacyjnego 1075
Programy własne producentów UPS 1076

Rozdział 33. BIOS i jego program konfiguracyjny 1079
Organizacja systemu bezpieczeństwa 1080
Możliwości omijania systemu bezpieczeństwa 1082
Metoda 1 — hasła uniwersalne 1082
Metoda 2 — załadowanie parametrów standardowych 1083
Metoda 3 — kasowanie zawartości układu CMOS-RAM 1083
Metoda 4 — atak poprzez programy szperające 1085
Metoda 5 — drugi komputer 1085
Metoda 6 — przypadki specjalne i komputery przenośne 1085
System ochrony przed wirusami atakującymi MBR 1086
System ładowania wartości predefiniowanych 1086
Mechanizm opuszczania programu konfiguracyjnego 1087
Ogólna konstrukcja blokowa 1087
Programy pseudo-BIOS-SETUP 1088
Aktualizacja BIOS-u 1088
Wstęp 1088
Niebezpieczeństwo 1088
Aktualizacja 1088
W razie niepowodzenia — reanimacja 1090
Nowe możliwosci — aktualizacja w środowisku Windows 1090
Nowe trendy w programach BIOS 1091
Obrazki w BIOS-ie 1091
Podwójny BIOS 1092

POST on Board ... 1092
Voice Diagnostic ... 1093
Auto-Overclocking ... 1093
Soft Menu ... 1093

Rozdział 34. Wykorzystanie Linuksa do diagnostyki środowiska PC ... 1137
Czym jest Linux? ... 1137
Dystrybucje ... 1137
Linux w Polsce ... 1138
Przegląd dystrybucji Linuksa ... 1138
Red Hat ... 1138
Mandrake ... 1138
SuSE ... 1138
Debian ... 1138
PLD ... 1138
Gentoo ... 1139
Partycje i katalogi w Linuksie ... 1139
Uruchamianie systemu ... 1140
Lilo ... 1140
Ładowanie systemu Linux ... 1140
Konsola systemowa ... 1140
Podstawowe polecenia wykorzystywane do operacji na plikach i katalogach ... 1141
Dokumentacja systemowa ... 1142
Linux a diagnostyka systemu ... 1142
Linux na dyskietce ... 1143
Mini Linux ... 1143
Instalacja Mini Linuksa ... 1143
Wybrane programy — fdisk ... 1144
cfdisk ... 1148
Cfdisk w praktyce — opis stworzenia trzech partycji. ... 1149
Linux na CD ... 1150
Knoppix ... 1150
Programy diagnostyczne ... 1151
Bonnie++ ... 1151
hdparm ... 1151
cURL ... 1153
Przykłady zastosowania ... 1153
Przykłady z zapisem do pliku ... 1154
Używanie haseł (uwierzytelnianie użytkowników) ... 1154
Wysyłanie plików do serwera ... 1155
Uszczegółowienie komunikatów o błędach ... 1156
Postęp transmisji ... 1156
Ograniczenie prędkości transmisji ... 1156
Plik konfiguracyjny ... 1157
TTCP ... 1157
CPUBurn ... 1158
MEMTEST86 ... 1160
/proc — katalog, który „wie" wszystko ... 1161

Bibliografia ... 1165
Literatura polskojęzyczna ... 1165
Literatura anglojęzyczna ... 1170
Wydawnictwa ... 1171

Skorowidz ... 1173

Dodatek A Przegląd architektury mikroprocesorów ..... CD-ROM
Dodatek B Systemy oznaczeń scalonych układów pamięciowych ..... CD-ROM
Dodatek C Baza adresów internetowych ..... CD-ROM
Dodatek D Przykład współpracy z magistralą ISA ..... CD-ROM
Dodatek E Rejestry sterowników EGA/VGA ..... CD-ROM
Dodatek F Funkcje BIOS-u obsługujące karty graficzne ..... CD-ROM

Dodatek A

Przegląd architektury mikroprocesorów

Wnętrze współczesnego komputera klasy PC zawiera szereg produktów najróżniejszych firm. Oferta jest tak bogata, że w niektórych dziedzinach nie sposób byłoby nawet wymienić wszystkich znaczących producentów. Nie dotyczy to jednak procesorów. Przeważająca część udziałów w obrocie podzielona jest w chwili obecnej pomiędzy firmy Intel i AMD. W starszych komputerach odnaleźć można ślady obecności na rynku innych wytwórców.

W dalszej części rozdziału omówione zostaną produkty następujących firm:

- AMD (rodziny K5, K6, K7 oraz Hammer);
- IBM/Cyrix (M1, M2, ViA Cyrix III ViA);
- Intel (Pentium, Pentium MMX, Pentium Pro, Pentium II, Pentium III i Pentium 4 wraz z odmianami);
- IDT (WinChip C6 i WinChip 2).

Krótka charakterystyka poszczególnych rodzin procesorów obejmuje zwięzły opis, schemat blokowy i tabelarycznie ujęte główne cechy architektury. Czytelników chętnych do dalszego zgłębiania tych zagadnień odsyłam do odpowiednich stron internetowych.

AMD	*www.amd.com*
Cyrix III (VIA C3)	*www.via.com.tw*
Intel	*www.intel.com*

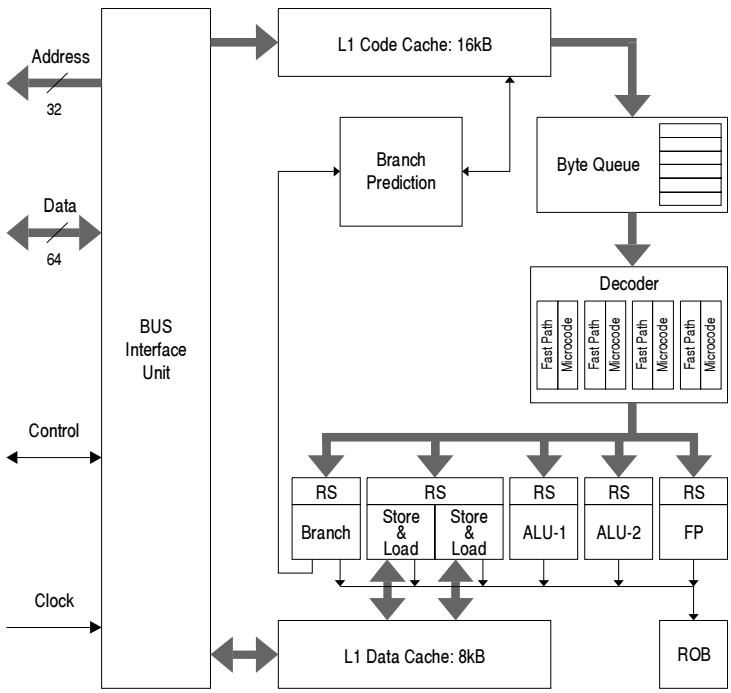
Procesory AMD

Rodzina K5

Procesor $AM5_K86$ (K5) był pierwszym w pełni niezależnym projektem firmy AMD. Wszystkie poprzednie modele z serii 386 i 486 kopiowały w mniejszym lub większym stopniu oryginały Intela. Jądro procesora K5 opiera się na superskalarnej architekturze

RISC. Napływający strumień rozkazów x86 analizowany jest przez dekoder i tłumaczony na ciąg elementarnych operacji (mikrorozkazów) w wewnętrznym kodzie procesora (rysunek A.1). W terminologii AMD takie elementarne rozkazy RISC noszą miano ROP (*RISC Operations*). Rozkazy proste tłumaczone są przez dekoder pracujący w szybkim trybie (*Fast Path*), a rozkazy bardziej skomplikowane wymagają odwołania się do sekwencera rozwijającego odpowiednią sekwencję ROP z pamięci stałej EPROM. Niezależnie od sposobu kodowania, cegiełki ROP mają zawsze stałą długość.

Rysunek A.1. *Schemat blokowy procesora AMD K5*



Wypływający z dekodera strumień ROP kierowany jest do jednostek wykonawczych. K5 dysponuje sześcioma takimi jednostkami: dwoma arytmetyczno-logicznymi dla liczb całkowitych, jedną dla zmiennoprzecinkowych, dwoma kanałami do obsługi operacji typu *Load/Store* i jedną do przetwarzania instrukcji rozgałęzień. Nad właściwym rozdziałem ROP do odpowiednich jednostek czuwa system dystrybucji (*Dispatcher*), który potrafi rozesłać w jednym cyklu zegarowym maksymalnie cztery mikrorozkazy. Jeśli dana jednostka jest aktualnie zajęta, skierowane do niej mikrokody oczekują w kolejce RS (*Reservation Station*). Zdecydowana większość ROP może być kierowana do dowolnej z dwóch jednostek ALU, a tylko nieliczne z nich wymagają obsługi przez konkretną jednostkę. Duża wydajność procesora gwarantowana jest jedynie w sytuacji stałego i pełnego wykorzystania wszystkich jednostek wykonawczych. W trosce o nieprzerwany dopływ ROP do tych układów procesor wyposażony został w szereg dodatkowych mechanizmów wspomagających. Do najważniejszych z nich zaliczyć należy opisane wcześniej systemy *Register Renaming* oraz *Data Forwarding*. Procesor przetwarza w miarę możliwości również poza kolejnością (*Out of Order Execution*), a zlokalizowany u wylotu potoku 16-stopniowy bufor ROB (*Reorder Buffer*) odpowiada za ponowne uszeregowanie rozkazów zgodnie z pozycją zajmowaną w realizowanej sekwencji rozkazów x86.

Tabela A.1. *Podstawowe dane procesorów AMD K5*

	PR-100	PR-133	PR-166
Architektura	RISC		
Zegar CPU [MHz]	100	100	116
Magistrala [MHz]	66	66	66
Mnożnik (BF)	×1,5 (BF = 1)	×1,5 (BF1/BF0 = 10)	×1,75 (BF1/BF0 = 00)
L1 Cache (kod)	16 KB, 1 Bank, 4× Associative, Dual Tags (linear+phys.), Line Cache 32 byte		
L1 Cache (dane)	8 KB, 4 Banks, 4× Associative, Dual Tags, MESI, WB, Line Cache 32 byte		
L2 Cache on Chip	×		
Pipe-Lines	6		
Pipe-Line Stages	5		
Out of Order Execution	✓, 16		
Branch History Table	1024		
Branch Target Buffer	1024		
$V_{CORE}/V_{I/O}$ [V]	3,52		
Pobór mocy, typ. [W]	12,6	10,6	12,3
Return Stack	×		
Renaming Registers	✓		
Performance Monitoring	✓(A)		
Time Stamp Counter	✓		
Podstawka	Socket 7, P54C		

(A) System niezgodny z Pentium.

System przewidywania rozgałęzień zapamiętuje 1024 adresy skoków i gwarantuje współczynnik trafienia około 75%. Napotkanie rozgałęzienia powoduje, iż pobieranie kolejnych instrukcji odbywa się w kierunku typowanym przez układ przepowiadania. Instrukcje są dekodowane i wykonywane, ale ich wyniki przechowuje się w buforze ROB do czasu potwierdzenia słuszności drogi wybranej na podstawie przypuszczeń. Jeśli przewidywanie okaże się fałszywe, procesor traci 3 takty zegara potrzebne na opróżnienie potoków, rejestrów i buforów.

Pamięć podręczna procesora podzielona jest na wyizolowane bloki obsługujące w niezależny sposób dane i kod. K5 przeznacza dla kodu 16 KB, co stanowi wartość dwukrotnie większą niż w Pentium. Każdy z zapamiętywanych bajtów opatrzony jest dodatkową 5-bitową sygnaturą (*Pre-Code Bits*), będącą wynikiem pracy układu dekodowania wstępnego. W ten sposób ulega skróceniu czas przebywania instrukcji w układzie właściwego dekodera. Pamięć podręczna danych zajmuje 8 KB. System pamięci podręcznej zorganizowany jest w linijki 32-bajtowe, jednak najmniejszą porcją informacji wymienianej z pamięcią operacyjną są dwie takie linijki. Magistrala przystosowana jest więc w naturalny sposób do obsługi adresów leżących na granicy 64 bajtów (*Q-Word*). Próba dostępu do obiektu leżącego „gdzieś pomiędzy" dzielona jest przez większość procesorów na dwa cykle. K5 potrafi jednak wygenerować taki zestaw sygnałów sterujących (*Split Line Access*), by omawiany problem nie wystąpił.

Układ sterowania pamięcią podręczną procesora K5 (zarówno dla kodu, jak i danych) prowadzi podwójny system katalogów (*Dual Tagged*). W jednym z nich przechowywane są adresy fizyczne, a w drugim adresy liniowe. Osiągane w ten sposób znaczne przyspieszenie dostępu do pamięci podręcznej okupywane jest koniecznością dodatkowego rozbudowania układów sterujących dla potrzeb nadzorowania spójności (*Cache Tag Recovery*) dwóch systemów adresowania.

Rodzina K6

Projekt tego procesora nie był w zasadzie dziełem AMD, lecz przejęty został wraz z zakupioną firmą NexGen. Połączenie okazało się niezmiernie korzystne dla obu stron. Rozwijana przez NexGen nowoczesna technologia[1] została zaadaptowana dla potrzeb niezmiernie chłonnego rynku komputerów klasy PC i wypromowana przez firmę, która wprawdzie zdobyła już pozycję w tym sektorze, ale nadal nie dysponowała atrakcyjnym produktem, który mógłby skutecznie odpierać nieustające ataki konkurencji.

Tak więc zakupiony procesor (wtedy jeszcze o nazwie Nx686) został na tyle przebudowany, by zmieścił się w podstawce Socket 7 typowej płyty głównej i zajął miejsce procesora Pentium. Uzyskany produkt końcowy otrzymał nazwę handlową K6, co miało stanowić nawiązanie do sprzedawanego do tej pory przez AMD własnego opracowania znanego pod symbolem K5.

K6 był jak na owe czasy konstrukcją bardzo nowoczesną i pod wieloma względami przewyższał swych aktualnych konkurentów. Jądro procesora pracowało w trybie RISC. Operacje w kodzie x86 rozkładane były na krótkie kody wewnętrzne, noszące tym razem miano RISC86. Układ dekodera był niezmiernie wydajny. Pobierając jednorazowo 16 bajtów kodu x86, produkował w ramach jednego cyklu zegarowego do 4 mikroinstrukcji (rysunek A.2).

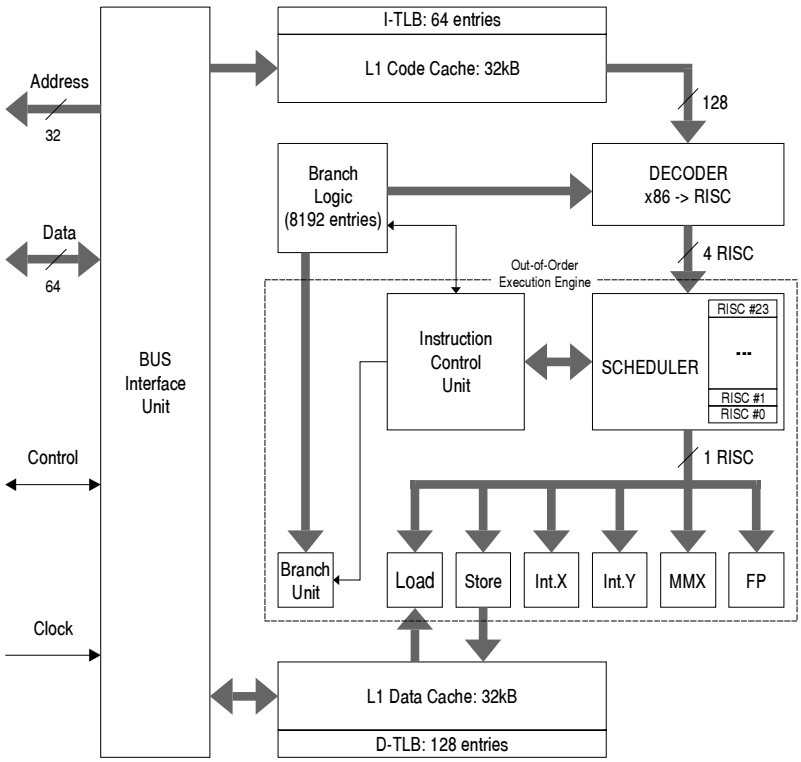
Opuszczające dekoder mikroinstrukcje spływały do zbiornika pośredniego (*Scheduler*), gdzie oczekiwały na zwolnienie właściwej dla danego rozkazu jednostki przetwarzającej. Procesor dysponował sześcioma takim układami: dwoma dla operacji na danych całkowitych (*Integer*), po jednym dla przesłań do i z pamięci, zmiennoprzecinkowego i MMX. Wszystkie jednostki z wyjątkiem dwóch ostatnich[2] mogły przetwarzać mikrokody RISC równolegle i jednocześnie.

Wzajemne uzależnienia kodu w strumieniach równoległych rozwiązywane były poprzez przemianowywanie rejestrów. Do dyspozycji tej funkcji oddano 32 dodatkowe rejestry 32-bitowe. Układ przepowiadania śledził zachowanie 8192 instrukcji rozgałęzień, przez co cechował się bardzo dużą dokładnością trafień.

K6 wyposażony został w 64 KB pamięci podręcznej (tabela A.2), po 32 KB dla kodu i danych, co stanowiło wartość czterokrotnie wyższą niż w przypadku Pentium i dwukrotnie

[1] Płyta główna zdolna do przyjęcia procesora NexGen bazowała na specjalnie opracowywanych do tego celu układach scalonych (*Chip-Set*). Winę za to ponosiła całkowita niezgodność z architekturami „intelopodobnymi", na przykład specjalna superszybka magistrala łącząca procesor z pamięcią podręczną L2.

[2] Projekt jednostki MMX przejęty został od Intela na mocy wzajemnej umowy licencyjnej. Koncepcja wyklucza jednoczesną pracę MMX i FPU, bowiem obydwa bloki korzystają ze wspólnych rejestrów.



Rysunek A.2. *Schemat blokowy procesora AMD K6*

wyższą niż dla Pentium MMX. Na uwagę zasługuje również organizacja pamięci pośredniej jednostki MMU. Tablice TLB (*Transaction Look-aside Buffer*) dla kodu potrafiły zapamiętać do 128 rekordów (dla porównania — Pentium Pro tylko 32).

Rodzina K6-2

W połowie 1998 roku na rynku pojawiły się procesory K6 (jądro typu *Chomper*) dostosowane do pracy z magistralą FSB 100 MHz. Firma AMD rzuciła w ten sposób wyraźne wyzwanie monopolistycznej polityce Intela, ukierunkowanej na rozwój linii Pentium II i wyeliminowanie szeroko rozpowszechnionej podstawki Socket 7. Ponieważ obowiązująca w tym zakresie specyfikacja dopuszczała maksymalną częstotliwość szyny FSB, wynoszącą 66 MHz, nowy wynalazek propagowany był jako podstawka Super 7 (Socket Super 7).

Prawidłowe rozpoznanie i skonfigurowanie nowego procesora wymagało obsługi ze strony BIOS-u (ew. konieczność aktualizacji) i płyty głównej. Na straconej pozycji znaleźli się posiadacze płyt pozbawionych wyprowadzenia końcówki BF2, co uniemożliwiało ustawienie mnożnika powyżej ×3,5. Trzeba też było zwracać uwagę na dostateczną wydajność źródła prądowego (co najmniej 10 A).

Procesory K6-2 mogły współpracować z magistralą FSB zarówno w wersji 66 MHz, jak i 100 MHz (tabela A.3), przy czym chipsety do tych ostatnich pochodziły wyłącznie od

Tabela A.2. *Podstawowe dane procesorów AMD K6*

	166	200	233	266(A)	300(A)
Architektura	RISC 86				
Technologia	0,35 µm	0,35 µm	0,35 µm	0,25 µm	0,25 µm
Zegar CPU [MHz]	166	200	233	266	300
Magistrala [MHz]	66	66	66	66	66
Mnożnik (BF)	×2,5	×3	×3,5	×4	×4,5
L1 Cache (kod)	32 KB, 2×Associative (2 Ways)				
L1 Cache (dane)	32 KB, 2×Associative, WB (2 Ways)				
L2 Cache on Chip	×				
Pipe-Lines	7				
Pipe-Line Stages	6 (FP: 7)				
Out of Order Execution	✓				
Branch History Table	8192				
TLB	Code Cache TLB: 64 Entries Data Cache TLB: 128 Entries L2 TLB: –				
Branch Target Buffer	16				
V_{CORE} [V]	2,9 (2,76 – 3,05)	2,9 (2,76 – 3,05)	3,2 (3,1 – 3,3)	2,1	2,1
$V_{I/O}$ [V]	3,3 (3,14 – 3,6)	3,3 (3,14 – 3,6)	3,3 (3,14 – 3,6)	3,3	3,3
Pobór mocy, typ. [W]	10	12	17	6 (maks. 11,5)	7 (maks. 12,5)
Return Stack	16				
Renaming Registers	48 (8 + 40)				
Performance Monitoring	×				
Time Stamp Counter	×				
Podstawka	Socket 7, P55C				

(A) Przejście z technologii 0,35 µm na 0,25 µm miało miejsce w połowie 1997.

konkurentów Intela. Procesory z FSB 100 MHz różniły się w istotny sposób od dotychczasowych wersji 66 MHz. Nowość (a zarazem pewien problem techniczny) stanowiło uniezależnienie częstotliwości szyny głównej od magistrali PCI i AGP. Typowe dla dotychczasowej architektury było uzyskiwanie częstotliwości 33 MHz (taktującej szynę PCI) poprzez prosty podział zegara magistrali procesora (66 MHz : 2). Szyna AGP otrzymywała natomiast pełny przebieg 66 MHz. Wszystkie te przebiegi były ze sobą wspaniale zsynchronizowane, bowiem wywodziły się ze wspólnego źródła. Ten prosty mechanizm podziału stosowany był dla FSB 75 MHz, a nawet 83 MHz, co znosiły z różnym szczęściem układy peryferyjne PCI i AGP (gwarancja działania obejmuje zakres do 33 MHz). Na rynku znalazła się niestety zbyt duża liczba płyt głównych pozwalających na manipulację częstotliwościami magistral w zakresie wybiegającym często poza granice zdrowego rozsądku.

Tabela A.3. *Podstawowe dane procesorów AMD K6-2*

	266	300	333	350	366	380	400	450	475	500
Architektura	RISC 86									
Technologia	0,25 µm									
Zegar CPU [MHz]	266	300	333	350	366	380	400	450	475	500
Magistrala [MHz]	100/66	100/66	66	100	66	95/75	100	100	95	100
Mnożnik (BF)	×2,5 /×4	×3/×4,5	×5	×3,5	×5,5	×4/×5	×4	×4,5	×5	×5
L1 Cache (kod)	32 KB, 2×Associative 20 KB Predecode Cache									
L1 Cache (dane)	32 KB, 2×Associative, WB									
L2 Cache on Chip	×									
Pipe-Lines	7									
Pipe-Line Stages	6 (FP: 7)									
Out of Order Execution	✓									
Branch History Table	8192									
Branch Target Buffer	16									
V_{CORE} [V]	2,2							2,2/2,4		2,2
$V_{I/O}$ [V]	3,3									
Pobór mocy, maks. [W]	14,7	17,2	19,0	19,95	20,8	21,6	22,7	18,8 28,4(A)	19,8 29,6(A)	20,75
Return Stack	16									
Renaming Registers	48 (8 + 40)									
Podstawka	Socket Super 7									

(A) Pobór mocy dla procesorów zasilanych napięciem 2,4 V.

Podnoszenie ponad miarę częstotliwości szyny PCI zagraża nie tylko kartom graficznym i innym urządzeniom PCI, ale ma również ujemne skutki dla kontrolera IDE, co objawiać się może sporadycznymi błędami zapisu i odczytu.

Poważna trudność powstaje w momencie, gdy częstotliwość przebiegu bazowego (magistrala FSB) wynosi 100 MHz. Z takiego źródła niełatwo jest uzyskać zsynchronizowane przebiegi 33 MHz i 66 MHz. Stosuje się dwa sposoby podejścia do tego problemu. Pierwszy z nich to asynchroniczny tryb pracy. Magistrala główna i procesor mają własny zegar 100 MHz. Szyna AGP wyposażona zostaje w niezależny generator 66 MHz, a jego sygnał posyłany jest na magistralę PCI po podziale przez 2. Rozwiązanie drugie to tak zwany tryb pseudosynchroniczny, polegający na przemyślnym wyprowadzaniu (poprzez kolejne dzielenia i mnożenia) potrzebnych częstotliwości (66 i 33) z zegara 100 MHz. Tryb asynchroniczny ma istotną wadę: połączenie i współpraca magistral taktowanych różnymi częstotliwościami wymaga stosowania buforów pośrednich przechowujących dane. Skomplikowany na pozór tryb pseudosynchroniczny gwarantuje lepsze sprzężenie, bowiem mimo nierównomierności cyklów ich wzajemne przesunięcia są jednoznacznie zdefiniowane i kontrolery magistral mogą lepiej przewidzieć stosowne

dla wymiany danych momenty. Magistrala 100 MHz to nie jedyna nowość wprowadzona do procesorów AMD K6-2. Drugim istotnym elementem były rozszerzenia o funkcje 3DNow! (opisane w rozdziale 1.).

Procesory rodziny K6 (w tym również K6-2) dysponowały specjalnym rejestrem konfiguracyjnym umożliwiającym aktywowanie funkcji WA (*Write Allocation*). Tryb ten stanowił pewną szczególną formę obsługi pamięci podręcznej, która w większości typowych zastosowań przynosiła wzrost wydajności.

Stały wzrost częstotliwości taktowania procesorów spowodował po raz pierwszy wystąpienie ciekawego fenomenu. Procesory AMD K6-2 w wersji 350 MHz doprowadziły jako pierwsze do zawieszania się systemu operacyjnego i to z dosyć nieoczekiwanego powodu. Zjawisko to wywołane było po prostu nadmierną prędkością obliczeń! Błąd miał swoje źródło w sterownikach Windows 95 (na przykład *ios.vdx*), które podczas wykonywania pętli doprowadzały do dzielenia przez zero. Problem nie dotyczył Windows NT i Windows 98.

Rodzina K6 III

Projekt tego procesora rozwijany był przez AMD pod kryptonimem *Sharptooth*, a jądro określane było mianem CXT. K6 III to w zasadzie K6-2 wzbogacony o pamięć podręczną L2 zlokalizowaną bezpośrednio w strukturze[3] procesora (*On-Die*) (tabela A.4).

Ważną cechą architektury K6 III był fakt, iż (w odróżnieniu od Pentium II, a nawet Pentium III) magistrala BSB (*Back Side Bus*) łącząca L2 z procesorem taktowana była pełną częstotliwością zegara CPU.

W fazie przejściowej (między K6-2 a K6 III) na rynku znajdowały się zarówno egzemplarze K6-2 z jądrem starego typu (*Chomper*), jak i modele będące *de facto* K6 III (jądro typu CXT). Procesory te można rozróżnić w bardzo prosty sposób: *Chomper* ma naniesiony w lewym dolnym rogu obudowy napis 26050, natomiast CXT — 26351. Decydującym kryterium jest odpowiedź procesora na rozkaz `cpuid`. K6-2 odpowiada sekwencją 05h-8h-00h (w kolejności: *Family-Model-Stepping*). W przypadku jądra CXT odpowiedź brzmi 05h-08h-0Ch.

AMD nie wprowadziło w tym przypadku żadnych nowych, niekompatybilnych[4] rozszerzeń, takich jak SSE Intela. Nadal obowiązywał kurs na 3DNow!, tym bardziej, że coraz większa liczba producentów oprogramowania zdawała się je akceptować.

3DNow! nie potrzebuje wsparcia systemu operacyjnego przy zachowywaniu rejestrów. Są one, podobnie jak MMX, zamaskowane pod jednostką FP. Architektura 3DNow! stosuje za to bardziej wyrafinowane rozkazy. K6 III nie wprowadzał również żadnych nowych sztuczek z pamięcią podręczną (takich jak strumieniowanie w Pentium III).

Pozycja rynkowa K6 III miała stanowić przeciwwagę dla konkurencyjnych produktów Intela — procesorów Pentium II i Pentium III. Wersja K6 III 400 MHz odpowiadała —

[3] Pamięć podręczna L2 nie zajmuje dodatkowej powierzchni, bowiem ukryta jest pod samym procesorem. Całkowita grubość struktury rośnie przez to o około 1 mm.

[4] Zmieniony został natomiast (w stosunku do K6-2) sposób aktywowania trybu WA (*Write Allocation*).

Tabela A.4. *Podstawowe dane procesorów AMD K6 III*

	400	450
Architektura	RISC 86	
Technologia	0,25 µm	
Zegar CPU [MHz]	400	450
Magistrala [MHz]	100	
Mnożnik (BF)	×4	×4,5
L1 Cache (kod)	32 KB, 2×Associative 20 KB Predecode Cache	
L1 Cache (dane)	32 KB Write Back, 2×Associative	
L2 Cache on Chip (CPU Clock)	256 KB Write Back 4×Associative	
Pipe-Lines	10	
Pipe-Line Stages	6 (INT)	
FPU Units	1 (Non-Pipelined)	
Integer Units/MMX Units	2/2	
Renaming Registers	✓	
Out of Order Execution	✓	
Branch History Table	8192	
$V_{CORE}/V_{I/O}$ [V]	2,4/3,3	
Pobór mocy, typ./maks. [W]	16,1/26,8	17,7/29,5
Podstawka	Socket Super 7	

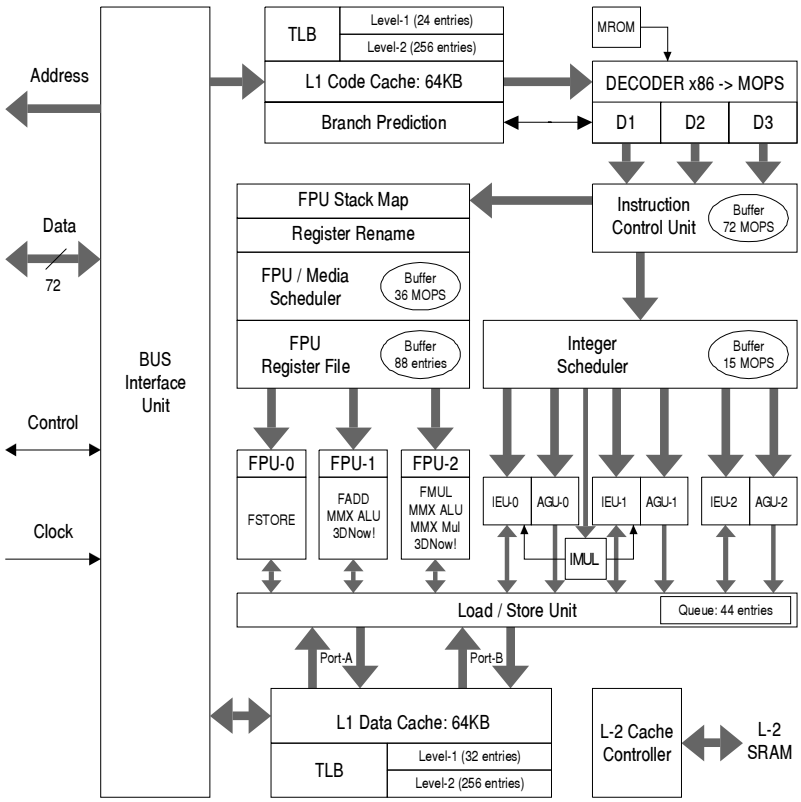
w zakresie aplikacji biurowych i standardowego oprogramowania — mocy obliczeniowej Pentium II 450 MHz. K6 III wsparty sterownikami 3DNow! przewyższał oczywiście możliwości Intela w zakresie aplikacji korzystających z tych rozszerzeń.

Athlon

Athlon[5] definiowany jest przez AMD jako procesor siódmej generacji (rysunek A.3). Prototyp został zaprezentowany pod koniec 1998 roku, ale stosunkowo długo czekał na wprowadzenie do produkcji seryjnej. Pierwsze egzemplarze produkowano w technologii 0,25 µm (w terminologii AMD *Model 1* lub *K7*). Modele należące do tej rodziny wytwarzane były w wersjach 500, 550, 600, 650 i 700 MHz (tabela A.5). Miały dużą obudowę (SECC) mieszczącą moduł ze złączem krawędziowym (typu Slot-A). Płytka modułu była nie tylko nośnikiem struktury półprzewodnikowej samego CPU. Przylutowane do niej były również chipy pamięci podręcznej L2 (512 KB). Pamięć tę taktowano z częstotliwością równą co najwyżej połowie częstotliwości zegara procesora.

Przejście do technologii 0,18 µm pozwoliło na przekroczenie prestiżowej bariery 1 GHz. W technologii tej wytwarzana była między innymi rodzina procesorów *Athlon*, określana wspólną nazwą *Model 2* lub *K75* (tabela A.6). Należały do niej następujące wersje

[5] Pod nazwą *Athlon* ukrywa się w gruncie rzeczy kilka różnych procesorów; szczegóły w dalszej części tekstu.



Rysunek A.3. *Schemat blokowy procesorów AMD Athlon (K7)*

procesorów: 550, 600, 650, 700, 750, 800, 850, 900, 950, 1000 i 1100 MHz. Wszystkie miały ten sam typ obudowy, tzn. moduł ze złączem Slot-A. Rozmiar i szybkość taktowania pamięci podręcznej L2 są takie same jak w przypadku procesorów w wersji *Model 1*.

Kolejnym krokiem wynikającym z postępu w rozwoju technologii półprzewodnikowej była integracja pamięci podręcznej L2 w obrębie struktury półprzewodnikowej samego procesora. Rozmiar L2 został zredukowany o połowę, ale w zamian za to była ona taktowana z pełną częstotliwością zegarową CPU. Procesory takie znane były pod nazwą *Athlon/Thunderbird* i mogły występować w wersjach 650, 700, 750, 800, 850, 900, 950 i 1000 MHz. *Thunderbird* wytwarzany był prawie wyłącznie w nowej (i taniej) obudowie ceramicznej (PGA), podobnej do tej, którą zaczął stosować Intel po rezygnacji z obudowy Slot-1. Podstawka AMD nazwana została *Socket-A*.

Trochę zamieszania powodowała jednoczesna obecność na rynku dwóch typów *Thunderbird*. Pewna niewielka liczba procesorów opakowana została mianowicie we wcześniej stosowaną obudowę Slot-A. Ten rodzaj CPU (występujący pod nazwą *Model 4*) przeznaczony był w zasadzie dla ściśle określonej grupy odbiorców OEM, ale jak to zwykle bywa, pojawił się też na wolnym rynku. To, iż posiadał on złącze krawędziowe i pasował (mechanicznie) do płyt dla procesorów *Athlon*, nie oznaczało bynajmniej, że w nich funkcjonował, a jeśli nawet, to tylko w niektórych. Różnice sięgały głębiej i dotyczyły strony elektrycznej. Rynek nigdy nie doczekał się jasno sprecyzowanych reguł, która z płyt głównych (i w jakich warunkach) mogła się do tego nadawać. Taki stan rzeczy był wynikiem niedopasowania parametrów interfejsu CPU i chipsetu.

Tabela A.5. *Podstawowe dane procesorów AMD K7 (Athlon) Model 1*

	K7-500	K7-550	K7-600	K7-650	K7-700
Architektura	RISC				
Technologia	0,25 μm				
Zegar CPU [MHz]	500	550	600	650	700
FSB (DDR) [MHz]	100				
L1 Cache (dane/kod)	64 KB, 2×Associative/64 KB, 2×Associative				
L2 Cache	512 KB (CPU_{CLOCK} = 1:2), Lines = 64B				
TLB	24/256 (kod), 32/256 (dane)				
Superscalar	✓				
Pipe-Line Stages	10 (INT), 15 (FP)				
Out of Order Execution	✓				
Branch Prediction Table	2048				
Return Stack	12				
SMP (Multi CPU)	4(A)				
V_{L2} [V]	2,475 – 2,625 lub 3,15 – 3,45(B)				
V_{CORE} [V]	1,6				
Pobór prądu, maks. [A]	25	30	33	36	33
Podstawka	Slot A				

(A) System niezgodny ze specyfikacją MP (Intel).
(B) Wartość napięcia zasilającego pamięć podręczną L2 zależy od zastosowanych układów SRAM.

Rodzina procesorów *Athlon* jest dosyć liczna i należy do niej również *Duron* (wcześniejsza nazwa: *Spitfire*), będący oszczędnościową wersją jądra *Thunderbird*. Pamięć L2 zredukowano do rozmiarów 64 KB, ale reszta architektury K7 pozostała nienaruszona. Mimo ostrych cięć w obszarze L2 *Duron* nie jest wcale taki zły, a jego moc obliczeniowa wydaje się być wystarczająca dla większości popularnych zastosowań. Był w każdym razie szybszy od porównywalnego produktu Intela (Celeron 600) przy niższej cenie. Procesory *Duron* produkowano wyłącznie w obudowie Socket-A w odmianach 550, 600, 650 i 700 MHz. Wszystkie modele rodziny *Athlon/Duron* bazują na jądrach wyposażonych w tej samej wielkości pamięć podręczną L1 równą 128 KB (po 64 KB dla danych i kodu).

W dalszej części rozdziału omówione zostaną główne cechy charakterystyczne architektury *Athlon*. Czytelnikom zainteresowanym pogłębieniem wiedzy na ten temat można polecić zbiór bogatej literatury publikowanej przez samą firmę AMD[6].

Mikroarchitektura

Athlon zawiera 9 jednostek wykonawczych, które mogą pracować równolegle:

- 3 jednostki dla danych całkowitych (*Integer*),
- 3 jednostki adresowe,

[6] *http://www.amd.com/products/cpg/athlon/techdocs*.

Tabela A.6. *Podstawowe dane procesorów AMD K7 Athlon Model 2*

	550	600	650	700	750	800	850	900	950	1000
Architektura	RISC									
Technologia	0,18 µm									
Zegar CPU [MHz]	550	600	650	700	750	800	850	900	950	1000
FSB (DDR) [MHz]	100									
L1 Cache (dane/kod)	64 KB, 2×Associative/64 KB, 2×Associative									
L2 Cache	512 KB (CPU_{CLOCK} = 1:2), Lines = 64B									
TLB (kod/dane)	24:256/32:256									
Superscalar	✓									
Pipeline (Stages)	10 (INT), 15 (FP)									
Out of Ord./Branch Pred.	✓/✓									
Branch Prediction Table	2048									
Return Stack	12									
SMP (Multi CPU)	4(A)									
V_{L2} [V]	2,475 – 2,625 lub 3,15 – 3,45(B)									
V_{CORE} [V]	1,6					1,7		1,8		
Pobór prądu, maks. [A]	20	21	22	24	25	29	30	34	35	37
Podstawka	Slot-A									

(A) System niezgodny ze specyfikacją MP (Intel).
(B) Wartość napięcia zasilającego pamięć podręczną L2 zależy od zastosowanych układów SRAM.

- 3 jednostki dla danych zmiennoprzecinkowych (FPU/Media). Jednostki te mogą wykonywać instrukcje poza kolejnością (*Out-of-order*). Dwie z nich są ponadto zdolne do naprzemiennego wykonywania instrukcji 3DNow! oraz MMX-FPU.

Blok jednostek wykonawczych zasilany jest przez trzy uniwersalne dekodery, które w myśl architektury RISC przetwarzają kod x86 na wewnętrzne rozkazy MOPS (*Macro-OPs*) o stałej długości. Makrorozkazy te zawierają z kolei od 1 do 2 operacji elementarnych (OPs). Proces dekodowania może przebiegać ścieżką bezpośrednią (*Direct Path*), co ma miejsce w przypadku typowych i prostych instrukcji x86 o długości do 15 bajtów. Ścieżka dodatkowa (*Vector Path*) dekoduje rozbudowane polecenia kompleksowe. Jej praca polega na rozwijaniu zdekodowanych sekwencji z pamięci stałej MROM (*Macro Code ROM*).

Oto kilka przykładów pracy dekodera K7:

Assembler	Ścieżka	Rozkład
`add eax, ebx`	Direct Path	1 OP (`add`)
`xor eax, [ebx+8]`	Direct Path	**2 OPs:** 1 OP (`load`) 1 OP (`xor`)

Assembler	Ścieżka	Rozkład
`and [ebx], eax`	Direct Path	**2 OPs:** 1 OP (`load/store`) 1 OP (`and`)

Makrorozkazy wpływają do bufora pośredniego ICU (*Instruction Control Unit*), który może przechowywać do 72 MOPS-ów. Bufor przekazuje MOPS-y do odpowiednich rozdzielaczy. Rozkazy przetwarzające dane całkowite kierowane są do innego rozdzielacza niż te pracujące na liczbach zmiennoprzecinkowych (IS — *Integer Scheduler*, względnie FMS — *FPU/Media Scheduler*). Stąd pojedyncze rozkazy OPs wydawane są do odpowiednich jednostek wykonawczych.

Rozdzielacz IS może przechować do 15 MOPS-ów (do 30 prostych operacji), zanim nie rozdysponuje ich pomiędzy jeden z trzech równolegle pracujących bloków wykonawczych IEU0 — IEU2 (*Integer Execution Unit*), z których każdy dysponuje niezależną jednostką adresową AGU0 – AGU2 (*Address Generation Unit*). Jednostki te mają za zadanie optymalizację operacji zapisu i odczytu (*Load/Store*) z uwzględnieniem jak najlepszego wykorzystania pamięci podręcznych L1 i L2. Przetwarzanie odbywa się również poza kolejnością (*Out-of-Order*). Superskalarny potrójny potok dla liczb całkowitych wyposażony jest ponadto w sprzętowy układ mnożenia IMUL (*Integer Multiplication*).

Podobnie potrójny i superskalarny jest potok przetwarzający dane zmiennoprzecinkowe. Również i w tym przypadku rozkazy wykonywane są poza kolejnością. Blok ten wyposażony jest w zestaw własnych rejestrów. Jednostka zasilająca FMS dysponuje pamięcią pośrednią zdolną do czasowego przechowania do 36 MOPS-ów. Instrukcje rozdzielane są pomiędzy jedną z trzech jednostek wykonawczych. Pierwsza z nich (FPU-0) odpowiedzialna jest za komunikację z pamięcią i rozlokowywanie argumentów. Jednostka druga (FPU-1) realizuje operacje dodawania, a jednostka trzecia (FPU-2) — instrukcje mnożenia liczb zmiennoprzecinkowych. Jednostki FPU-1 i FPU-2 implementują ponadto instrukcje 3DNow! i MMX.

Potoki przetwarzające procesora K7 (*Pipe-Lines*) są stosunkowo długie — 10 etapów dla *Integer* i 15 etapów dla FPU (pierwszych 6 etapów jest wspólnych dla INT oraz FPU). Jak wiadomo z teorii ogólnej architektury procesorów, długi potok jest bardzo korzystny przy dużych częstotliwościach taktujących, ale za to źle znosi błędy przepowiadania rozgałęzień. Im dłuższy jest potok, tym więcej potrzeba czasu na oczyszczenie go z instrukcji, które znalazły się w nim niepotrzebnie. Z tego właśnie względu jednostka przepowiadania w K7 jest bardzo rozbudowana. Sama tabela BTB (*Branch Prediction Table*) obejmuje 2048 rekordów.

Pamięć podręczna L1

Rozmiar pamięci podręcznej L1 procesora K7 (128 KB — po 64 KB na dane i instrukcje) stanowi jak na razie swoisty rekord w tej dziedzinie. Dla porównania można podać, iż Pentium II dysponował jedynie jedną czwartą tej wartości. W procesorach z małą pamięcią podręczną obserwuje się stosunkowo niekorzystne zjawisko nazywane złym skalowaniem. Oznacza to, iż podnoszenie częstotliwości taktowania takiego procesora nie przynosi od pewnego momentu prawie żadnego (współmiernego w skali procentowej) wzrostu wydajności. Duża pamięć podręczna L1 jest natomiast gwarancją dobrego

skalowania, to jest w miarę liniowego przyrostu mocy obliczeniowej wraz ze zwiększaniem częstotliwości taktowania. Aby podnieść tę częstotliwość, wystarczy poprawić parametry technologiczne (przejście z procesu 0,25 µm na 0,18 µm). Nie trzeba już jednak wprowadzać żadnych zmian w architekturze.

Wewnętrzny system sterowania procesora gwarantuje jednoczesny dostęp do pamięci podręcznej (*L1 Data Cache*) dwóm instrukcjom (*Multi-Banking Access*). Jednostka administrująca cyklami dostępu do pamięci LSU (*Load/Store Unit*) dysponuje buforem magazynującym do 44 odwołań. LSU przegląda zawartość kolejki i próbuje tak grupować odwołania, by maksymalnie wykorzystać magistralę pamięciową (cykle *Burst*).

Pamięć podręczna L2

K7, podobnie jak Pentium II, oddawał do dyspozycji pamięci podręcznej L2 specjalną magistralę BSB (*Back Side Bus*). Nowością w architekturze K7 była możliwość programowania częstotliwości zegara BSB w zależności od jakości zastosowanych kostek *Cache-RAM*, które (tak jak w Pentium II), osadzane były na module procesora w sąsiedztwie jego struktury półprzewodnikowej. Zakres regulacji obejmował stopnie od pełnej prędkości (zegar 1:1) poprzez 1:2 do 1:3. Dla pierwszego z nich trzeba byłoby stosować specjalne układy DDR-SRAM (*Double Data Rate SRAM*). Wprowadzenie możliwości regulacji zegara BSB miało wyłącznie podłoże ekonomiczne i nie stanowiło żadnego ulepszenia. Łatwiej jest produkować w ramach jednej rodziny procesorów odmiany przeznaczone dla zwykłego użytkownika, dla stacji roboczych lub wreszcie do serwerów. Procesory K7 z pamięcią L2 taktowaną 1:1 nigdy nie ujrzały światła dziennego. Dopiero przejście na technologię 0,18 µm pozwoliło na integrację L2 na strukturze CPU i taktowanie w trybie 1:1 (*Model 2*).

K7 dysponował wewnętrznym rejestrem TAGRAM, zdolnym do zarządzania pamięcią podręczną L2 o rozmiarze nieprzekraczającym 512 KB. W fazie promocji mówiło się o modelach procesora z pamięcią 2, a nawet 8 MB (z zastosowaniem zewnętrznego rejestru TAGRAM, tak jak w przypadku Pentium II), ale ostatecznie zatrzymano się na rozmiarze 512 KB. Zakres przestrzeni adresowej samego procesora wynosił 4 TB, ale specyfikacja złącza Slot-A ograniczała go do 4 GB.

Magistrala

Zdecydowaną nowość stanowi magistrala EV-6, która może być taktowana nawet do 200 MHz. Jej konstrukcja zapożyczona została z procesora Alpha 21624 firmy Digital. Nie ma w tym nic dziwnego, jeśli uwzględnić fakt, iż jeden z głównych projektantów procesora K7, Dirk Meyer, przeszedł do AMD z firmy Digital. Złącze krawędziowe modułu procesora (nazywane przez AMD Slot-A) odpowiada w swej konstrukcji mechanicznej (raster i rozmiary kontaktów) podstawce Slot-1 Intela, ale na tym kończy się podobieństwo. Sygnały magistrali i protokół odpowiadają zupełnie innej specyfikacji. EV-6 jest szyną 72-bitową, przy czym na każdy bajt danych przypada 1 dodatkowy bit ECC (64+8ECC).

Magistrala EV-6 ma cenną właściwość, istotną w systemach wieloprocesorowych. Każdy z procesorów dysponuje logicznie niezależną, bezpośrednią magistralą realizującą wirtualne połączenia wzajemne (*Point to Point*). EV-6, kluczowana zegarem 100 MHz,

zapewnia w trybie DDR (dwa transfery w jednym cyklu zegara) przepustowość 1,6 GB/s, czyli znacznie więcej niż magistrala GTL+ rodziny P6 (Pentium II, III itd.), nawet jeśli podniesie się jej częstotliwość do 133 MHz. Szyna GTL+, taktowana zegarem 100 MHz, osiąga w szczycie transfer 800 MB/s, a 1066 MB/s przy podkręceniu zegara do 133 MHz. Takie samo pasmo mogą zaoferować pamięci SDRAM PC-133. Dla potrzeb nowej techniki opracowane zostały specjalne typy pamięci: RDRAM (*Rambus Direct RAM*) oraz DDR-SDRAM. Układy tego rodzaju oferują strumień szerokości 1,6 GB/s już przy częstotliwości 100 MHz.

Dalsze modele procesorów Athlon

W połowie roku 2000 na rynku pojawiły się procesory *Athlon* w nowej wersji o oficjalnej nazwie *Model 4*. Listę wprowadzonych zmian można ująć w trzech punktach:

- Kompletna integracja L2-Cache w obrębie struktury półprzewodnikowej. Rozmiar pamięci ograniczony jest do 256 KB (*Thunderbird*) lub 64 KB (*Duron*). Pamięć ta taktowana jest z pełną częstotliwością zegara CPU.
- Integracja pamięci podręcznej pozwoliła na rezygnację z konstrukcji modułowej ze złączem krawędziowym (Slot-A) na korzyść płaskiej obudowy ceramicznej (462 końcówki, Socket-A).
- Zmiany stopni wyjściowych. W procesorach *Athlon* starego typu implementowane były wyjścia z otwartym drenem (*Open Drain*). W nowych procesorach dreny tranzystorów CMOS połączone zostały poprzez wewnętrzne rezystancje z liniami zasilania.

Na skutek zmian trybu sterowania linii konieczne stało się wprowadzenie nowych chipsetów. Pierwsze opracowanie pochodziło z firmy VIA (KT-133). *Thunderbird* spotkać można było początkowo w dwóch wersjach, bowiem na rynek wypuszczona została również seria w obudowie Slot-A, ale jak już wspomniano wcześniej w tym rozdziale, funkcjonowały one jedynie z niektórymi płytami przeznaczonymi dla starych procesorów *Athlon*.

Thunderbird z ograniczoną pamięcią L2 (*Duron-Spitfire*) nosił oficjalną nazwę *Model 3*. Procesory te produkowane były już wyłącznie w obudowie Socket A. Łatwo zauważyć, iż nazwy procesorów AMD łączone są często z kryptonimami (np. *Spitfire*), które zostały przyjęte we wczesnych fazach projektowych nad strukturami półprzewodnikowymi jądra procesora i w założeniach do strategii marketingowych (*Road Map*). Oprócz tego AMD posługuje się numerami modeli. Aby się nie pogubić w tych zawiłościach, niezbędne jest krótkie zestawienie (tabele A.7 oraz A.8).

Procesory z jądrem *Palomino* wprowadzane były na rynek początkowo jako *Athlon-4* (czwórka w oznaczeniu miała nawiązywać do numeracji konkurencji — Intel Pentium 4), ostatecznie przyjęto jednak nazwę *Athlon XP* (tabela A.9). Ich struktura półprzewodnikowa wykonywana była w technologii 0,18 μm, a liczne zmiany i poprawki spowodowały zmniejszenie poboru mocy o około 20% przy jednoczesnym zwiększeniu wydajności (15% według AMD i 5 – 10% według ogólnie stosowanych programów testowych).

Następny w kolejności numerów *Model 5* o kryptonimie *Mustang* nigdy się na rynku nie pojawił. Firma AMD rozpoczęła produkcję procesora *Athlon XP* z jądrem *Palomino*

Tabela A.7a. *Odmiany procesorów AMD: Mod.1 – Mod.5*

	Mod. 1	Mod. 2	Mod. 3	Mod. 4	Mod. 5
Nazwa	*Athlon*	*Athlon*	*Duron*	*Athlon*	
Kryptonim	K7	K75	*Spitfire*	*Thunderbird*	*Mustang*
Technologia [µm]	0,25	0,18	0,18	0,18	
FSB (DDR) [MHz]	100	100	100	100 i 133	
Zegar [MHz]	500 – 700	550 – 1100	600 – 950	650 – 1400	
L1[(A)][KB]	64+64	64+64	64+64	64+64	
L2[(B)] [KB]	512 (2:1)	512 (2:1)	64 (1:1)	256 (1:1)	
Napięcie zasilania [V]	1,6	1,6 – 1,8	1,6	1,75	
Podstawka	Slot A	Slot A	Socket A	Socket A	

Tabela A.7b. *Odmiany procesorów AMD: Mod.6 – Mod.10*

	Mod. 6	Mod. 7	Mod. 8[(C)]	Mod. 8[(D)]	Mod. 10
Nazwa	*Athlon MP/XP*	*Duron*	*Athlon XP*	*Athlon XP*	*Athlon XP*
Kryptonim	*Palomino*	*Morgan*	*Thoroughbred*	*Thoroughbred-B*	*Barton*
Technologia [µm]	0,18	0,18	0,13	0,13	0,13
FSB (DDR) [MHz]	133	100	133	133 – 166	166
Zegar [MHz]	1333 – 1667	900 – 1300	1467 – 2200	1467 – 2167	1833 – 2167
L1[(A)][KB]	64+64	64+64	64+64	64+64	64+64
L2[(B)] [KB]	256 (1:1)	128 (1:1)	256 (1:1)	256 (1:1)	512 (1:1)
Napięcie zasilania [V]	1,75	1,75	1,5 – 1,65	1,6 – 1,65	1,65
Podstawka	Socket A	Socket A	Socket A	Socket A	Socket A

[(A)] Code+Data.
[(B)] (1:1) – L2 taktowane zegarem CPU, (2:1) – L2 taktowane połową zegara CPU.
[(C)] Do grupy Mod. 8 zaliczany jest również procesor Athlon XP/MP 2100 (1733 MHz) z jądrem *Thoroughbred*.
[(D)] Z FSB 166 MHz zaliczane przez AMD do grupy Mod.8

oznaczanego symbolem *Model 6* (tabela A.10). Wytwarzano ponadto procesory *Duron*, których struktura półprzewodnikowa określana była mianem *Morgan*. Układy te noszą kolejny numer *Model 7* (FSB 100 MHz i 64 KB L2).

AMD określa architekturę *Palomino* mianem *Quanti-Speed*, a jej główne cechy przedstawia poniższe wyliczenie:

- dziewięciostopniowa superskalarna,
- 3 potoki przetwarzania instrukcji stałoprzecinkowych (*Integer Pipelines*),
- 3 jednostki adresowe,
- 3 potoki dla instrukcji zmiennoprzecinkowych przetwarzające poza kolejnością (*Out-of-Order*),
- pamięć podręczna L1 o rozmiarze 128 KB i L2 o rozmiarze 256 KB,
- magistrala FSB pracuje w trybie DDR i taktowana jest zegarem 133 MHz (co odpowiada maksymalnemu pasmu przepustowemu 2,1 GB/s),

Tabela A.8. *Podstawowe dane procesorów AMD Duron Model 3*

	600	650	700	750	800	850	900	950
Architektura	RISC							
Technologia	0,18 µm (*Spitfire*)							
Zegar CPU [MHz]	600	650	700	750	800	850	900	950
FSB (DDR) [MHz]	100							
L1 Cache (kod)	64 KB							
L1 Cache (dane)	64 KB							
L2 Cache	64 KB (CPU_{CLOCK}=1:1), 16×Associative, Lines = 64B							
Superscalar/Out of Order	✓/✓							
Pipeline (Stages)	10 (INT), 15 (FP)							
Thermal Diode	×							
V_{CORE} [V]	1,6							
Pobór prądu, maks. [A]	17,1	18,4	19,6	20,9	22,1	23,4	24,7	25,9
Obudowa/Podstawka	PGA/Socket-A (462 pin)							

- rozbudowana tablica TLB, która obsługuje nie tylko odwołania do kodu, ale i do danych,
- nowością jest dioda wkomponowana w strukturę półprzewodnikową; element ten służy do precyzyjnego pomiaru temperatury CPU.

Jądro Palomino tkwi we wnętrzu procesorów potocznie określanych jako Athlon-XP i Athlon-MP[7] oraz (ze zmniejszoną pamięcią L2) w Duronach *Model 7*, gdzie nosi nazwę Morgan (tabela A.11).

W połowie roku 2002 na rynku pojawiły się pierwsze egzemplarze procesorów *Athlon* wykonywanych w technologii 0,13 µm (jądro *Thoroughbred*) z pamięcią L2 o rozmiarze 256 KB. Struktura obejmowała około 38 milionów tranzystorów. Przy okazji poprawione zostały niektóre elementy mikroarchitektury, m.in. organizacja TLB. Cała seria określana oficjalnie jako *Model 8* zawiera jednostki XP1700 – XP2700, co odpowiada zakresowi zegara taktującego 1467 – 2167 MHz. Częstotliwość FSB pozostawała początkowo na poziomie 133 MHz, ale w arkuszach danych pojawiły się również procesory 2600+ i 2700+ (odpowiada 2083 MHz i 2167 MHz) specyfikowane na FSB 166 MHz. Struktury *Thoroughbred* zasilane były napięciem 1,5 – 1,6 V, a powyżej 1800 MHz napięciem 1,65 V (tabela A.12a). Kolejne procesory tej serii zawierały nieco zmodyfikowane jądro (*Thoroughbred-B*), w którym zmieniono nieco układ bloków funkcjonalnych na płaszczyźnie płytki krzemowej i zoptymalizowano sieć połączeń wewnętrznych (tabela A.12.b). Nowe struktury miały niewiele więcej tranzystorów (37,6 zamiast 37,2 milionów) i zajmowały trochę więcej miejsca (84 zamiast 80 mm^2).

Kolejna generacja procesorów *Athlon* wprowadzona została wraz z przejściem na FSB 166 MHz. Jądro takie nosi nazwę *Barton* (Model.10), składa się z ponad 54 milionów tranzystorów, wytwarzane jest w technologii 0,13 µm i pracuje z FSB o częstotliwości

[7] MP dla systemów multiprocesorowych.

Tabela A.9. *Podstawowe dane procesorów AMD Athlon Model 4*

	650	700	750	800	850	900	950	1000
Architektura	RISC							
Technologia	0,18 µm (*Thunderbird*)							
Zegar CPU [MHz]	650	700	750	800	850	900	950	1000
FSB (DDR) [MHz]	100							100/133
L1 Cache (dane/kod)	64 KB, 2× Associative/64 KB, 2×Associative							
L2 Cache	256 KB (CPU_{CLOCK} = 1:1), 16×Associative, Lines = 64B							
Superscalar/Out of Order	✓/✓							
Pipelines (Stages)	10 (INT), 15 (FP)							
Thermal Diode	×							
V_{CORE} [V]	1,75							
Pobór prądu, maks. [A]	23,8	25,2	26,6	28,0	29,4	29,2	30,3	31,5
Obudowa/Podstawka	CPGA/Socket-A (Socket 462)							

	1100	1133	1200	1266	1300	1333	1400
Architektura	RISC						
Technologia	0,18 µm (*Thunderbird*)						
Zegar CPU [MHz]	1100	1133	1200	1266	1300	1333	1400
FSB (DDR) [MHz]	100	133	100/133	133	100	133	100/133
L1 Cache (dane/kod)	64 KB, 2×Associative/64 KB, 2×Associative						
L2 Cache	256 KB (CPU_{CLOCK} = 1:1), 16×Associative, Lines = 64B						
Superscalar/Out of Order	✓/✓						
Pipelines (Stages)	10 (INT), 15 (FP)						
Thermal Diode	×						
V_{CORE} [V]	1,75						
Pobór prądu, maks. [A]	34,5	35,5	37,5	38,3	39,0	39,9	41,2
Obudowa/Podstawka	CPGA/Socket-A (Socket 462)						

166 MHz lub 200 MHz (tabela A.13.). Pamięć podręczna L2 (*On Die*) ma rozmiar 512 KB i taktowana jest pełnym zegarem CPU. Zwiększenie pamięci spowodowało przyrost powierzchni struktury półprzewodnikowej z 84 mm^2 (*Thoroughbred-B*) do 101 mm^2 (*Barton*).

Algorytm pracy L2 w procesorach Athlon XP odbiega od ogólnie przyjętych rozwiązań. Jeżeli procesor żąda dostępu do danych, których nie może mu udostępnić L1, system sięga do pamięci operacyjnej (*Cache Miss*). Dane takie nie trafiają jednak najpierw do L2, lecz transferowane są bezpośrednio do L1. Rola pamięci L2 ogranicza się do przyjmowania danych wyrzuconych z L1 (*Victims*) z powodu braku miejsca. Widać wyraźnie, że pamięci podręczne przechowują stale różne dane — w klasycznej architekturze zawartość L1 ma swe odbicie w części L2. Jest więc może w gruncie rzeczy nawet uzasadnione (chętnie używane przez AMD) wyrażanie rozmiaru pamięci podręcznej przez liczbę 640 KB widzianą jako sumę L1 i L2.

Tabela A.10. *Podstawowe dane procesorów Athlon XP Model 6*

	1500+	1600+	1700+	1800+	1900+	2000+
Architektura	RISC					
Technologia	0,18 µm (*Palomino*)					
Zegar CPU [MHz]	1333	1400	1467	1533	1600	1667
FSB (DDR) [MHz]	133					
L1 Data/L1 Code [KB]	64/64					
L2 Cache	256 KB (CPU_{CLOCK} = 1:1), Lines = 64B					
Superscalar/Out of order	✓/✓					
Pipelines (Stages)	10 (INT), 15 (FP)					
Thermal Diode	✓					
V_{CORE} [V]	1,75					
Pobór prądu, maks. [A]	34,3	35,9	36,6	37,7	38,9	40,0
Obudowa/Podstawka	OPGA/Socket-A					

Tabela A.11. *Podstawowe dane procesorów AMD Duron Model 7*

	900	950	1000	1100	1200	1300
Architektura	RISC					
Technologia	0,18 µm (Morgan)					
Zegar CPU [MHz]	900	950	1000	1100	1200	1300
FSB (DDR) [MHz]	100					
L1 Data/L1 Code [KB]	64/64					
L2 Cache	128 KB (CPU_{CLOCK} = 1:1), Lines = 64B					
Superscalar/Out of order	✓/✓					
Pipelines (Stages)	10 (INT), 15 (FP)					
Thermal Diode	✓					
V_{CORE} [V]	1,75					
Pobór prądu, maks. [A]	24,4	25,4	26,3	28,7	31,3	34,3
Obudowa/Podstawka	CPGA/Socket-A (Socket 462)					

Barton wymaga naturalnie nowych chipsetów tzn. nForce2, KT400 i SiS746FX lub nowszych. Niektóre płyty wyposażone już w te chipsety wymagają aktualizacji BIOS-u.