helion.pl
KSIĘGARNIA INTERNETOWA · WYDAWNICTWO

IDŹ DO
PRZYKŁADOWY ROZDZIAŁ
SPIS TREŚCI

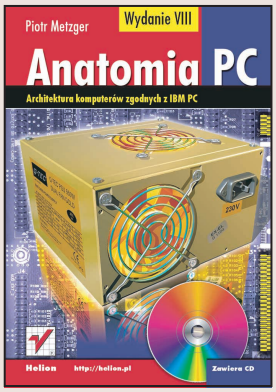
KATALOG KSIĄŻEK
KATALOG ONLINE
ZAMÓW DRUKOWANY KATALOG

TWÓJ KOSZYK
DODAJ DO KOSZYKA

CENNIK I INFORMACJE
ZAMÓW INFORMACJE O NOWOŚCIACH
ZAMÓW CENNIK

CZYTELNIA
FRAGMENTY KSIĄŻEK ONLINE

Anatomia PC. Wydanie VIII



Autor: Piotr Metzger
ISBN: 83-7361-244-0
Format: B5, stron: 1264
oprawa twarda
Zawiera CD-ROM

Książka „Anatomia PC" to klasyczna pozycja, która doczekała się aż ośmiu wydań. Rozproszoną i trudno dostępną wiedzę na temat sprzętu komputerowego masz teraz w zasięgu ręki, w jednym, kompletnym opracowaniu, którego kolejne, aktualizowane edycje cieszą się niesłabnącym powodzeniem wśród czytelników. Także w tym wydaniu uwzględniono najnowsze rozwiązania technologiczne stosowane w komputerach PC.

„Anatomia PC" to nieoceniona pomocą w sytuacjach, gdy komputer nie działa, jak powinien. Dzięki niej poradzisz sobie nawet z najbardziej złożonymi problemami ze sprzętem. Jest to pozycja nie tylko dla profesjonalistów: serwisantów, projektantów urządzeń współpracujących z komputerami PC i programistów. Każdy, kto chce dowiedzieć się, jak działa jego pecet, znajdzie w „Anatomii PC" odpowiedź na wszystkie swoje pytania.

Omówione zostały:

- procesory i koprocesory,
- architektura komputerów PC (od XT do architektur wieloprocesorowych),
- obsługa pamięci i typy układów pamięci,
- chipsety, magistrala PCI, DMA, przerwania sprzętowe, zegar systemowy,
- obsługa stacji dyskietek, dysków twardych, magistrale ATA, SCSI i złącze FireWire,
- karty graficzne, magistrala AGP, przetwarzanie wideo i grafiki 3D,
- standardy obsługi klawiatury, myszki i innych urządzeń wejściowych,
- łącza: szeregowe, równoległe, USB, IrDA,
- złącze FireWire (NOWOŚĆ!),
- system oszczędzania energii (ACPI),
- karty dźwiękowe, synteza FM, WaveTable i standard MIDI,
- przetwarzanie cyfrowego wideo,
- modemy i standardy używane w transmisji modemowej,
- sieci i karty sieciowe,
- zasilacze awaryjne (UPS),
- BIOS i metody zabezpieczania peceta przed nieuprawnionym dostępem.

Książkę uzupełniają dodatki poświęcone architekturze procesorów różnych producentów, opis oznaczeń modułów pamięci, bogata baza adresów internetowych poświęconych sprzętowi PC oraz przykład sprzętowej realizacji współpracy z magistralą ISA. Do „Anatomia PC" dołączono CD-ROM zawierający przydatne programy diagnostyczne i narzędziowe.

Wydawnictwo Helion
ul. Chopina 6
44-100 Gliwice
tel. (32)230-98-63
e-mail: helion@helion.pl

Spis treści

Rozdział 1. Mikroprocesor 25
Przetwarzanie rozkazów 27
RISC i CISC 27
Pipeline 28
Faza pierwsza — pobranie (Prefetch, PF) 30
Faza druga — dekodowanie (Decode, DE) 30
Faza trzecia — wykonanie (Execute, EX) 30
Faza czwarta — zakończenie i zapisanie wyników (Write Back, WB) 30
Techniki przyspieszania 30
Techniki superskalarne 31
Przemianowywanie rejestrów 31
Przepowiadanie 34
Optymalizacja kodu 37
Dostęp do pamięci 37
Adresowanie 39
Stronicowanie 40
Caching 42
Topologie 43
Organizacja pamięci podręcznej 45
Mapowanie bezpośrednie (Direct Mapped) 45
Pełna asocjacja (Fully Associative) 45
Asocjacja zespołowa (Set Associative) 46
Strategie 46
Write Through 47
Write Back 47
Victim Cache 47
Pamięć podręczna procesora 80386 47
Określenie trafienia 49
Decyzja o wymianie linijki (LRU) 50
Obsługa przestrzeni adresowej I/O 51
Procesor 8086 52
Procesory 80386 i 80486 52
Pentium 53
Funkcje kontrolne i sterujące 53
BIST 54
Kontrola TLB 54
Kontrola pamięci podręcznej 54
Przejście w stan wysokiej impedancji 54
JTAG 55
Częstotliwość taktowania 56
Zasilanie 58
Jak rozpoznać typ procesora? 60
Czy procesor jest zgodny z układem 80286 lub lepszym? 60
Procesor 8086/88 czy 80186/88? 61

Procesor 80286 62
Procesor 80386 62
Procesor 486 czy Pentium? 62
Koprocesory 63
Koprocesor 8087 65
Koprocesor 80287 66
Koprocesor 80387 66
Koprocesor i487SX 67
Rozszerzenia 67
MMX 68
Zmiany w architekturze 68
Rozpoznanie procesora P55C 70
Nowe rejestry 70
Nowe typy danych 73
Nowe rozkazy 73
Przykłady zastosowań 78
3DNow! 80
SSE 80
SSE2 84
Hyper-Threading (HT) 87
Technologia 88
Architektura 88
Rozpoznanie BIOS 90
Instalacja 90
Efekty 91

Rozdział 2. Architektury komputerów PC 93

Model PC/XT 93
Procesor 8086 93
Procesor 8088 96
Dostęp do pamięci i przestrzeni wejścia-wyjścia 97
Kontroler 8288 98
Pozostałe elementy architektury XT 100
Magistrala ISA 8-bitowa 103
Model AT 105
Procesor 80286 107
Magistrala ISA 16-bitowa 109
Komputery z procesorami 386, 486 i Pentium 111
EISA 112
Wieloprocesorowość 113
Magistrala zewnętrzna 113
Kontroler DMA 113
Kontroler przerwań sprzętowych 114
Kontroler magistral 114
Pamięć konfiguracji 114
MCA 114
VESA 116
PCI 117
Architektury systemów wieloprocesorowych 118
Architektura MPP 119
Architektura UMA 120
Komunikacja z pamięcią 121
Caching w systemach multiprocesorowych 122
Specyfikacja MP (Intel) 123
Obsługa przerwań 125
Rozruch systemu 125

Przejście do pracy symetrycznej 126
System Dual-Pentium z magistralą PCI 127
Tabela konfiguracji MP 129
Zastosowania praktyczne 131
Systemy operacyjne 132
Procesory 132
Chipsety 133
Aplikacje 135
Granice teoretyczne 136
Architektura komputerów przenośnych 137
Złącze PCMCIA 137

Rozdział 3. Układy pamięciowe PC 139

Pamięci dynamiczne 140
Tryb konwencjonalny (Page Mode) 141
Odczyt 141
Zapis 141
FPM (Fast Page Mode) 141
Odczyt 143
Zapis 143
EDO (Extended Data Out) 143
Odczyt 144
Zapis 144
BEDO (Burst EDO) 144
Porównanie 145
SDRAM 146
Linie zewnętrzne 148
Rozkazy SDRAM 150
Organizacje logiczne układów SDRAM 154
Moduły pamięciowe 155
Moduły SIMM-30 (SIP) 156
Moduły SIMM PS/2 157
SIMM PS/2 bez parzystości (FPM i EDO) 157
SIMM PS/2 36-bitowy 161
System rozpoznawania modułów SIMM 162
Moduły DIMM 162
Buforowane DIMM DRAM 163
Niebuforowane DIMM DRAM 166
Niebuforowane DIMM SDRAM 169
Rozpoznawanie modułu DIMM 174
Odświeżanie 176
RAS Only 177
CBR (CAS before RAS) 178
Hidden 179
Wykrywanie błędów i ich korekcja 180
Błędy powtarzalne (HE) 181
Błędy sporadyczne (SE) 181
Kontrola parzystości 182
Kontrola ECC 183
Rozszerzenia standardu magistrali PC-66 184
Parametry modułów 185
Pamięć konfiguracyjna (SPD) 187
Moduły buforowane 190
DDR-SDRAM 192
Systemy dwukanałowe 199
DDR-II i DDR-III 200

RDRAM 200
VC-SDRAM 207
HSDRAM 209
Porównanie parametrów pamięci 210
LVTTL 211
SSTL_2 212
SSTL_18 213
RSL 213
Identyfikacja producentów chipów pamięciowych 213

Rozdział 4. Układy otoczenia procesora (chipset) 215

Zakres funkcji 215
Magistrala FSB 217
Obsługa pamięci operacyjnej i magistrali pamięciowej 219
Obsługa pamięci podręcznej (Cache) 222
Zakres pokrywany przez pamięć podręczną 225
Układy obsługi podstawki typu Socket 7 227
Układy współpracujące z magistralą GTL+ i AGTL+ 229
Układy do obsługi procesorów AMD 238
ALi 238
AMD 238
nVidia 239
SiS 239
ViA 239
Układy ze zintegrowaną kartą graficzną 241
Wewnętrzne magistrale międzyukładowe 244
PCI 247
Hub-Interface, V-Link i MuTIOL 247
RapidIO 248
HyperTransport (LDT) 252

Rozdział 5. Magistrala PCI 255

Gniazda magistrali PCI 265
Obsługa przerwań 267
Pamięć konfiguracyjna urządzeń PCI 269
Identyfikator producenta (Vendor ID) 269
Identyfikator urządzenia (Device ID) 269
Rejestr poleceń (Command) 270
Rejestr stanu (Status) 271
Numer wersji urządzenia (Revision ID) 273
Kod klasy urządzenia (Class Code) 273
Rozmiar linii pamięci podręcznej (Cache Line Size) 273
Minimalny czas transmisji (Latency Timer) 273
Typ nagłówka (Header Type) 276
BIST (Build-in Self-test) 277
Adres bazowy (Base Address Registers) 277
Wskaźnik CardBus CIS (CardBus CIS Pointer) 278
Dodatkowy identyfikator producenta (Subsystem Vendor ID) i dodatkowy identyfikator urządzenia (Subsystem ID) 279
Adres bazowy rozszerzenia ROM (Expansion ROM Base Address) 279
Wskaźnik do listy możliwości (Capabilities Pointer) 280
Linia IRQ (Interrupt Line) 280
Linia INT (Interrupt Pin) 280
Długość transmisji (Min_Gnt) 281
Częstość (Max_Lat) 281

Mechanizmy dostępu do pamięci konfiguracyjnej 281
Pierwszy mechanizm dostępu do pamięci konfiguracyjnej 282
Drugi mechanizm dostępu do pamięci konfiguracyjnej 282
PCI BIOS 283
Autokonfiguracja urządzeń PCI 283
Rozwój PCI i inne magistrale 284
PCI-32/66 MHz i PCI-64 285
PCI-X 285
PCI-Express 289
Model warstwowy 289

Rozdział 6. Kanał DMA 293
Układ scalony 8237A 294
Tryby pracy kontrolera DMA 296
Tryb spoczynkowy „I" (Idle) 296
Tryb „S" (Single) 297
Tryb „B" (Block) 297
Tryb „D" (Demand) 297
Tryb „C" (Cascade) 297
Tryb „V" (Verify) 297
Kaskadowe łączenie układów 8237A 298
Programowanie kontrolerów DMA 298
Adresy portów kontrolerów DMA w komputerze IBM PC/XT 299
„Sztuczne" porty komputera PC/XT 300
Adresy portów kontrolerów DMA w komputerze IBM PC/AT 300
„Sztuczne" porty komputera PC/AT 301
Budowa rejestrów wewnętrznych 302
Rejestr żądań (port 009h w PC/XT, 009h i 0D2h w PC/AT) 302
Rejestr stanu (port 008h w PC/XT, 008h i 0D0h w PC/AT) 302
Rejestr rozkazów (port 008h w PC/XT, 008h i 0D0h w PC/AT) 302
Rejestr maski kanału (port 00Ah w PC/XT, 00Ah i 0D4h w PC/AT) 303
Rejestr maskujący (port 00Fh w PC/XT, 00Fh i 0DEh w PC/AT) 303
Rejestr trybu (00Bh w PC/XT, 00Bh i 0D6h w PC/AT): 304
Przebieg transmisji 305
Komputer IBM PC 305
Komputer IBM PC/XT 306
Komputer IBM PC/AT 307
Kanały 16-bitowe 307
Układ odświeżania pamięci 308

Rozdział 7. System obsługi przerwań sprzętowych 311
Układ scalony 8259A (PIC) 312
Cykl przyjęcia zgłoszenia 314
Kaskadowe łączenie kontrolerów przerwań 315
Fazy obsługi przerwań pochodzących od układu Slave 317
Programowanie kontrolera przerwań 317
Inicjowanie pracy układu 318
Polling 322
Przerwanie niemaskowalne (NMI) 322
Obsługa przerwań z magistral ISA, PCI i AGP 323
Kontroler APIC 326
Strona sprzętowa 328
Obsługa APIC przez OS 330

Rozdział 8. Obsługa stacji dyskietek 335
Fizyczna organizacja danych na dyskietce 337
Programowanie operacji dyskowych 340
Programowanie operacji dyskowych z poziomu systemu MS-DOS 340
Przerwanie 25h 341
Przerwanie 26h 342
Przerwanie 21h 342
Obsługa dysków za pomocą funkcji BIOS-u 343
Funkcja 00h 344
Funkcja 01h 345
Funkcja 02h 345
Funkcja 03h 346
Funkcja 04h 346
Funkcja 05h 347
Funkcja 08h 349
Funkcja 15h 351
Funkcja 16h 352
Bezpośredni dostęp do kontrolera napędu dysków elastycznych 352
Rejestry kontrolera napędu dysków elastycznych 353
Cykl rozkazowy kontrolera 355
Faza przygotowawcza 355
Faza przekazywania rozkazu 355
Budowa przykładowego rozkazu — rozkaz RS (Read Sector) 356
Faza przekazywania rozkazu 356
Faza przekazywania danych 357
Faza końcowa 358
Alternatywne metody transmisji danych 361
Uwzględnianie mechanicznych własności napędu 362
Zabezpieczanie danych — kod CRC 364

Rozdział 9. Obsługa dysku twardego 367
Budowa kontrolera 367
Systemy kodowania MFM i RLL 368
Fizyczna organizacja danych i formatowanie 370
Formatowanie wysokiego poziomu 371
Formatowanie niskiego poziomu 372
Wykrywanie i korekcja błędów 374
Standard AT-BUS 377
Wstęp 378
Złącze fizyczne 380
Dostęp CPU do dysku AT-BUS 382
Rejestr danych (1F0h) 383
Rejestr błędów (1F1h) 383
Rejestr prekompensacji (Features Register: 1F1h) 385
Rejestr numeru sektora (Sector Number Register: 1F3h) 385
Rejestr liczby sektorów (Sector Count Register: 1F2h) 385
Rejestry numeru cylindra (Cylinder Low/High Register: 1F4h, 1F5h) 385
Rejestr napęd/głowica (Device/Head Register: 1F6h) 385
Rejestr stanu (Status Register: 1F7h) 386
Rejestr rozkazów (Command Register: 1F7h) 386
Alternatywny rejestr stanu (3F6h) 387
Rejestr sterujący (3F6h) 388
Rejestr adresu napędu (3F7h) 388

Cykl programowania kontrolera ... 389
Przekazywanie rozkazu ... 389
Przekazywanie danych ... 389
Faza końcowa ... 390
Przykład realizacji rozkazu CZYTAJ SEKTOR ... 391
Rozszerzenia standardu pierwotnego ... 393
Wzrost pojemności dysków ... 396
Ograniczenia wnoszone przez BIOS ... 397
Bariera 504 MB ... 397
Metody omijania bariery 504 MB ... 399
Adresy liniowe (LBA) ... 400
Translacja XCHS (eXtended Cylinder-Head-Sector) ... 401
Straty pojemności ... 402
Bariera 2,1 GB ... 402
Bariera 8 GB ... 403
Przekraczanie bariery 8 GB ... 404
Bariera 32 GB ... 404
Bariera 128 GB ... 405
Ograniczenia wnoszone przez systemy operacyjne ... 406
Limit FAT-16 (bariera 2047 MB) ... 407
Bariera 4 GB ... 408
Windows NT — bariery 4 GB i 8 GB ... 408
Windows 95 — bariera 32 GB ... 409
Windows 98/98SE/ME — ograniczenie 69 GB ... 409
Obsługa dużych dysków ... 409
EZ-Drive (Phoenix) ... 410
Diskmanager (Ontrack) ... 411
Podnoszenie pasma przepustowego magistrali ... 411
Tryby PIO ... 411
Tryby DMA ... 412
Tryb Ultra DMA/33 ... 413
Tryb Ultra DMA/66 ... 418
Tryby Ultra ATA/100 i Ultra ATA/133 ... 420
Blok informacyjny ... 420
Realizacja rozkazu Identify Device ... 421
Faza przekazywania rozkazu ... 421
Faza przekazywania danych ... 421
Faza końcowa ... 421
Lista rozkazów ... 427
Funkcje oszczędnościowe ... 427
System PM ... 428
System APM ... 429
Funkcje akustyczne ... 431
Dostęp do funkcji AAM ... 431
Wykorzystanie powierzchni dyskowej ... 432
Proces ładowania OS-a ... 433
MBR i PT ... 434
System danych i FSBR ... 436
Specyfika wybranych systemów operacyjnych ... 438
Start z dyskietki ... 438
MS-DOS — start z dysku twardego ... 439
MS Windows 95a/95b/98/98SE/ME ... 439
MS Windows NT ... 440
MS Windows 2000 ... 440
MS Windows XP ... 441

Linux 441
OS/2 442
Przypisywanie oznaczeń literowych 442
Programy BM 442
Macierze dyskowe 444
Poziomy RAID 444
RAID-0 444
RAID-1 446
RAID-0/1 (RAID-10) 446
RAID-2 446
RAID-3 447
RAID-4 447
RAID-5 447
RAID-0/5 (RAID-50) 448
Kontrolery RAID 448
Rozwiązania programowe z poziomu OS-a 448
SMART 450
Struktura systemu 450
Aplikacje współpracujące ze SMART 453

Rozdział 10. Magistrala szeregowa ATA 455
Specyfikacja 456
Sterowanie 457
Okablowanie 458
Protokół i transmisja 458

Rozdział 11. Standard SCSI 467
Realizacja magistrali 470
Organizacja protokołu 473
Fazy pracy magistrali 474
Szyna wolna (Bus Free) 475
Faza rozstrzygania (Arbitration Phase) 476
Wybór (Selection Phase) 479
Reselekcja (Reselection) 482
Fazy informacyjne 484
Transfer danych w fazach informacyjnych 487
Tryb asynchroniczny 487
Tryb synchroniczny 489
Tryb synchroniczny „Fast” 491
Zmiana kierunku transmisji 494
Sytuacje wyjątkowe 494
Uwaga (Attention) 494
Zerowanie (Reset) 496
Rozkazy systemowe 498
Informacja statusowa 502
Komunikaty (Messages) 503
00h: COMMAND COMPLETE (zakończono wykonanie rozkazu) 505
02h: SAVE DATA POINTERS (zachowaj zestaw wskaźników)
03h: RESTORE POINTERS (przywróć zestaw wskaźników) 505
04h: DISCONNECT (rozłączenie) 505
05h: INITIATOR DETECTED ERROR
(wykryto nienaturalne zachowanie inicjatora) 505
06h: ABORT (przerwij natychmiast) 505
07h: MESSAGE REJECT (odmowa przyjęcia wiadomości) 505
08h: NO OPERATION (wiadomość pusta) 506
09h: MESSAGE PARITY ERROR (wykryto błąd parzystości) 506

0Ah: LINKED COMMAND COMPLETE (zakończono rozkaz cząstkowy) 506
0Bh: LINKED COMMAND COMPLETE WITH FLAG (zakończono rozkaz cząstkowy plus flaga) 506
0Ch: BUS DEVICE RESET (wyzerowanie) 506
0Dh: ABORT TAG (porzuć wykonanie procesu) 506
0Eh: CLEAR QUEUE (wyczyść kolejkę procesów) 506
20h: SIMPLE QUEUE TAG (umieść w kolejce) 21h: HEAD OF QUEUE TAG (umieść na szczycie) 22h: ORDERED QUEUE TAG (umieść na końcu) 506
12h: CONTINUE I/O PROCESS 13h: TARGET TRANSFER DISABLE.....507
80h – FFh: IDENTIFY (identyfikacja jednostki LUN).....507
01h: SYNCHRONOUS DATA TRANSFER REQUEST (uzgodnienie RAO i TP)....507
Procedura uzgadniania 508
System wskaźników.....508
Przykładowa wymiana danych 510
SCSI w komputerach PC.....514
Host-Adapter.....515
Okablowanie 518
Terminatory 521
Rozszerzenia SCSI.....523
Ultra-2 524
Ultra-3 (Ultra/160) 524
Ultra/320.....526
Kompatybilność.....527

Rozdział 12. Złącze 1394 (Fire Wire).....529

Ogólne założenia standardów 1394-1995 i 1394a-2000.....530
Tryby i prędkość transmisji 530
Topologia.....531
Okablowanie 531
Gwarantowane pasmo transmisyjne 533
Rozszerzenia 1394b 533
Klasy prędkości 534
Okablowanie 534
Protokół.....535

Rozdział 13. Karty graficzne 539

Przegląd kart graficznych.....539
Omówienie kart graficznych EGA, VGA i SVGA 543
Tryby tekstowe 545
Tryby graficzne.....547
Rozdzielczość obrazu 547
Tryby zapisu i odczytu pamięci obrazu 548
Tryb zapisu 0 548
Tryb zapisu 1 549
Tryb zapisu 2 549
Tryb zapisu 3 549
Tryb odczytu 0.....549
Tryb odczytu 1.....549
Standard VESA 550
Rejestry sterowników EGA/VGA.....550
Rejestry zewnętrzne (External/General registers) 552
Pomocniczy rejestr wyjściowy MOR (Miscellaneous Output Register) — adres 3C2h/3CCh 552
Rejestr urządzeń zewnętrznych FCR (Feature Control Register) — adres 3DAh/3CAh.....552

Zerowy rejestr stanu ISRZ (Input Status Register Zero) — adres 3C2h.....553
Pierwszy rejestr stanu ISRO (Input Status register one) — adres 3BAh (3DAh).....553
Rejestr odłączenia sterownika VSER
(Video Subsystem Enable Register) — adres 3C3h.....553
Układ sekwencyjny.....554
Rejestr adresowy układu sekwencyjnego SAR
(Sequencer Address Register) — adres 3C4h.....554
Rejestr informacyjny układu sekwencyjnego — adres 3C5h.....554
Rejestr zerowania RR (Reset Register) — indeks 00h.....554
Rejestr trybu taktowania CMR (Clocking Mode Register) — indeks 01h.....554
Rejestr blokowania pamięci MMR (Map Mask Register) — indeks 02h.....555
Rejestr zbioru znaków CMR (Character Map Register) — indeks 03h.....555
Rejestr trybu dostępu do pamięci MMR (Memory Mode Register) — indeks 04h...556
Układ graficzny.....556
Rejestr adresowy układu graficznego GAR
(Graphics 1 and 2 Address Register) — adres 3CEh.....556
Rejestr informacyjny układu graficznego — adres 3CFh.....556
Rejestr ustawiania-zerowania SRR (Set/Reset Register) — indeks 00h.....556
Rejestr zezwolenia na ustawianie-zerowanie ESRR
(Enable Set/Reset Register) — indeks 01h.....557
Rejestr porównania kolorów CCR (Colour Compare Register) — indeks 02h.....557
Rejestr przesunięcia i wyboru funkcji DRFSR
(Data Rotate-Function Select Register) — indeks 03h.....558
Rejestr wyboru płatu do odczytu RMSR (Read Map Select Register) — indeks 04h.....558
Rejestr trybu dostępu do pamięci MOR (Mode Register) — indeks 05h.....558
Rejestr dodatkowy MIR (Miscellaneous Register) — indeks 06h.....559
Rejestr pominięcia koloru CDCR (Colour don't Care Register) — indeks 07h.....560
Rejestr modyfikacji bitów BMR (Bit Mask Register) — indeks 08h.....560
Układ sterowania atrybutem.....561
Rejestr adresowy układu sterowania atrybutem G1&2AR
(Graphics 1 and 2 Address Register) — adres 3C0h.....561
Rejestr informacyjny układu sterowania atrybutem — adres 3C0h/3C1h.....561
Rejestry palety PR (Palette Registers) — indeksy 00h – 0Fh.....562
Rejestr sterowania trybem pracy MCR (Mode Control Register) — indeks 10h.....562
Rejestr krawędzi ekranu OR (Overscan Register) — indeks 11h.....563
Rejestr uwzględnianych płatów pamięci CPER
(Colour Plane Enable Register) — indeks 12h.....563
Rejestr przesunięcia poziomego HPPR
(Horizontal Pel Panning Register) — indeks 13h.....563
Rejestr wyboru koloru CSR (Colour Select Register) — indeks 14h.....564
Przetwornik cyfrowo-analogowy.....564
Rejestr ograniczenia koloru PELMR (PEL Mask Register) — adres 3C6h.....565
Rejestr stanu przetwornika DACSR (DAC Status Register) — adres 3C7h.....565
Rejestr adresowy odczytu przetwornika PELARMR
(PEL Address Read Mode Register) — adres 3C7h.....566
Rejestr adresowy zapisu przetwornika PELAWMR
(PEL Address Write Mode Register) — adres 3C8h.....566
Rejestr informacyjny przetwornika PELDR (PEL Data Register) — adres 3C9h.....567
Układ sterowania wyświetlaczem (CRT Controller).....567
Rejestr indeksowy układu sterowania wyświetlaczem CRTCAR
(CRTC Address Register) — adres 3B4h (3D4h).....567
Rejestr informacyjny układu sterowania wyświetlaczem — adres 3B5h (3D5h).....567
Rejestr całkowitego czasu wyświetlania linii HTR
(Horizontal Total Register) — indeks 00h.....567

Rejestr końca wyświetlania poziomego HDER (Horizontal Display End Register) — indeks 01h 568
Rejestr początku wygaszania poziomego SHBR (Start Horizontal Blanking Register) — indeks 02h 568
Rejestr końca wygaszania poziomego EHBR (End Horizontal Blanking Register) — indeks 03h 568
Rejestr początku powrotu poziomego SHRR (Start Horizontal Retrace Register) — indeks 04h....569
Rejestr końca powrotu poziomego EHRR (End Horizontal Retrace Register) — indeks 05h....569
Rejestr całkowitego czasu wyświetlania obrazu VTR (Vertical Total Register) — indeks 06h 569
Rejestr przepełnień układu sterowania wyświetlaczem OVRFLR (Overflow Register) — indeks 07h 570
Rejestr położenia pierwszej linii PSLR (Preset Scan Line Register) — indeks 08h 570
Rejestr ostatniej linii znaku MSLR (Max Scan Line Register) — indeks 09h 570
Rejestr pierwszej linii kursora CSR (Cursor Start Register) — indeks 0Ah....571
Rejestr ostatniej linii kursora CER (Cursor End Register) — indeks 0Bh 571
Rejestry adresowe SAHR, SALR (Start Address High Register, Start Address Low Register) — indeksy 0Ch i 0Dh 571
Rejestry pozycji kursora CLHR, CLLR (Cursor Location High Register, Cursor Location Low Register) — indeksy 0Eh i 0Fh....572
Rejestr początku powrotu pionowego VRS (Vertical Retrace Start) — indeks 10h 572
Rejestr końca powrotu pionowego VRE (Vertical Retrace End) — indeks 11h 572
Rejestr końca wyświetlania pionowego VDER (Vertical Display End Register) — indeks 12h....573
Rejestr długości linii OR (Offset Register) — indeks 13h....573
Rejestr pozycji podkreślenia ULR (Underline Location Register) — indeks 14h....573
Rejestr początku wygaszania pionowego SVBR (Start Vertical Blanking Register) — indeks 15h 574
Rejestr końca wygaszania pionowego EVBR (End Vertical Blanking Register) — indeks 16h 574
Rejestr trybu adresowania MCR (Mode Control Register) — indeks 17h 574
Rejestr porównania linii LCR (Line Compare Register) — indeks 18h 575
Funkcje BIOS-u obsługujące karty graficzne 576
Funkcje określające tryb pracy i ogólne parametry sterownika 576
Funkcja 00h — wybór trybu pracy sterownika (EGA/VGA) 576
Funkcja 01h — określenie postaci kursora (EGA/VGA)....577
Funkcja 02h — ustawienie pozycji kursora (EGA/VGA)....577
Funkcja 03h — pobranie pozycji i postaci kursora (EGA/VGA) 578
Funkcja 05h — ustawienie numeru wyświetlanej strony (EGA/VGA)....578
Funkcja 06h — przewinięcie tekstu w górę (EGA/VGA) 579
Funkcja 07h — przewinięcie tekstu w dół (EGA/VGA) 579
Funkcja 0Fh — pobranie numeru trybu pracy sterownika (EGA/VGA) 580
Funkcje dostępu do ekranu 580
Funkcja 08h — pobranie kodu i atrybutu znaku znajdującego się w miejscu wskazywanym przez kursor (EGA/VGA)....580
Funkcja 09h — ustawienie atrybutu i wypisanie znaku w pozycji wskazywanej przez kursor (EGA/VGA) 580
Funkcja 0Ah — wyświetlenie znaku w pozycji wskazywanej przez kursor (EGA/VGA) 581
Funkcja 0Bh — wybranie koloru tła i krawędzi ekranu/ wybranie palety kolorów 581
Funkcja 0Ch — wyświetlenie punktu (piksela) w graficznych trybach pracy (EGA/VGA)....582

Funkcja 0Dh — odczytanie koloru punktu (piksela) w graficznych trybach pracy (EGA/VGA) ... 583
Funkcja 0Eh — wyświetlenie znaku z przemieszczeniem kursora (EGA/VGA) ... 583
Funkcje służące do definiowania kolorów ... 584
Funkcja 10h — operacje na palecie kolorów ... 584
Funkcje generatora znaków ... 591
Funkcja 11h — działania na generatorze znaków ... 591
Funkcje konfigurujące sterownik ... 599
Funkcja 12h — konfiguracja sterownika ... 599
Funkcje uzupełniające ... 603
Funkcja 13h — wypisanie ciągu znaków (EGA/VGA) ... 603
Funkcja 1Ah — pobranie informacji o sterowniku graficznym (VGA) ... 605
Funkcja 1Bh — informacja o stanie i funkcjach aktywnego sterownika (VGA) ... 606
Funkcja 1Ch — zachowanie-odtworzenie stanu sterownika (VGA) ... 609
Dodatkowe funkcje obsługiwane przez VESA-BIOS ... 610
Funkcja 4F00h — informacja o karcie SVGA ... 611
Funkcja 4F01h — informacja o trybach karty SVGA ... 611
Funkcja 4F02h — przełączanie trybów VESA ... 613
Funkcja 4F03h — odczyt bieżącego trybu pracy ... 613
Funkcja 4F04h — zapamiętanie lub odtwarzanie parametrów karty ... 613
Funkcja 4F05h — podłączenie banku pamięci obrazu lub odczyt numeru podłączonego banku ... 614
Funkcja 4F06h — ustawienie lub odczyt szerokości ekranu wirtualnego ... 615
Funkcja 4F07h — ustawienie (odczyt) lewego górnego rogu ekranu rzeczywistego względem ekranu wirtualnego ... 615
Funkcja 4F08h — ustawienie (odczyt) liczby bitów odpowiadających barwom podstawowym (w układzie RGB) w tablicy LUT ... 616
Przykłady zastosowania funkcji BIOS-u kart graficznych ... 616
Rozpoznanie typu karty graficznej ... 616
Sprawdzenie ilości pamięci zainstalowanej na karcie graficznej ... 617
Zmiana wyglądu znaku ... 617
Pamięć lokalna akceleratora ... 618
Frame Buffer ... 619
Bufor Z/W ... 620
Pamięć tekstur ... 622
Rozmiar pamięci i organizacja ... 623
Rodzaje pamięci kart graficznych ... 626
DRAM ... 627
EDO i BEDO DRAM ... 627
SDRAM ... 628
SGRAM ... 628
MDRAM ... 628
V-RAM ... 628
WRAM ... 629
DDR-SDRAM ... 629
RAM-DAC ... 630
Dopasowanie monitora do karty ... 632
Parametry karty ... 632
Jakość monitora ... 634
Kanał informacyjny VESA DDC ... 636
DDC1 ... 636
DDC2B ... 637
DDC2AB ... 637

Złącza cyfrowe 637
TMDS 638
P&D (EVC) 638
DFP 640
DVI 640

Rozdział 14. Przetwarzanie obrazów wideo 643

Formaty MPEG 646
MPEG-1 646
MPEG-2 648
MPEG-4 648
Rozwiązania programowe na platformie PC 649
Kodery 649
Odtwarzacze 651
Wspomaganie sprzętowe 653
Interfejs programowy 654

Rozdział 15. Grafika 3D 657

Schemat przetwarzania obiektów 3D 658
API 660
Geometry Engine 661
Tłumaczenie opisu środowiska 662
Oświetlenie i tekstura 662
Przekształcenia geometryczne 662
Strefa widoczności 663
Przekazanie parametrów do jednostki rasteryzującej 663
Rendering Engine 664
Teksturowanie 666
Korekcja perspektywy 668
Nakładanie mapy 669
Przyporządkowanie najbliższego punktu (Peak Nearest) 669
Filtracja bilinearna (Bilinear Interpolation) 670
MIP-Mapping 671
Filtracja trilinearna 672
Mieszanie kolorów 673
Efekty specjalne 674
Podział mocy obliczeniowej 675

Rozdział 16. Magistrala AGP 677

Architektura komputera z magistralą AGP 677
Sygnały magistrali AGP 680
Szyna adresów i danych 680
Sygnały PCI 683
Sygnały kontroli przepływu 684
Sygnały obsługi żądań AGP 684
Linie statusowe 684
Sygnały kluczujące 685
Sygnały USB 686
System zarządzania zużyciem energii 686
Sygnały specjalne 686
Linie zasilające 686
AGP w teorii 686
Kolejkowanie 687
Magistrala SBA 689
GART 690
DIME 691

AGP w praktyce 693
Wymagania sprzętowe i programowe 693
Kontrola działania 695
AGP PRO 697
AGP 3.0 700
Pasmo przepustowe 700
Poziomy napięć 701
Nowe sygnały i przedefiniowania 701
Sygnały zegarowe 701
AGP 2.0 702
AGP 3.0 703
Transakcje 703
Pobór prądu 703
Zgodność w dół 704
Implementacja w chipsetach 704

Rozdział 17. System odmierzania czasu 705

Układ 8253/8254 705
Tryb 0 707
Tryb 1 707
Tryb 2 708
Tryb 3 708
Tryb 4 708
Tryb 5 709
Programowanie generatora 8253/8254 709
Zegar systemowy 712
Układ odświeżania pamięci dynamicznej 713
Obsługa głośnika 715
Drugi układ 8254 i jego zastosowanie 717

Rozdział 18. Pamięć CMOS-RAM 719

Organizacja pamięci CMOS 720
Rejestr A (offset 0Ah) 721
Rejestr B (offset 0Bh) 722
Rejestr C (offset 0Ch) 723
Rejestr D (offset 0Dh) 724
Rejestr E (offset 0Eh) — Diagnostic Status Byte 724
Rejestr F (offset 0Fh) — Shutdown Byte 725
Konfiguracja napędów dyskietek (offset 10h) 726
Konfiguracja dysków twardych (offset 12h) 726
Pamięć (offset 15h) 727
Suma kontrolna 728
Bajt konfiguracji sprzętowej (Equipment Byte) 728
Funkcje BIOS-u obsługujące pamięć konfiguracji 728
Funkcja 00h 729
Funkcja 01h 729
Funkcja 02h 729
Funkcja 03h 730
Funkcja 04h 730
Funkcja 05h 731
Funkcja 06h 731
Funkcja 07h 731
Bezpośredni dostęp do pamięci CMOS 732

Rozdział 19. Obsługa urządzeń wejściowych 733
Klawiatura 733
Mapa klawiatury 735
Organizacja obsługi klawiatury przez BIOS 741
Bajt 0040:0017h 744
Bajt 0040:0018h 745
Bajt 0040:0096h 745
Bajt 0040:0097h 745
Funkcje przerwania 16h BIOS-u 746
Funkcja 00h 746
Funkcja 01h 747
Funkcja 02h 747
Funkcja 03h 748
Funkcja 05h 748
Funkcja 10h 749
Funkcja 11h 749
Funkcja 12h 749
Bezpośrednie programowanie klawiatury 750
Rozkaz EDh — sterowanie diodami świecącymi 754
Rozkaz EEh — Echo 754
Rozkaz F0h — wybór zestawu kodów klawiszy 755
Rozkaz F2h — identyfikacja klawiatury (ID) 755
Rozkaz F3h — opóźnienie i prędkość autorepetycji 755
Rozkaz F4h — odblokowanie klawiatury 755
Rozkaz F5h 755
Rozkaz F6h 756
Rozkaz FEh — żądanie powtórzenia transmisji 756
Rozkaz FFh — diagnostyka klawiatury 756
Port wejściowy i port wyjściowy 757
Mysz 760
Funkcja 00h 761
Funkcja 01h 763
Funkcja 02h 763
Funkcja 03h 763
Funkcja 04h 764
Funkcja 05h 764
Funkcja 06h 765
Funkcja 0Bh 765
Manipulator 766
Funkcja 84h 768

Rozdział 20. Łącze szeregowe 769
Asynchroniczna transmisja szeregowa 769
Układ scalony 8250 771
Interfejs RS-232C 774
Tryb simpleksowy 776
Tryb półdupleksowy 777
Tryb dupleksowy 777
Dostęp do łącza szeregowego z poziomu systemu MS-DOS 779
Funkcja 03h 779
Funkcja 04h 780
Funkcja 3Fh 780
Funkcja 40h 780

Funkcje BIOS-u obsługujące łącze szeregowe 781
Przekroczenie czasu (Time Out) 782
Przerwanie połączenia (Break) 782
Błąd protokołu (Frame Error) 782
Błąd parzystości (Parity Error) 782
Błąd przepełnienia (Overrun Error) 782
Bajt statusowy modemu 783
Funkcja 00h 783
Funkcja 01h 784
Funkcja 02h 785
Funkcja 03h 785
Bezpośrednie programowanie rejestrów UART 786
Przerwania generowane przez łącze szeregowe 787
Rejestr konfiguracji przerwań 787
Rejestr identyfikacji przerwań 788
Rejestr formatu danych (LCR) 789
Prędkość transmisji 790
Sygnały sterujące 790
Rejestr wyjściowych sygnałów sterujących (MCR) 790
Rejestr wejściowych sygnałów sterujących łącza RS-232C (MSR) 791
Rejestr stanu transmisji (LSR) 792
Układ UART 16450 793

Rozdział 21. Łącze równoległe 795

Terminologia programu konfiguracyjnego BIOS-u 797
Tryby podstawowe 798
Tryb standardowy 798
Rejestr danych (Data Register) — adres bazowy+0 801
Rejestr stanu (Status Register) — adres bazowy+1 802
Rejestr sterujący (Control Register), adres bazowy+2 803
Tryb półbajtowy 804
Tryb bajtowy (PS/2) 805
Tryb EPP 805
Tryb ECP 808
Rejestr ECR (Extended Control Register), adres bazowy+402h 811
Realizacja portu równoległego w ramach architektury PC 812
Dostęp do łącza równoległego poprzez funkcje BIOS-u 814
Funkcja 00h 815
Funkcja 01h 815
Funkcja 02h 816
Dostęp do łącza równoległego z poziomu systemu MS-DOS 817
Funkcja 05h 817
Funkcja 40h 818
Ogólne zastosowanie łącza równoległego 819

Rozdział 22. Złącze USB 825

Specyfikacja 825
Topologia 826
Okablowanie 828
Protokół 830
Pakiety 831
Sterowanie w trybach LS/FS (USB 1.1) 833
Sterowanie w trybie HS (USB 2.0) 834
USB w praktyce 837
Windows 95 839
Windows 98/98SE/ME/2000/XP 839

Windows NT ... 840
USB 2.0 ... 840

Rozdział 23. Złącze bezprzewodowe wykorzystujące fale podczerwieni (IrDA) ... 841
Protokoły komunikacyjne IrDA ... 841
Standard IrDA-CONTROL ... 842
Standard IrDA-DATA ... 843
IrDA w praktyce ... 845
Windows 95 ... 847
Windows 98 ... 848
Windows ME ... 848
Windows NT ... 848
Windows 2000 ... 848
Windows XP ... 849

Rozdział 24. System ograniczania zużycia energii (ACPI) ... 851
Model warstwowy ACPI ... 852
Przegląd stanów energetycznych ... 855
Wskazówki praktyczne ... 857
Windows 98 ... 857
Windows 2000 ... 858
Kontrola sterowników ... 861

Rozdział 25. Nośniki optyczne ... 863
Organizacja fizyczna danych ... 864
Przetwarzanie danych audio ... 864
Przetwarzanie danych cyfrowych ... 867
Informacja subkanałowa ... 868
Subkanał Q i TOC ... 870
Sesja i ścieżka ... 872
Formaty ... 873
Specyfikacje ... 877
Płyta CD-R ... 878
Płyta CD-RW ... 881
Technologia DVD ... 882
Kodowanie ... 882
Korekcja błędów ... 883
Formaty ... 883
DVD-R ... 884
DVD-RW ... 885
DVD+R/+RW ... 886
DVD-RAM ... 887
Płyta DVD ... 888
Parametry nośników DVD-RAM ... 889
Czytniki i nagrywarki ... 890
OPC ... 893
BURN-Proof i pochodne ... 893
MultiRead ... 894
Mount Rainier ... 894
Audio Master ... 895
Urządzenia kombinowane z DVD ... 895
Kod regionalny ... 896
Czas dostępu i transfer w trybach DVD ... 897
Badanie formatu nośnika ... 898

Rozdział 26. Nowoczesne magistrale szerokopasmowe 901
Fibre Channel 902
Topologie 903
Sterowanie 903
Protokół 905
Systemy złączy i okablowanie FC 905
Dyski ze złączem FC 907
Infini Band 909
Architektura 910
Sterowanie linii 910
Protokół 911
Okablowanie IBA 912

Rozdział 27. Karta dźwiękowa 915
Synteza FM 916
Synteza WaveTable 921
Digitalizacja i obróbka cyfrowa (DSP) 924
Przetworniki ADC i DAC 925
Standard Midi 927
Protokół MIDI 928
MIDI od strony sprzętowej 929
Modelowanie przestrzenne 931
Wyprowadzenia zewnętrzne 935
Sygnały analogowe i mikser 935
Sygnały cyfrowe 936
Wykorzystanie zasobów systemowych 938
„Sound on Board" według specyfikacji AC'97 940
Schemat blokowy systemu AC'97 941
Układ scalony Codec AC'97 943

Rozdział 28. Modemy 945
Implementacje modemów 945
Modulacja sygnału 948
AM i QAM 948
FSK 948
PM i PSK 949
PCM 949
TCM 949
Standardy 949
Standardy Bell 950
V.21/V.22/V.22bis/V.23 951
V.32/V.32bis/V.32turbo 951
V.34 (V.Fast, V.34+, V.FC) 951
V.42 (MNP)/V.42bis 951
V.90 952
V.92 954
Dalsze perspektywy 954
Polecenia AT 954
Łańcuchy inicjalizujące 956
Chipset i sterownik modemu 956
Konfiguracja i diagnostyka modemów 957
Środki własne OS 957
Monitory systemowe 958
Hyper Terminal 958

Programy dodatkowe 959
ModemChk 960
MyVitalAgent 961
NetStatLive (NSL) 962

Rozdział 29. PC w sieci lokalnej 963

Model OSI 964
Warstwa fizyczna (L1) 964
Łącze (L2) 965
Sieć (L3) 965
Transport (L4) 966
Sesja (L5) 966
Warstwa prezentacji (L6) 966
Warstwa użytkowa (L7) 966
Ethernet i TCP/IP 966
Kapsułkowanie do ramki Ethernet 967
Protokół TCP/IP 969
Karta sieciowa 971
Komunikacja z pamięcią i buforowanie 972
Formowanie ramki 973
Konwersja szeregowo-równoległa 974
Kodowanie i dekodowanie 974
Dostęp do medium i wykorzystanie pasma 975
Chipset karty 975
Wyposażenie, diagnostyka, konfiguracja 976
Realizacje sieci Ethernet 977
Okablowanie 979
Konstrukcja kabli 980
Kategorie i klasy 981
Połączenia PC i proste sieci 984
Wybór karty sieciowej i okablowania 985
System operacyjny i sterowniki protokołów 987
Przesyłanie danych 990
Netio Benchmark 993
Monitorowanie ruchu sieciowego na poziomie pakietów 993
Nadzorowanie aktywnych połączeń 994
Sieci bezprzewodowe 995
Specyfikacje 996
Topologie 997
Ramka 997
Uwierzytelnienie 998
Bezpieczeństwo 999
WEP 999
WPA 1001

Rozdział 30. Bluetooth 1003

Założenia ogólne i specyfikacje 1004
Protokoły 1004
Warstwa fizyczna 1006
Sieć 1006
Pakiety 1009
Bezpieczeństwo 1011
Wykrywanie błędów 1013
Korekcja błędów 1013
Przykłady zastosowań 1014

Rozdział 31. Zasilacz 1017
Zasilacz standardu ATX 1019
Specyfikacja ATX/ATX12V 1022
Dobór zasilacza 1024
Przykładowe rozwiązania 1026
Zasilacze dużej mocy 1026
ATXGES (AMD) 1026
EPS12V (Intel) 1029

Rozdział 32. Zasilacze awaryjne 1033
Źródła zakłóceń 1033
Chwilowe zaniki napięcia 1034
Spadki o średniej długości 1034
Długotrwałe spadki napięcia 1034
Przepięcia 1035
Pakiety 1035
Wysokie harmoniczne 1035
Całkowity zanik napięcia 1035
Zasilacz PC jako odbiornik prądu zmiennego w sieci 1035
Budowa układów UPS 1038
Baterie 1039
Elementy kontrolne i regulacyjne 1040
Czas buforowania 1041
Topologie 1041
Standby 1042
Line Interactive 1043
On-Line 1043
Inne rozwiązania 1044
Zakres napięć wejściowych 1045
Programy obsługujące urządzenia UPS 1045
Środki systemu operacyjnego 1045
Programy własne producentów UPS 1046

Rozdział 33. BIOS i jego program konfiguracyjny 1049
Organizacja systemu bezpieczeństwa 1050
Możliwości omijania systemu bezpieczeństwa 1052
Metoda 1 — hasła uniwersalne 1052
Metoda 2 — załadowanie parametrów standardowych 1053
Metoda 3 — kasowanie zawartości układu CMOS-RAM 1053
Metoda 4 — atak poprzez programy szperające 1054
Metoda 5 — drugi komputer 1055
Metoda 6 — przypadki specjalne i komputery przenośne 1055
System ochrony przed wirusami atakującymi MBR 1055
System ładowania wartości predefiniowanych 1056
Mechanizm opuszczania programu konfiguracyjnego 1056
Ogólna konstrukcja blokowa 1057
Programy pseudo-BIOS-SETUP 1057
Nowe trendy w programach BIOS 1057
Obrazki w BIOS-ie 1058
Podwójny BIOS 1058
POST on Board 1059
Voice Diagnostic 1059
Auto-Overclocking 1059

Rozdział 34. Wykorzystanie Linuksa do diagnostyki środowiska PC 1095
Czym jest Linux? 1095
Dystrybucje 1095
Linux w Polsce 1096
Przegląd dystrybucji Linuksa 1096
Red Hat 1096
Mandrake 1096
SuSE 1096
Debian 1096
PLD 1096
Partycje i katalogi w Linuksie 1097
Uruchamianie systemu 1097
Lilo 1097
Ładowanie systemu Linux 1098
Konsola systemowa 1098
Podstawowe polecenia wykorzystywane do operacji na plikach i katalogach 1099
Dokumentacja systemowa 1100
Linux a diagnostyka systemu 1100
Linux na dyskietce 1101
Mini Linux 1101
Instalacja Mini Linuksa 1101
Wybrane programy — fdisk 1102
Linux na CD 1106
Knoppix 1106
Programy diagnostyczne 1106
Bonnie++ 1106
cURL 1107
Przykłady zastosowania 1107
Przykłady z zapisem do pliku 1108
Używanie haseł (autentyfikacja użytkowników) 1108
Wysyłanie plików do serwera 1109
Uszczegółowienie komunikatów o błędach 1110
Postęp transmisji 1110
Ograniczenie prędkości transmisji 1111
Plik konfiguracyjny 1111
TTCP 1112
CPUBurn 1112
MEMTEST86 1114

Dodatek A Przegląd architektury mikroprocesorów 1117
Procesory AMD 1117
Procesory firmy Cyrix 1137
Procesory Intela 1143
Procesory IDT 1172

Dodatek B Systemy oznaczeń scalonych układów pamięciowych 1177
Układy DRAM 1177
Układy SDRAM 1181
Układy RDRAM 1184
Układy DDR SDRAM 1185

Dodatek C Baza adresów internetowych 1187
Ujęcia całościowe PC 1187
Płyty główne 1187
Procesory 1192
IC i pamięci 1194

Dyski twarde 1196
Grafika 1199
Napędy CD-R, CD-RW, DVD....1203
Modemy 1204
Karty sieciowe....1205
Bazy danych sterowników (Drivers)....1205
Standardy, specyfikacje, encyklopedie 1206
Przeglądy i porównania sprzętu, nowości....1207
Optymalizacja sprzętu....1207
Chłodzenie 1208
Złącza....1208
Zasilacze....1210

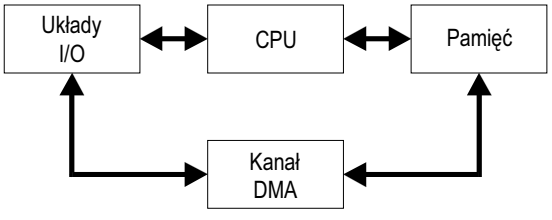
Dodatek D Przykład współpracy z magistralą ISA....1211
Opis działania....1211
Wykorzystywane sygnały magistrali 1213
Zastosowane układy scalone....1214

Bibliografia....1217
Literatura polskojęzyczna 1217
Literatura anglojęzyczna....1221
Wydawnictwa....1222

Skorowidz 1225

Rozdział 6.
Kanał DMA

DMA (*Direct Memory Access*) ma na celu usprawnienie dostępu do pamięci (rysunek 6.1). Ta forma dostępu przewidziana jest dla urządzeń peryferyjnych i nie należy jej mylić z cyklami realizowanymi przez sam procesor. Tych odwołań nie da się usprawnić za pomocą DMA.



Rysunek 6.1. *Idea bezpośredniej komunikacji układów wejścia-wyjścia z pamięcią*

W IBM PC, będącym pierwowzorem współczesnych komputerów, zastosowany został tzw. 8-bitowy kontroler DMA (w oryginale był to układ typu 8237A). W tamtych czasach stanowiło to znaczne ułatwienie pracy dla procesorów 8-bitowych, ograniczało bowiem zakres ich działań. Kontroler DMA brał na siebie obowiązek realizacji transmisji dla blokowych urządzeń peryferyjnych oraz przeadresowywanie bloków pamięci. Doskonała skądinąd idea DMA przestała odgrywać rolę w momencie wprowadzenia procesorów i386/486. Dysponowały one 32-bitową szyną danych i stały się tak szybkie, iż realizowane w mikrokodzie procesora rozkazy transmisji blokowej typu `rep movsw` były bardziej wydajne niż transmisje blokowe w cyklu DMA. Dodatkowe ograniczenie 8-bitowych kontrolerów to zbyt wolny zegar 4,77 MHz, który ze względu na wymóg kompatybilności stosowany był nadal w modelach AT (kilka generacji wzwyż od IBM PC).

Dla ratowania sprawy (począwszy od IBM PC/AT) dodany został drugi kontroler 8237A, co umożliwiło przynajmniej realizację obsługi urządzeń 16-bitowych. Dopiero jednak systemy EISA i MCA, o odmiennej filozofii i architekturze, powróciły do stosowania w pełnym zakresie idei DMA. Zaczęto wreszcie stosować 32-bitowe układy scalone nowej generacji. W tych warunkach kanał DMA mógł obsługiwać transfery do szybkich urządzeń peryferyjnych, takich jak dyski twarde i napędy CD-ROM.

Urządzeniem wejścia-wyjścia może być kontroler napędu dysków (zarówno ten zainstalowany na płycie głównej, jak i ten umieszczony na karcie rozszerzeń), kontroler jednostki pamięci taśmowej (ang. *streamer*) lub inne podobne urządzenie. Każdemu z nich przyporządkowany jest jeden z tzw. kanałów DMA, tj. logicznych strumieni danych, których przepływ jest inicjowany przez procesor.

Każdy z układów 8237A może obsługiwać cztery takie strumienie. Możliwy jest też kaskadowy sposób łączenia kontrolerów 8237A; jedno z wejść układu głównego (*Master*) obsługuje wtedy następny kontroler (*Slave*) i jest tym samym „stracone". To rozwiązanie stosowane jest w IBM PC/AT i udostępnia siedem kanałów DMA.

Żądające obsługi urządzenie stowarzyszone z danym kanałem DMA wysyła sygnał DREQ (*DMA Request*). Układ 8237A reaguje na to przejęciem kontroli nad magistralami systemu i przeprowadzeniem wymaganej transmisji, np. jednego sektora odczytanego z dyskietki do buforu w pamięci operacyjnej (RAM), gdzie odbywa się połączenie sektorów w plik danych. W tym czasie procesor jest wolny i może, do czasu wystąpienia przerwania pochodzącego od kontrolera napędu dysków elastycznych (IRQ 6 — odczytano kolejny sektor), zajmować się obróbką tekstu lub grafiki. Należy tu dodać, że oczywiście nie zawsze oznacza to dalsze wykonywanie programu. Trzeba bowiem pamiętać, że szyny (danych i adresowa) są we władaniu kontrolera DMA, a więc procesor może przetwarzać tylko to, co ma w swoich rejestrach. Wszelkie odwołania do pamięci operacyjnej muszą czekać. Sytuację ratuje trochę pamięć podręczna procesora (ang. *cache memory*) — stosowana w procesorze 80486 wewnętrzna pamięć o wielkości 8 kB. Może w niej być jednak umieszczany tylko kod programu, a nie dane. Dopiero następca procesora 80486 — Pentium — ma podręczną pamięć danych.

Ta sama akcja realizowana bez układu DMA składałaby się z kolejnych zapisów i odczytów portu kontrolera napędu dysków. Kolejne etapy to załadowanie akumulatora, przesłanie zawartości akumulatora do portu sterującego, odczyt portu danych do akumulatora, przesłanie zawartości akumulatora do komórki pamięci. To dopiero jeden bajt. Oczywiście przy każdym z tych kroków procesor jest w pełni zajęty i nie ma mowy o wielozadaniowości.

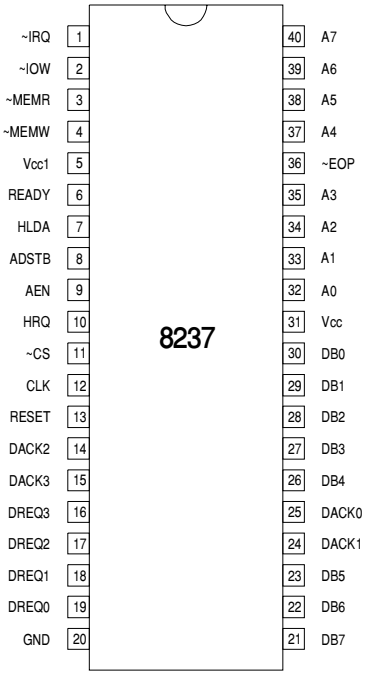
Układ scalony 8237A

Rysunek 6.2 przedstawia wyprowadzenia układu scalonego typu 8237A. Jak wiele innych elementów klasycznej architektury, jest on obecnie zawarty w jednym z kilku układów scalonych wysokiej skali integracji, które stanowią chipset nowoczesnej płyty głównej. Już układ 82C206 zawierał w swoim wnętrzu programowane generatory przebiegów czasowych, kontroler DMA, kontroler przerwań i pamięć CMOS. Nowoczesne chipsety cechują się jeszcze większą skalą integracji. Ze względu na konieczność zachowania kompatybilności utrzymuje się jednak funkcje i znaczenie oraz formy dostępu do poszczególnych elementów.

Poniższe zestawienie stanowi krótki opis znaczenia końcówek i sygnałów omawianego układu:

~IOR — *I/O Read* — CPU wymusza na tym wejściu aktywny stan niski, chcąc odczytać dane z wewnętrznego rejestru kontrolera DMA (podczas programowania). W czasie transmisji DMA kontroler, przejąwszy nadzór nad magistralami, sam uaktywnia tę końcówkę, jeżeli dane transmitowane są z urządzenia I/O do pamięci.

~IOW — *I/O Write* — CPU wymusza zero, chcąc zapisać dane do rejestru wewnętrznego. Podczas transmisji kontroler DMA przejmuje nadzór nad magistralami i sam uaktywnia tę końcówkę (dane transmitowane są z pamięci do urządzenia I/O).



Rysunek 6.2. *Rozkład wyprowadzeń układu 8237A*

~MEMR *Memory Read* — aktywny (niski) poziom na tej końcówce wskazuje na ogólny kierunek transmisji z pamięci (do pamięci lub urządzenia wejścia-wyjścia).

~MEMW *Memory Write* — aktywny (niski) poziom na tej końcówce wskazuje na ogólny kierunek transmisji do pamięci (z pamięci lub urządzenia wejścia-wyjścia).

AEN *Address Enable* — zapewnia rozróżnienie między adresami dla pamięci i układów wejścia-wyjścia.

READY Powolne układy pamięci lub urządzenia, uaktywniając ten sygnał, mogą wymusić opóźnienie cyklu odczytu lub zapisu DMA.

HLDA *Hold Acknowledge* — podając na to wejście logiczną jedynkę, układ (procesor lub inny kontroler) sprawujący dotychczas pieczę nad magistralami systemu (adresową i danych) wyraża zgodę na przejęcie sterowania przez kontroler DMA. Dotychczasowy kontroler odłącza się od magistral, ustawiając swoje wyjścia w stan wysokiej impedancji.

ADSTB *Address Strobe* — informuje układy zewnętrzne, że na szynie adresowej A0 – A7 znajduje się bardziej znacząca część adresu.

HRQ *Hold Request* — wystawienie logicznej jedynki na tym wyjściu jest reakcją układu na nadejście żądania obsługi transmisji DMA (sprzętowo przez końcówki DREQ0 – DREQ3 lub programowo) i stanowi polecenie przekazania kontroli nad magistralami systemowymi skierowane do CPU lub innego kontrolera magistral.

~CS	*Chip Select* — wejście aktywowane przez procesor w trybie programowania lub odczytu rejestrów wewnętrznych układu.
CLK	Wejście sygnału taktującego o częstotliwości 4,77 MHz.
RESET	Podanie na to wejście logicznej jedynki powoduje inicjalizację układu 8237A.
DREQ*n*	*DMA Request* — wejścia żądań obsługi. Polaryzację sygnału aktywnego można zaprogramować, tzn. dla każdego z wyjść *n* można ustalić, czy poziom aktywny oznacza zero czy jedynkę logiczną.
DACK*n*	*DMA Acknowledge* — kontroler DMA, przejąwszy władzę nad magistralami (wymiana sygnałów HRQ i HLDA), potwierdza na odpowiednim wyjściu *n* przyjęcie żądania. Aktywny poziom tego sygnału również można zaprogramować.
DB0 – DB7	8-bitowa, dwukierunkowa magistrala danych. Tędy też przekazywany jest bardziej znaczący bajt 16-bitowego adresu.
A0 – A3	Połowa mniej znaczącego bajtu dwukierunkowej szyny adresowej. W trybie programowania kontrolera DMA przez procesor służy do identyfikowania jego wewnętrznych rejestrów, zaś podczas transmisji zawiera cztery najmniej znaczące bity adresu.
A4 – A7	Podczas transmisji zawiera pozostałą część adresu. W stanie spoczynku (i programowania) stan tych linii jest bez znaczenia.
~EOP	*End of Process* — zero logiczne na tej końcówce (traktowanej jako wyjście) sygnalizuje koniec transmisji, tj. osiągnięcie zadanej liczby przesłań. Podanie na końcówkę ~EOP (traktowaną jako wejście) zera logicznego wymusza przedwczesny koniec transmisji.
Vcc	Napięcia zasilające (+5 V).
GND	Masa zasilania.

Tryby pracy kontrolera DMA

Tryb spoczynkowy „I” (Idle)

W stanie spoczynku podczas każdego cyklu zegara DMA na wejściu CLK testowane są stany wejść[1] DREQ*n* w celu wykrycia żądania obsługi. Przyjmując zgłoszenie, kontroler uaktywnia wyjście HRQ, przez co zmusza procesor (lub inny układ sprawujący w danej chwili kontrolę nad magistralami) do oddania sterowania. Układ taki odpowiada sygnałem podawanym na wejście HLDA i odłącza się od magistral. W odpowiedzi na to układ 8237A wystawia na odpowiednie wyjście DACK*n* sygnał potwierdzenia i rozpoczyna transmisję opisaną zawartością rejestrów sterujących.

[1] Dotyczy wejść, które nie są programowo zamaskowane.

W każdym cyklu zegara sprawdzany jest ponadto stan wejścia CS. Aktywny stan tego wejścia (zero logiczne) powoduje przejście układu w stan programowania; procesor może komunikować się z rejestrami układu 8237A, adresując je wejściami A0 – A3. Dane 8-bitowe podawane są bezpośrednio przez linie DB0 – DB7, a 16-bitowe — porcjami po osiem. Rolę przełącznika spełnia końcówka ADSTB (*Address Strobe*). Tak samo odbywa się czytanie wewnętrznych rejestrów statusu.

Tryb „S" (Single)

W tym trybie pracy wykonywane jest pojedyncze przesłanie. Wewnętrzny licznik transmisji jest zmniejszany o jeden, a rejestr adresowy, zależnie od zaprogramowania, o jeden zwiększany lub zmniejszany. Następne przesłanie wymaga ponownego wystawienia żądania na linii DREQ*n*.

Tryb „B" (Block)

Transmisja trwa nieprzerwanie do momentu wystąpienia zewnętrznego sygnału EOP od urządzenia lub osiągnięcia przez licznik transmisji wartości FFFFh. Jeżeli, na przykład, licznik transmisji zostanie załadowany wartością 511 (dziesiętnie), to pomniejszany o jeden przy każdym przesłaniu przejdzie przez stan 0000h do FFFFh, co spowoduje na przykład wczytanie jednego 512-bajtowego sektora dyskietki wprost do określonego miejsca w pamięci.

Tryb „D" (Demand)

Tryb ten jest podobny do trybu „B". Różnica polega na tym, że transmisja trwa do czasu zaniknięcia sygnału DREQ*n*, pojawienia się sygnału EOP, wykonania zadanej w liczniku transmisji liczby przesłań lub nadejścia żądania obsługi o wyższym priorytecie. Czasowa dezaktywacja sygnału żądania na wejściu DREQ*n* powoduje wstrzymanie (ale nie zakończenie) transmisji. Tryb ten ma pewne znaczenie dla układów umieszczanych na kartach rozszerzeń w komputerach PC, bowiem nie jest tam wyprowadzany sygnał EOP.

Tryb „C" (Cascade)

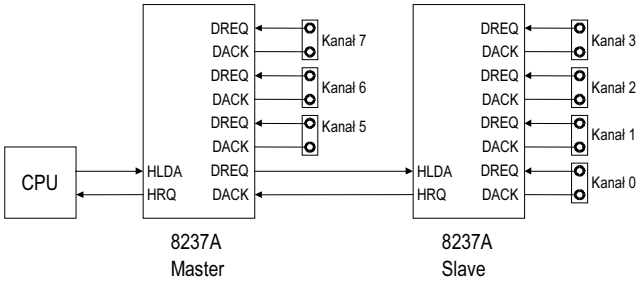
W trybie tym przekazywane są tylko sygnały sterujące od układu nadrzędnego (*Master*). Układ pracujący jako podporządkowany (*Slave*) nie wystawia na szyny systemowe adresów ani sygnałów sterujących.

Tryb „V" (Verify)

Układ pracuje tak jak przy transmisji, tzn. wytwarza adresy, reaguje na sygnał EOP i inne sygnały, ale nie generuje sygnałów dostępu do pamięci i urządzeń wejścia-wyjścia (tj. IOR, IOW, MEMR, MEMW). Tryb ten służy do diagnostyki wewnętrznej układu i nie ma nic wspólnego z weryfikacją danych.

Kaskadowe łączenie układów 8237A

Począwszy od modelu AT, firma IBM rozpoczęła instalowanie w swoich komputerach drugiego kontrolera 8237A. Układy te dają się łączyć w kaskady o dowolnej liczbie elementów. Jeden z układów wyższego poziomu (*Master*) odstępuje jedną parę wyprowadzeń DREQ*n* – DACK*n* (tj. jeden kanał) następnemu układowi 8237A (*Slave*), który dołącza się do niej swoimi wyprowadzeniami HRQ – HLDA. Ponieważ cztery kanały (0, 1, 2, 3) układu 8237A mają określone priorytety, tj. kolejności obsługiwania zgłoszeń (kanał 0 ma priorytet najwyższy, kanał 3 — najniższy), wszystkie wejścia układu *Slave* mają wyższy priorytet od pozostałych wejść układu *Master*. Kaskadowe połączenie kontrolerów DMA obrazuje rysunek 6.3.



Rysunek 6.3. *Schemat kaskadowego połączenia dwóch układów 8237A*

Programowanie kontrolerów DMA

W czasach, gdy projektowano komputer IBM PC, ze względów oszczędnościowych (lub może dlatego, że 40-końcówkowa obudowa wydawała się szczytem luksusu) dwa z niezbędnych dla pracy układów DMA rejestrów umieszczono poza obudową kostki 8237A. Mowa o rejestrze strony pamięci (stosowany jest tu układ 74LS612 — rejestr 4×4) i rejestrze zatrzaskowym bardziej znaczącego bajtu adresu. Drugim krokiem oszczędnościowym było zgrupowanie w komputerze XT rejestrów strony dla kanałów 0 i 1 fizycznie w jednym rejestrze, choć prowadzą do niego dwa porty (83h i 87h). Konsekwencją tego faktu jest pozbawienie XT możliwości transferów typu pamięć-pamięć na odległości większe od 64 kB, bowiem transfer tego typu posługuje się wyłącznie kanałami 0 i 1.

Adresowanie pamięci przez układy DMA odbywa się podobnie jak dla procesora. Dla pokrycia pełnej przestrzeni adresowej komputera nie wystarcza 16-bitowy rejestr adresowy. CPU składa swój 20-bitowy adres rzeczywisty z 16-bitowego rejestru segmentowego pomnożonego przez 16 i drugiego 16-bitowego rejestru wskazującego przemieszczenie (*offset*) w segmencie o wielkości 64 kB. Ponieważ wewnętrzne rejestry adresowe (dla każdego kanału jeden) układu 8237A są 16-bitowe, można nimi adresować obszar o wymiarach do 64 kB (tzw. *stronę DMA*). Informację o położeniu strony w przestrzeni adresowej zawiera właśnie rejestr strony. Jakkolwiek należy on logicznie do struktury kontrolera DMA, fizycznie zlokalizowany jest poza układem 8237A, w jednym z układów wspomagających umieszczonych na płycie głównej komputera.

Dla każdego kanału DMA istnieje ponadto jeden 16-bitowy rejestr licznika transmisji. Łączna liczba rejestrów układu 8237A wynosi 27.

W danej chwili może być aktywny tylko jeden kanał DMA, tzn. transmisje nie mogą się ze sobą krzyżować. Ponieważ jednak każdy kanał jest programowany niezależnie, istnieje para rejestrów wspólna dla całego układu 8237A, przechowująca adresy i licznik transmisji aktywnej w danej chwili. Dzięki temu jest możliwe tzw. samoprogramowanie układu do stanu początkowego po zakończeniu transmisji.

Programowanie układu 8237A, podobnie jak wielu innych kontrolerów w komputerze PC, odbywa się poprzez zapisywanie przez procesor rejestrów sterujących odpowiednią wartością. Informacja o stanie kontrolera może być odczytywana przez procesor z rejestrów statusu. Rejestry te, będące integralną częścią kontrolera, są widziane przez procesor poprzez porty wejścia-wyjścia.

Adresy portów kontrolerów DMA w komputerze IBM PC/XT

Adres	Rejestr
000h	Rejestr adresowy kanału 0
001h	Rejestr licznika kanału 0
002h	Rejestr adresowy kanału 1
003h	Rejestr licznika kanału 1
004h	Rejestr adresowy kanału 2
005h	Rejestr licznika kanału 2
006h	Rejestr adresowy kanału 3
007h	Rejestr licznika kanału 3
008h	Rejestr stanu (odczyt)
008h	Rejestr rozkazowy (zapis)
009h	Rejestr żądań
00Ah	Rejestr maski kanału
00Bh	Rejestr trybu
00Dh	Rejestr pośredni
00Fh	Rejestr maskujący
081h	Rejestr strony kanału 2
082h	Rejestr strony kanału 3
083h	Rejestr strony kanału 0 i 1[(A)]
087h	Rejestr strony kanału 0 i 1[(A)]

[(A)] Odnosi się do tego samego rejestru co port 087h — jeden wspólny rejestr strony dla kanałów 1 i 0.

„Sztuczne" porty komputera PC/XT

Adres	Działanie
00Ch	Ustawienie przerzutnika w stan początkowy
0Ddh	Programowa inicjalizacja układu — odpowiednik wystawienia sygnału na końcówce RESET
00Eh	Wyzerowanie rejestru maski (odsłonięcie wszystkich kanałów)

Sztuczność tych portów (zwanych też „ślepymi") jest często stosowaną metodą w technice mikroprocesorowej. Umożliwia ona zainicjowanie akcji zewnętrznej przez procesor. Jakkolwiek w celu odwołania się do nich należy użyć instrukcji języka maszynowego `out port, wartość`, to druga część instrukcji (`wartość`) jest ignorowana i może być dowolna. Przykładowo, wspomniany w wyżej opisanych rozkazach przerzutnik jest niezbędny dla poprawnego adresowania rejestrów 16-bitowych. Przed rozpoczęciem przekazywania takiej wartości (najpierw bajt mniej znaczący, potem bardziej znaczący) należy wyzerować przerzutnik. Unika się w ten sposób zamiany bajtów rejestru 16-bitowego mogącej wystąpić na skutek przypadkowego położenia przerzutnika.

Adresy portów kontrolerów DMA w komputerze IBM PC/AT

Adres	Rejestr	Uwagi
000h	Rejestr adresowy kanału 0	(*Slave*)
001h	Rejestr licznika kanału 0	(*Slave*)
002h	Rejestr adresowy kanału 1	(*Slave*)
003h	Rejestr licznika kanału 1	(*Slave*)
004h	Rejestr adresowy kanału 2	(*Slave*)
005h	Rejestr licznika kanału 2	(*Slave*)
006h	Rejestr adresowy kanału 3	(*Slave*)
007h	Rejestr licznika kanału 3	(*Slave*)
008h	Rejestr stanu (do odczytu)	(*Slave*)
008h	Rejestr rozkazowy (do zapisu)	(*Slave*)
009h	Rejestr żądań	(*Slave*)
00Ah	Rejestr maski kanału	(*Slave*)
00Bh	Rejestr trybu	(*Slave*)
00Dh	Rejestr pośredni	(*Slave*)
00Fh	Rejestr maskujący	(*Slave*)
081h	Rejestr strony kanału 2	(*Slave*)
082h	Rejestr strony kanału 3	(*Slave*)

Adres	Rejestr	Uwagi
083h	Rejestr strony kanału 1	(*Slave*)
087h	Rejestr strony kanału 0	(*Slave*)
089h	Rejestr strony kanału 6	(*Master*)
08Ah	Rejestr strony kanału 7	(*Master*)
08Bh	Rejestr strony kanału 5	(*Master*)
08Dh	Rejestr strony kanału 4	(*Master* — kaskada do *Slave*)
0C0h	Rejestr adresowy kanału 4	(*Master*)
0C1h	Rejestr licznika kanału 4	(*Master*)
0C2h	Rejestr adresowy kanału 5	(*Master*)
0C3h	Rejestr licznika kanału 5	(*Master*)
0C4h	Rejestr adresowy kanału 6	(*Master*)
0C5h	Rejestr licznika kanału 6	(*Master*)
0C6h	Rejestr adresowy kanału 7	(*Master*)
0C7h	Rejestr licznika kanału 7	(*Master*)
0D0h	Rejestr stanu (do odczytu)	(*Master*)
0D0h	Rejestr rozkazowy (do zapisu)	(*Master*)
0D2h	Rejestr żądań	(*Master*)
0D4h	Rejestr maski kanału	(*Master*)
0D6h	Rejestr trybu	(*Master*)
0DAh	Rejestr pośredni	(*Master*)
0DEh	Rejestr maskujący	(*Master*)

„Sztuczne” porty komputera PC/AT

Adres	Działanie
0D8h	Ustawienie przerzutnika w stan początkowy (*Master*)
0DAh	Programowa inicjalizacja układu — odpowiednik wystawienia sygnału na końcówce RESET (*Master*)
0DCh	Wyzerowanie rejestru maski — odsłonięcie wszystkich kanałów (*Master*)
00Ch	Ustawienie przerzutnika w stan początkowy (*Slave*)
00Dh	Programowa inicjalizacja układu — odpowiednik wystawienia sygnału na końcówce RESET (*Slave*)
00Eh	Wyzerowanie rejestru maski — odsłonięcie wszystkich kanałów (*Slave*)

Poniżej podano prosty przykład programowania rejestrów 16-bitowych w języku asemblera (kanał 2, adres 6677h, licznik transmisji 0400h).

```
mov al,00h
out 0ch,al  ; ustaw przerzutnik
mov al,77h
out 04h,al  ; młodszy bajt adresu
```

```
mov al,66h
out 04h,al  ; starszy bajt adresu
mov al,00h
out 0ch,al  ; ustaw przerzutnik
out 05h,al  ; młodszy bajt licznika
mov al,04h
out 05h,al  ; starszy bajt licznika
```

Budowa rejestrów wewnętrznych

Rejestr żądań (port 009h w PC/XT, 009h i 0D2h w PC/AT)

0	0	0	0	0	bit 2	bit 1	bit 0

bity 7 – 3 Zawsze zero.

bit 2 Wartość 1 w tym miejscu oznacza natychmiastowe uruchomienie transmisji (gdy kolejka oczekujących zgłoszeń jest pusta) lub wprowadzenie żądania do kolejki zgodnie z aktualnym systemem priorytetów. Zero oznacza brak żądania transmisji.

bity 1 – 0 Adres kanału DMA, którego dotyczy żądanie:
00 — kanał pierwszy (0 lub 4),
01 — kanał drugi (1 lub 5),
10 — kanał trzeci (2 lub 6),
11 — kanał czwarty (3 lub 7).

Rejestr stanu (port 008h w PC/XT, 008h i 0D0h w PC/AT)

Wewnętrzny stan układu 8237A obrazuje *rejestr stanu*. Można go tylko odczytywać. Pod tym samym adresem znajduje się *rejestr rozkazów* (wyłącznie do zapisu).

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 4 Wartość 1 na odpowiednim bicie oznacza wystąpienie zgłoszenia od kanału 3 – 0 lub 7 – 4.

bity 3 – 0 Wartość 1 na odpowiednim bicie oznacza osiągnięcie zadanej liczby transmisji dla kanału 3 – 0 lub 7 – 4.

Rejestr rozkazów (port 008h w PC/XT, 008h i 0D0h w PC/AT)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bit 7 Wartość 1 oznacza, że aktywnym stanem logicznym wyjść DACK*n* jest stan wysoki.

bit 6 Wartość 1 oznacza, że aktywnym stanem logicznym wejść DRQ*n* jest stan niski.

bit 5 Wartość 1 oznacza wydłużony impuls ~IOW lub ~MEMW. Pełny cykl DMA trwa normalnie przez cztery okresy zegara taktującego. Impuls IOW lub MEMW rozpocznie się wtedy w drugim, zamiast w trzecim, okresie cyklu.

bit 4 Wartość 1 oznacza, że kanał 0 ma największy, a kanał 3 najmniejszy priorytet. Zero oznacza obsługiwanie zgłoszeń w kolejności ich nadchodzenia.

bit 3 Wartość 1 wymusza przyspieszony cykl pracy (jeden cykl — 3 okresy zegara taktującego).

bit 2 Wartość 1 oznacza przejście kontrolera w stan programowania. Kontroler nie reaguje wówczas na zgłoszenia na liniach DREQ*n*.

bit 1 Wartość 1 oznacza transfer typu pamięć-pamięć w obrębie jednego bloku o wielkości do 64 kB. Zero oznacza używanie pełnego adresu.

bit 0 Wartość 1 oznacza przejście do transferu typu pamięć-pamięć. Kanał 0 określa miejsce źródłowe transferu, a kanał 1 docelowe.

Rejestr maski kanału (port 00Ah w PC/XT, 00Ah i 0D4h w PC/AT)

Pojedyncze kanały mogą być programowo wyłączone (zamaskowane) i nie reagować na zgłoszenia. Można to zrealizować, ustawiając *rejestr maski kanału*. Każda operacja maskowania i odsłaniania jednego kanału wymaga jednorazowego załadowania rejestru.

0	0	0	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 3 Zawsze zero.

bit 2 Wartość 1 powoduje zamaskowanie kanału.

bity 1 – 0 Adres kanału DMA, którego dotyczy żądanie:
00 — kanał pierwszy (0 lub 4),
01 — kanał drugi (1 lub 5),
10 — kanał trzeci (2 lub 6),
11 — kanał czwarty (3 lub 7).

To samo można osiągnąć całościowo, ustawiając jednocześnie żądaną konfigurację masek przez zaprogramowanie *rejestru maskującego*. Rejestr ten służy wyłącznie do zapisu.

Rejestr maskujący (port 00Fh w PC/XT, 00Fh i 0DEh w PC/AT)

0	0	0	0	bit 3	bit 2	bit 1	bit 0

bity 7 – 4 Zawsze zero.

bit 3 Wartość 1 na tym bicie maskuje kanał czwarty (3 lub 7).

bit 2 Wartość 1 na tym bicie maskuje kanał trzeci (2 lub 6).

bit 1 Wartość 1 na tym bicie maskuje kanał drugi (1 lub 5).

bit 0 Wartość 1 na tym bicie maskuje kanał pierwszy (0 lub 4).

Rejestr trybu (00Bh w PC/XT, 00Bh i 0D6h w PC/AT):

Ustawienie trybu pracy każdego z kanałów odbywa się w *rejestrze trybu*.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 6 Tryb pracy:
00 — tryb „D” (*Demand*),
01 — tryb „S” (*Single*),
10 — tryb „B” (*Block*),
11 — tryb „C” (*Cascade*).

bit 5 Wartość 1 na tym bicie wymusza dekrementację (zmniejszanie o jeden) licznika adresowego podczas każdego cyklu transmisji. Zero oznacza inkrementację licznika.

bit 4 Wartość 1 powoduje wykonanie samoprogramowania się układu do stanu początkowego po zliczeniu zadanej liczby przesłań.

bity 3 – 2 W trybie „C” są bez znaczenia, w przeciwnym razie oznaczają kierunek transmisji:
00 — tryb „V”,
01 — zapis do pamięci,
10 — odczyt z pamięci,
11 — nieużywane.

bity 1 – 0 Adres kanału opisanego stanem bitów 3 – 2:
00 — kanał pierwszy (0 lub 4),
01 — kanał drugi (1 lub 5),
10 — kanał trzeci (2 lub 6),
11 — kanał czwarty (3 lub 7).

Przytoczony fragment programu napisanego w języku Turbo C pokazuje zasadę transmisji danych przez kanał DMA. Osiem wartości zawartych w zmiennej `Tab1` ma zostać przeniesionych do karty umieszczonej w jednym z gniazd rozszerzających.

Transmisja wyzwalana jest wysokim poziomem na linii DREQ1, która jest oczywiście wyprowadzona do gniazd ISA (końcówka B18). Proces może być cyklicznie inicjowany przez impulsy generowane na karcie, a CPU nie bierze w nich udziału.

Układy logiczne karty muszą oczywiście identyfikować właściwy adres przestrzeni adresowej wejścia-wyjścia na podstawie sygnałów AEN, ~IOW i ~DACK1.

```
#include <dos.h>

#define Przerzutnik  0x0c
#define LicznAdrKan_1 0x02
#define RejMaskiKan_1 0x0a
#define RejTrybu  0x0b
#define RejStronyKan_1 0x83
#define LicznTransKan_1 0x03
#define RejStanu  0x08

char Tabl[8] = { 11,12,13,14,15,16,17,18 } ;
unsigned int Adres;
unsigned char Strona;
void TestDMA (void)
  {
    outp (RejMaskiKan_1,0x05);
    /* zablokuj kanał 1. na czas programowania */
    outp (RejTrybu,0xa9);
    /* Tryb "B", licznik adresów dekrementowany, samoprogramowanie
    wyłączone, czytanie z pamięci, programowany kanał nr 1 */
    Adres=(FP_SEG(Tabl) << 4 + FP_OFF(Tabl)) & 0xffff;
    /* ostatnie 16 bitów adresu rzeczywistego obiektu */
    Strona=(FP_SEG(Tabl) & 0xf000) >> 12;
    /* strona=0000xxxx, gdzie xxxx to pierwsze 4 bity adresu */
    outp(RejStronyKan_1,Strona);
    outp(Przerzutnik,0xff);
    outp(LicznAdrKan_1,(Adres & 0xff));  /* młodszy bajt adresu */
    outp(LicznAdrKan_1,(Adres >> 8) & 0xff);  /* starszy bajt */
    outp(Przerzutnik,0xff);
    outp(LicznTransKan_1,0x08); /* młodszy bajt licz. transmisji*/
    outp(LicznTransKan_1,0x00);  /* starszy bajt */
    outp(RejMaskiKan_1,0x01);  /* odblokuj kanał nr 1 */
    while((inp(RejStanu) & 0x02) == 0);
    /* czekaj na koniec transmisji */
}
```

Przebieg transmisji

Budowa kanału DMA zależy od formy architektury komputera i dlatego przebieg transmisji jest inny w przypadku IBM PC, PC/XT i PC/AT.

Komputer IBM PC

Komputer PC z procesorem 8088 zawiera 8-bitową magistralę danych i 20-bitową magistralę adresową. Dla pokrycia całej przestrzeni adresowej należy do wewnętrznych 16-bitowych rejestrów adresowych układu 8237A dodać 4-bitowy zewnętrzny rejestr strony.

W PC obsługiwane mogą być wyłącznie 8-bitowe urządzenia wejścia-wyjścia, tj. takie, których porty komunikacyjne mają szerokość 8 bitów (szerokość magistrali danych komputera).

Transmisja jednego bajtu z pamięci operacyjnej do urządzenia wejścia-wyjścia przebiega następująco:

- Urządzenie zgłasza sygnałem na linii DREQ*n* żądanie obsługi.
- Układ 8237A przejmuje od procesora kontrolę nad magistralą systemową.
- Układ 8237A wystawia na liniach A0 – A7 bardziej znaczącą część adresu, która jest zatrzaskiwana w zewnętrznym rejestrze sygnałem ADSTB. Rejestr strony programowany jest wcześniej bezpośrednio przez CPU.
- Rejestr strony, adres zapisany w rejestrze zatrzaskowym i aktualny adres na liniach adresowych układu 8237A tworzą 20-bitowy adres na magistrali adresowej systemu.
- Układ 8237A uaktywnia (podając na odpowiednią linię zero logiczne) sygnał MEMR.
- Sterownik pamięci wystawia na magistralę danych zawartość zaadresowanej komórki pamięci.
- Układ 8237A uaktywnia (zero logiczne) sygnał ~IOW.
- Urządzenie wejścia-wyjścia (identyfikowane za pomocą sygnałów DREQ*n*, DACK*n* i AEN — układ DMA nie wytwarza adresów dla urządzeń wejścia-wyjścia!) pobiera bajt z magistrali danych do swojego buforu.

Jak widać, przy transmisjach z udziałem pamięci i urządzenia wejścia-wyjścia nie występuje konieczność buforowania danych w układzie DMA.

Tabela 6.1. *Przyporządkowanie kanałów DMA w modelu PC*

Kanał	Przyporządkowanie
0	Układ odświeżania pamięci RAM
1	Zarezerwowany dla karty SDLC (standard szeregowej transmisji synchronicznej firmy IBM, który nigdy nie zdobył popularności)
2	Kontroler napędu dysków elastycznych
3	Kontroler dysku twardego

Komputer IBM PC/XT

Ten typ komputera ma już 16-bitową magistralę danych. Nic to jednak nie daje urządzeniom wejścia-wyjścia znajdującym się na kartach rozszerzeń, których gniazda są i tak 8-bitowe (16-bitowa jest tylko organizacja pamięci). Oznacza to, że na liniach A0 – A7 magistrali danych może wystąpić jedynie bajt o adresie parzystym, a na liniach A8 – A15 odpowiednio bajt o adresie nieparzystym. Dodatkowe układy logiczne muszą kierować właściwą część 16-bitowej magistrali danych do 8-bitowego urządzenia wejścia-wyjścia, natomiast druga połowa magistrali musi być ewentualnie odłączona (zależnie od tego, czy adres urządzenia jest parzysty czy nie). Bajty o parzystych adresach umieszczane są w „dolnej" połowie magistrali danych.

Ten sam problem dotyczy oczywiście również zapisu do pamięci. Podczas transmisji bloku danych pod kolejne adresy w pamięci, urządzenie musi przesuwać co drugi bajt „na drugą stronę" magistrali danych. Komputer XT ma jeden kontroler 8237A, wszystkie kanały są 8-bitowe, a ich przydział jest taki jak w modelu PC.

Komputer IBM PC/AT

Model ten, w którym zastosowano procesor 80286, ma również 16-bitową magistralę danych i występuje w nim ten sam problem co w modelu XT. Podczas sekwencyjnego dostępu do pamięci należy naprzemiennie używać jednej połowy systemowej szyny danych. Komputery AT z procesorem 80386 lub 80486 mają zwykle 32-bitową organizację pamięci. Adresowany bajt pojawia się na jednej z czterech części magistrali danych.

Tabela 6.2. *Przyporządkowanie kanałów DMA w modelu AT*

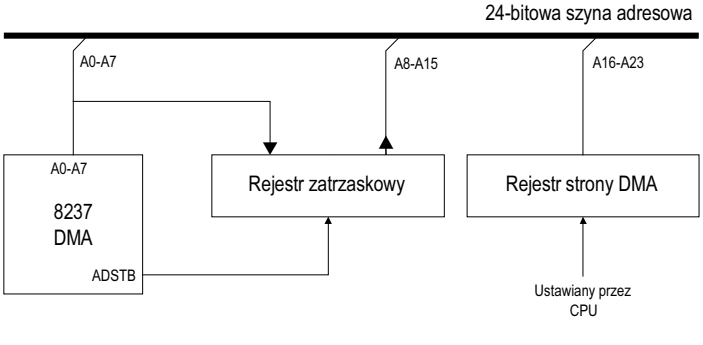
Kanał	Przeznaczenie	Kanał	Przeznaczenie
0	*Slave*, układ odświeżania pamięci	4	*Master*, kaskada do *Slave*
1	*Slave*, wolny	5	*Master*, wolny
2	*Slave*, kontroler napędu dysków elastycznych	6	*Master*, wolny
3	*Slave*, wolny	7	*Master*, wolny

Kanały 5, 6, 7 są 16-bitowe, natomiast kanały 0 – 3 obsługują transmisje 8-bitowe.

Kanały 16-bitowe

Nie omawiane do tej pory kanały 5, 6 i 7 układu *Master* przystosowane są do transmisji 16-bitowej. Wewnętrzny 8-bitowy rejestr pośredni układu 8237A nie bierze udziału w transmisji między pamięcią i układami wejścia-wyjścia (w żadną ze stron). Dane przejmowane są bezpośrednio z szyny danych lub z jej części.

Wewnętrzne rejestry adresowe układu 8237A są 16-bitowe. Układ ma jednak tylko osiem wyjść adresowych A0 – A7. Adres jest oczywiście multipleksowany. Układ wystawia na końcówki A0 – A7 najpierw bardziej znaczącą część adresu i uaktywnia sygnał ADSTB. Zewnętrzny 8-bitowy rejestr zatrzaskowy przechwytuje ten bajt i wystawia na szynę adresową systemu jako bity A8 – A15. W następnym cyklu zegara układ 8237A wystawia mniej znaczący bajt adresu, który jest bezpośrednio podawany na szynę adresową. Pozostałe osiem bitów, w przypadku 24-bitowej szyny adresowej, doprowadza się z rejestru strony. Mechanizm ten przedstawiono na rysunku 6.4.



Rysunek 6.4. *Schemat wytwarzania 24-bitowego adresu w transmisji DMA*

Efektywny adres dla transmisji 16-bitowych tworzony jest z części. Bity A0 – A15 montowane są z dwóch składników — bardziej znaczącej części adresu przechowywanej w zewnętrznym rejestrze zatrzaskowym i mniej znaczącej, wystawianej przez układ 8237A bezpośrednio na linie A0 – A7. Wynik złożenia przesuwany jest o jeden bit w lewo,

tworząc linie adresowe A1 – A16, a brakujący bit A0 jest zerowany. Taki adres musi wskazywać na dwubajtowe słowo, gdyż pamięć o organizacji 16-bitowej ma słowa rozlokowane na adresach parzystych. Linie adresowe A17 – A23 uzupełniane są zawartością rejestru strony. Strona taka ma więc wielkość 128 kB (adresowana jest 17 bitami A0 – A16), podczas gdy w przypadku kanałów 8-bitowych wielkość strony wynosi 64 kB.

Podczas transmisji przenoszone są całe słowa 16-bitowe. Na magistrali danych pojawia się zawsze słowo o adresie parzystym, nie ma więc konieczności naprzemiennego przełączania bajtów z magistrali danych. Systemy z procesorem 80386/486 posługują się (wobec do swoich 32-bitowych szyn danych) tą samą logiką, co komputer AT w stosunku do magistrali 16-bitowej.

Głównym celem układu DMA jest, jak wiadomo, realizacja przesłań typu pamięć-urządzenie wejścia-wyjścia bez udziału procesora. Transmisje typu pamięć-pamięć są dużo szybciej realizowane przez sam procesor, tym bardziej, że odpada wtedy konieczność wewnętrznego buforowania bajtu (lub — co gorsza — słowa) w 8-bitowym rejestrze pośrednim układu DMA. Poprzez opisane powyżej przesuwanie adresu można uzyskać adresy dla słów nawet 64-bitowych i większych, ale transmisja musi wtedy obejmować całkowitą liczbę takich słów. Urządzenie blokowe chcące przesłać np. 1025 bajtów nie będzie więc właściwie obsłużone.

W architekturach odmiennych od AT (np. EISA) kontrolery DMA są 32-bitowe i tym samym dopasowane do szerokości szyn. Również szybkość zegara DMA przekracza znacznie początkowe 4,77 MHz pamiętające czasy IBM PC.

Układ odświeżania pamięci

W charakterze pamięci operacyjnej PC stosowane są układy dynamiczne, które należą do grupy tzw. pamięci ulotnych. Ich zawartość zanika po pewnym (stosunkowo krótkim) czasie i musi być odnawiana. Proces ten (analizowany od strony elektronicznej) nie różni się od zwykłego odczytu. Taki „sztuczny" odczyt przeprowadza się całymi wierszami lub kolumnami i musi być on powtarzany z pewną minimalną częstotliwością. Implementacja odświeżania może być zrealizowana na kilka sposobów:

- przez niezależny sprzętowy układ wbudowany w kontroler pamięci lub wręcz sam chip pamięciowy (SDRAM),
- przez układ pobudzany impulsami z licznika programowanego 8254,
- poprzez podprogram wykonywany w odpowiedzi na zgłoszenie przerwania NMI,
- przez kanał 0 DMA pobudzany impulsami z licznika programowanego 8254 (metoda ta stosowana jest standardowo w PC/XT, rzadziej w PC/AT).

Programowany licznik nr 1 układu 8254 pracuje jako generator przebiegu prostokątnego o częstotliwości około 66 Hz. Jego wyjście połączone jest z końcówką DREQ0 układu 8237A (*Slave*) i wyzwala żądanie obsługi. Kanał 0 zaprogramowany jest w trybie „S" (*Single*) do realizacji pojedynczych transmisji typu pamięć-urządzenie wejścia-wyjścia. Obsługa żądania polega na odczytaniu zawartości komórki i przekazaniu jej do urządzenia

zgłaszającego żądanie. Na pierwszą fazę cyklu składa się przejęcie kontroli nad magistralami, wystawienie adresu na magistralę adresową, wygenerowanie impulsu ~MEMR. W fazie drugiej aktywowane są impulsy ~IOW i AEN.

W rzeczywistości do pracy pobudzone zostają również wzmacniacze odczytu pamięci dynamicznej. Powoduje to automatyczne odświeżenie zawartości nie tylko danej komórki, ale i wiersza czy kolumny (zależnie od organizacji pamięci). Adresowane słowo zostaje oczywiście wystawione na magistralę danych. Możliwość pobrania go przez urządzenie wejścia-wyjścia sygnalizowana jest przez układ kontrolera DMA niskim poziomem na wyjściu ~IOR. Polecenie to jest oczywiście ignorowane, gdyż żadne urządzenie nie reaguje na kombinację sygnałów ~DACK0, AEN i ~IOW. W następnym cyklu zegara systemowego dane znikają z magistrali. Każda taka pseudotransmisja powoduje zmniejszenie wewnętrznego licznika transmisji i zwiększenie licznika adresu o jeden. Następny impuls na wejściu DREQ0 powoduje wygenerowanie następnego adresu.

Układ 8237A może być tak zaprogramowany, by po osiągnięciu zadanej liczby przesłań (dekrementowany licznik transmisji przechodzi przez stan 0000h do FFFFh) następowało ponowne zapisanie rejestrów adresowych i licznika tymi samymi wartościami (patrz bit 4 rejestru trybu). Czynności związane ze wstępnym zaprogramowaniem rejestrów kontrolera DMA zawarte są w procedurach inicjalizacyjnych BIOS-u.