helion.pl
KSIĘGARNIA INTERNETOWA · WYDAWNICTWO

IDŹ DO
PRZYKŁADOWY ROZDZIAŁ
SPIS TREŚCI

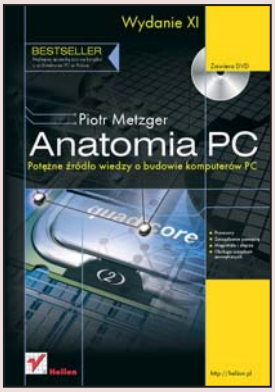
KATALOG KSIĄŻEK
KATALOG ONLINE
ZAMÓW DRUKOWANY KATALOG

TWÓJ KOSZYK
DODAJ DO KOSZYKA

CENNIK I INFORMACJE
ZAMÓW INFORMACJE O NOWOŚCIACH
ZAMÓW CENNIK

CZYTELNIA
FRAGMENTY KSIĄŻEK ONLINE

Anatomia PC. Wydanie XI



Autor: Piotr Metzger
ISBN: 978-83-246-1119-5
oprawa twarda
Zawiera DVD
Zmiany od poprzedniego wydania

Potężne źródło wiedzy o budowie komputerów PC

- Procesory
- Zarządzanie pamięcią
- Magistrale i złącza
- Obsługa urządzeń zewnętrznych

Komputer to skomplikowany organizm, a znajomość anatomii współczesnych pecetów to wiedza niezbędna każdemu serwisantowi, programiście i projektantowi urządzeń współpracujących z komputerami. Informacje te przydają się także zwykłym użytkownikom komputera, którzy próbują samodzielnie dociec przyczyn nieprawidłowego działania sprzętu i sprawnie się z nimi uporać. Niestety, szczegółowe dane o komponentach peceta są nie tylko trudno dostępne, ale przede wszystkim rozproszone w wielu dokumentach, specyfikacjach i schematach.

Książka „Anatomia PC" to kompletne opracowanie zawierające informacje o architekturze komputerów PC i ich komponentów. Jedenaste już wydanie tej klasycznej i cieszącej się ogromną popularnością pozycji jest - podobnie jak poprzednie - prawdziwym kompendium wiedzy o współczesnych pecetach, opisującym zarówno rozwiązania klasyczne, jak i nowości z ostatnich miesięcy. Dzięki tej książce poradzisz sobie ze wszystkimi problemami sprzętowymi, zdiagnozujesz usterki i zaprojektujesz urządzenia poprawnie współpracujące z komputerem.

„Anatomia PC. Wydanie XI" opisuje zagadnienia takie, jak:

- mikroprocesory rodziny x86 wraz z najnowszymi Intel Core 2 oraz AMD Athlon/Opteron/Phenom;
- koprocesory i rozszerzenia, takie jak MMX, 3DNow, SSE, SSE2 i HT;
- procesory dwurdzeniowe;
- architektury komputerów PC XT, AT, 386, 486 i Pentium, systemów jedno- i wieloprocesorowych oraz komputerów przenośnych;
- układy pamięciowe stosowane w komputerach PC (SIMM, DRAM, SDRAM, DDR, DDR2, DDR3) oraz zasady ich obsługi;
- chipsety Intel, VIA, SiS, i865/875, obsługa przerwań, magistrala PCI i kanał DMA, mostkowanie PCI-E - AGP;
- obsługa stacji dyskietek i dysków twardych (organizacja i odczyt danych, praca kontrolera, macierze RAID);
- złącza ATA, SCSI i FireWire;

Ponadto w książce znajdziesz informacje o diagnozowaniu usterek komputera za pomocą Linuksa, opisy mikroprocesorów firm Intel, AMD i Cyrix (w tym także najnowszych jednostek 64-bitowych) oraz adresy witryn internetowych producentów sprzętu i oprogramowania diagnostycznego.

Wydawnictwo Helion
ul. Kościuszki 1c
44-100 Gliwice
tel. 032 230 98 63
e-mail: helion@helion.pl

Spis treści

Rozdział 1. Mikroprocesor 19
Przetwarzanie rozkazów 21
RISC i CISC 21
Przetwarzanie potokowe 22
Techniki przyspieszania 25
Dostęp do pamięci 32
Adresowanie 34
Stronicowanie 36
Pamięci podręczne 37
Topologie 38
Organizacja pamięci podręcznej 41
Strategie 43
Pamięć podręczna procesora 80386 43
Obsługa przestrzeni adresowej I/O 47
Procesor 8086 48
Procesory 80386 i 80486 48
Pentium 49
Funkcje kontrolne i sterujące 49
BIST 50
Kontrola TLB 50
Kontrola pamięci podręcznej 50
Przejście w stan wysokiej impedancji 50
JTAG 50
Częstotliwość taktowania 52
Zasilanie 54
Jak rozpoznać typ procesora? 56
Czy procesor jest zgodny z układem 80286 lub lepszym? 56
Procesor 8086/88 czy 80186/88? 58
Procesor 80286 58
Procesor 80386 58
Procesor 486 czy Pentium? 58
Koprocesory 60
Koprocesor 8087 62
Koprocesor 80287 62
Koprocesor 80387 63
Koprocesor i487SX 63
Rozszerzenia 64
MMX 64
3DNow! 76
SSE 77

SSE2 81
SSE3 83
SSSE3 85
Hyper-Threading (HT) 85
Przetwarzanie 64-bitowe 90
Metoda firmy Intel: Itanium 91
Metoda firmy AMD: Opteron 93
Przyszłość przetwarzania 64-bitowego 96

Rozdział 2. Architektury komputerów PC 97
Model PC/XT 97
Procesor 8086 97
Procesor 8088 100
Dostęp do pamięci i przestrzeni wejścia-wyjścia 101
Kontroler 8288 102
Magistrala ISA 8-bitowa 106
Model AT 109
Procesor 80286 112
Magistrala ISA 16-bitowa 113
Komputery z procesorami 386, 486 i Pentium 115
EISA 117
MCA 119
VESA 121
PCI, PCI-X i PCI Express 122
Architektury systemów wieloprocesorowych 124
Architektura MPP 124
Architektura UMA 125
Architektura NUMA 129
Specyfikacja MP (Intel) 130
Zastosowania praktyczne 138
Architektura komputerów przenośnych 146
Złącze PCMCIA 146

Rozdział 3. Układy pamięciowe PC 149
Pamięci dynamiczne 150
Tryb konwencjonalny (Page Mode) 151
FPM (Fast Page Mode) 151
EDO (Extended Data Out) 154
BEDO (Burst EDO) 154
Porównanie 156
SDRAM 156
Moduły pamięciowe 165
Moduły SIMM-30 (SIP) 167
Moduły SIMM PS/2 167
Moduły DIMM 168-stykowe 173
Odświeżanie 186
RAS Only 188
CBR (CAS before RAS) 189
Hidden 190
Wykrywanie błędów i ich korekcja 191
Błędy powtarzalne (HE) 191
Błędy sporadyczne (SE) 192
Kontrola parzystości 192
Kontrola ECC 194

Rozszerzenia standardu magistrali PC-66 ... 195
Parametry modułów ... 196
Pamięć konfiguracyjna (SPD) ... 198
Moduły buforowane ... 201
DDR SDRAM ... 203
Systemy dwukanałowe ... 212
DDR2 SDRAM ... 213
Moduły DIMM DDR2 ... 213
DDR3 SDRAM ... 219
Moduły DIMM DDR3 ... 220
Moduły FB-DIMM ... 222
RDRAM ... 224
VC-SDRAM ... 230

Rozdział 4. Układy otoczenia procesora ... 233
Zakres funkcji ... 233
Magistrala FSB ... 235
Obsługa pamięci operacyjnej i magistrali pamięciowej ... 237
Obsługa pamięci podręcznej (Cache) ... 239
Zakres pokrywany przez pamięć podręczną ... 241
Pojemność obsługiwanej pamięci operacyjnej i zakres obsługiwany przez MTRR ... 242
Układy sterujące — platforma Intel IA-32 ... 243
Układy do obsługi procesorów AMD ... 249
Rodzina K7 ... 249
Rodzina Hammer ... 254
Wewnętrzne magistrale międzyukładowe ... 260
PCI ... 262
Hub-Interface, V-Link i MuTIOL ... 262
RapidIO ... 262
HyperTransport (LDT) ... 267

Rozdział 5. Magistrala PCI ... 271
Gniazda magistrali PCI ... 281
Obsługa przerwań ... 283
Przerwania zgłaszane komunikatem ... 285
Pamięć konfiguracyjna urządzeń PCI ... 286
Identyfikator producenta (Vendor ID) ... 286
Identyfikator urządzenia (Device ID) ... 287
Rejestr poleceń (Command) ... 287
Rejestr stanu (Status) ... 288
Numer wersji urządzenia (Revision ID) ... 289
Kod klasy urządzenia (Class Code) ... 289
Rozmiar linii pamięci podręcznej (Cache Line Size) ... 292
Minimalny czas transmisji (Latency Timer) ... 293
Typ nagłówka (Header Type) ... 293
BIST (Build-in Self-test) ... 293
Adres bazowy (Base Address Registers) ... 294
Wskaźnik CardBus CIS (CardBus CIS Pointer) ... 295
Dodatkowy identyfikator producenta (Subsystem Vendor ID) i dodatkowy identyfikator urządzenia (Subsystem ID) ... 296
Adres bazowy rozszerzenia ROM (Expansion ROM Base Address) ... 296
Wskaźnik do listy możliwości (Capabilities Pointer) ... 297
Linia IRQ (Interrupt Line) ... 297
Linia INT (Interrupt Pin) ... 297
Długość transmisji (Min_Gnt) ... 297
Częstość (Max_Lat) ... 297

Mechanizmy dostępu do pamięci konfiguracyjnej 298
Pierwszy mechanizm dostępu do pamięci konfiguracyjnej 298
Drugi mechanizm dostępu do pamięci konfiguracyjnej 299
PCI BIOS 299
Autokonfiguracja urządzeń PCI 300
Rozwój PCI i inne magistrale 300
PCI-32/66 MHz i PCI-64 301
PCI-X 302
PCI Express 305

Rozdział 6. Kanał DMA 315
Układ scalony 8237A 316
Tryby pracy kontrolera DMA 318
Tryb spoczynkowy „I" (Idle) 318
Tryb „S" (Single) 319
Tryb „B" (Block) 319
Tryb „D" (Demand) 319
Tryb „C" (Cascade) 319
Tryb „V" (Verify) 319
Kaskadowe łączenie układów 8237A 320
Programowanie kontrolerów DMA 320
Adresy portów kontrolerów DMA w komputerze IBM PC/XT 321
„Sztuczne" porty komputera PC/XT 322
Adresy portów kontrolerów DMA w komputerze IBM PC/AT 322
„Sztuczne" porty komputera PC/AT 323
Budowa rejestrów wewnętrznych 324
Rejestr żądań (port 009h w PC/XT, 009h i 0D2h w PC/AT) 324
Rejestr stanu (port 008h w PC/XT, 008h i 0D0h w PC/AT) 324
Rejestr rozkazów (port 008h w PC/XT, 008h i 0D0h w PC/AT) 324
Rejestr maski kanału (port 00Ah w PC/XT, 00Ah i 0D4h w PC/AT) 325
Rejestr maskujący (port 00Fh w PC/XT, 00Fh i 0DEh w PC/AT) 326
Rejestr trybu (00Bh w PC/XT, 00Bh i 0D6h w PC/AT): 326
Przebieg transmisji 327
Komputery IBM PC i IBM PC/XT 327
Komputer IBM PC/AT 328
Układ odświeżania pamięci 330
DMA a współczesne magistrale rozszerzające 331

Rozdział 7. System obsługi przerwań sprzętowych 333
Układ scalony 8259A (PIC) 334
Cykl przyjęcia zgłoszenia 336
Kaskadowe łączenie kontrolerów przerwań 337
Fazy obsługi przerwań pochodzących od układu Slave 339
Programowanie kontrolera przerwań 339
Inicjowanie pracy układu 340
Polling 344
Przerwanie niemaskowalne (NMI) 344
Obsługa przerwań z magistral ISA, PCI i AGP 345
Kontroler APIC 348
Strona sprzętowa 350
Obsługa APIC przez OS 353
Przerwania zgłaszane komunikatem 357

Rozdział 8. Obsługa stacji dyskietek ... 359
Fizyczna organizacja danych na dyskietce ... 361
Programowanie operacji dyskowych ... 364
Programowanie operacji dyskowych z poziomu systemu MS-DOS ... 364
Przerwanie 25h ... 365
Przerwanie 26h ... 366
Przerwanie 21h ... 366
Obsługa dysków za pomocą funkcji BIOS-u ... 367
Bezpośredni dostęp do kontrolera napędu dysków elastycznych ... 376
Cykl rozkazowy kontrolera ... 379
Faza przygotowawcza ... 379
Faza przekazywania rozkazu ... 379
Budowa przykładowego rozkazu — rozkaz RS (Read Sector) ... 380
Alternatywne metody transmisji danych ... 385
Uwzględnianie mechanicznych własności napędu ... 386
Zabezpieczanie danych — kod CRC ... 388

Rozdział 9. Obsługa dysku twardego ... 391
Budowa kontrolera ... 391
Systemy kodowania MFM i RLL ... 392
Fizyczna organizacja danych i formatowanie ... 394
Formatowanie wysokiego poziomu ... 395
Formatowanie niskiego poziomu ... 396
Wykrywanie i korekcja błędów ... 398
Standard AT-BUS ... 401
Wstęp ... 402
Złącze fizyczne ... 404
Dostęp CPU do dysku AT-BUS ... 406
Cykl programowania kontrolera ... 413
Rozszerzenia standardu pierwotnego ... 417
Wzrost pojemności dysków ... 420
Ograniczenia wnoszone przez BIOS ... 421
Ograniczenia wnoszone przez systemy operacyjne ... 431
Obsługa dużych dysków ... 434
Podnoszenie pasma przepustowego magistrali ... 435
Tryby PIO ... 436
Tryby DMA ... 438
Tryb Ultra DMA/33 ... 439
Tryb Ultra DMA/66 ... 442
Tryby Ultra ATA/100 i Ultra ATA/133 ... 444
Blok informacyjny ... 445
Realizacja rozkazu Identify Device ... 445
Lista rozkazów ... 451
Funkcje oszczędnościowe ... 452
System PM ... 452
System APM ... 454
Funkcje akustyczne ... 455
Dostęp do funkcji AAM ... 455
Wykorzystanie powierzchni dyskowej ... 457
Proces ładowania systemu operacyjnego ... 457
MBR i PT ... 458
System danych i FSBR ... 460
Specyfika wybranych systemów operacyjnych ... 462
Przypisywanie oznaczeń literowych ... 466
Programy BM ... 467

Macierze dyskowe 468
Poziomy RAID 469
Kontrolery RAID 473
Rozwiązania programowe z poziomu systemu operacyjnego 473
Tryby macierzowe zestawów układów sterujących firmy Intel 475
S.M.A.R.T. 475
Struktura systemu 476
Aplikacje współpracujące ze S.M.A.R.T. 478
Wielowątkowy dostęp przez Serial ATA 479
Zarządzanie kolejką 479
Rozpędzanie dysku 480
Optymalizacja ruchu głowicy 480
Opóźnienie w ruchu obrotowym 481
Korzyści i wspomaganie Native Command Queuing 481
Jak aplikacje mogą korzystać z kolejkowania 483
Pamięci USB 484
Interfejs 485
Cechy pamięci USB 485
Wydajność 486

Rozdział 10. Magistrala szeregowa ATA 489
Specyfikacja 491
Sterowanie 491
Okablowanie 492
Urządzenia 493
Protokół i transmisja 494
Serial ATA 2.0 500
Kolejkowanie rozkazów 500
Powielacze portów 501
Backplane 502

Rozdział 11. Standard SCSI 507
Realizacja magistrali 510
Organizacja protokołu 513
Fazy pracy magistrali 514
Transfer danych w fazach informacyjnych 527
Sytuacje wyjątkowe 534
Rozkazy systemowe 538
Informacja statusowa 542
Komunikaty (Messages) 543
System wskaźników 548
Przykładowa wymiana danych 550
SCSI w komputerach PC 554
Host-Adapter 555
Okablowanie 559
Terminatory 561
Rozszerzenia SCSI 563

Rozdział 12. Złącze 1394 (Fire Wire) 577
Ogólne założenia standardów 1394-1995 i 1394a-2000 578
Tryby i prędkość transmisji 578
Topologia 579
Okablowanie 580
Gwarantowane pasmo transmisyjne 581

Rozszerzenia 1394b ... 582
Klasy prędkości ... 582
Okablowanie ... 582
Protokół ... 585

Rozdział 13. Karty graficzne ... 587
Przegląd kart graficznych ... 587
Omówienie kart graficznych EGA, VGA i SVGA ... 591
Tryby tekstowe ... 594
Tryby graficzne ... 595
Rozdzielczość obrazu ... 595
Tryby zapisu i odczytu pamięci obrazu ... 596
Schemat działania karty graficznej ... 597
Standard VESA ... 599
Pamięć lokalna akceleratora ... 599
Frame Buffer ... 600
Bufor Z/W ... 601
Pamięć tekstur ... 603
Rozmiar pamięci i organizacja ... 604
Rodzaje pamięci kart graficznych ... 607
RAMDAC ... 611
Przegląd nowych procesorów graficznych ... 614
Dopasowanie monitora do karty ... 618
Parametry karty ... 619
Jakość monitora ... 620
Monitory ciekłokrystaliczne ... 622
Kanał informacyjny VESA DDC ... 624
Złącza cyfrowe ... 626
TMDS ... 626
P&D (EVC) ... 627
DFP ... 627
DVI ... 629
HDMI ... 630

Rozdział 14. Przetwarzanie obrazów wideo ... 633
Formaty MPEG ... 636
MPEG-1 ... 636
MPEG-2 ... 637
MPEG-4 ... 638
Format DivX ... 639
Rozdzielczość ... 639
Bitrate w filmach DivX ... 640
Smart Bitrate Control i Constant Bitrate Control ... 640
Profile kompresji ... 641
Następca formatu DivX ... 641
Rozwiązania programowe na platformie PC ... 643
Kodery ... 644
Odtwarzacze ... 646
Wspomaganie sprzętowe ... 648
Interfejs programowy ... 650

Rozdział 15. Grafika 3D ... 653
Schemat przetwarzania obiektów 3D ... 654
API ... 656
Geometry Engine ... 658
Tłumaczenie opisu środowiska ... 658

Oświetlenie i tekstura 658
Przekształcenia geometryczne 659
Strefa widoczności 659
Przekazanie parametrów do jednostki rasteryzującej 660
Rendering Engine 660
Teksturowanie 663
Korekcja perspektywy 664
Nakładanie mapy 665
Mieszanie kolorów 670
Efekty specjalne 671
Podział mocy obliczeniowej 672

Rozdział 16. Magistrala AGP 675

Architektura komputera z magistralą AGP 675
Sygnały magistrali AGP 679
Szyna adresów i danych 682
Sygnały PCI 682
Sygnały kontroli przepływu 683
Sygnały obsługi żądań AGP 683
Linie statusowe 683
Sygnały kluczujące 684
Sygnały USB 684
System zarządzania zużyciem energii 684
Sygnały specjalne 685
Linie zasilające 685
AGP w teorii 685
Kolejkowanie 686
Magistrala SBA 688
GART 689
DIME 690
AGP w praktyce 692
Wymagania sprzętowe i programowe 692
Kontrola działania 693
AGP PRO 696
AGP 3.0 699
Pasmo przepustowe 699
Poziomy napięć 699
Nowe sygnały i przedefiniowania 700
Sygnały zegarowe 700
Transakcje 702
Pobór prądu 702
Zgodność w dół 702
Implementacja w chipsetach 703
Przyszłość standardu AGP 703

Rozdział 17. System odmierzania czasu 705

Układ 8253/8254 705
Tryb 0 707
Tryb 1 707
Tryb 2 708
Tryb 3 708
Tryb 4 708
Tryb 5 709
Programowanie generatora 8253/8254 709
Zegar systemowy 712

Układ odświeżania pamięci dynamicznej ... 713
Obsługa głośnika ... 715
Drugi układ 8254 i jego zastosowanie ... 717
Odmierzanie czasu z wykorzystaniem licznika cykli procesora ... 719

Rozdział 18. Pamięć CMOS-RAM ... 721
Organizacja pamięci CMOS ... 722
Rejestr A (offset 0Ah) ... 724
Rejestr B (offset 0Bh) ... 724
Rejestr C (offset 0Ch) ... 725
Rejestr D (offset 0Dh) ... 726
Rejestr E (offset 0Eh) — Diagnostic Status Byte ... 726
Rejestr F (offset 0Fh) — Shutdown Byte ... 727
Konfiguracja napędów dyskietek (offset 10h) ... 728
Konfiguracja dysków twardych (offset 12h) ... 728
Pamięć (offset 15h) ... 729
Suma kontrolna ... 730
Bajt konfiguracji sprzętowej (Equipment Byte) ... 730
Funkcje BIOS-u obsługujące pamięć konfiguracji ... 730
Funkcja 00h ... 731
Funkcja 01h ... 731
Funkcja 02h ... 731
Funkcja 03h ... 732
Funkcja 04h ... 732
Funkcja 05h ... 733
Funkcja 06h ... 733
Funkcja 07h ... 733
Bezpośredni dostęp do pamięci CMOS ... 734

Rozdział 19. Obsługa urządzeń wejściowych ... 735
Klawiatura ... 735
Mapa klawiatury ... 737
Organizacja obsługi klawiatury przez BIOS ... 743
Funkcje przerwania 16h BIOS-u ... 748
Bezpośrednie programowanie klawiatury ... 753
Mysz ... 762
Moduły dostosowujące a podłączanie myszy ... 765
Funkcja 00h ... 765
Funkcja 01h ... 766
Funkcja 02h ... 766
Funkcja 03h ... 766
Funkcja 04h ... 767
Funkcja 05h ... 767
Funkcja 06h ... 768
Funkcja 0Bh ... 768
Manipulator ... 769
Funkcja 84h ... 771
Urządzenia bezprzewodowe ... 771
Transmisja w paśmie podczerwieni ... 772
Transmisja radiowa ... 772
Bluetooth ... 772

Rozdział 20. Łącze szeregowe ... 775
Asynchroniczna transmisja szeregowa ... 775
Układ scalony 8250 ... 777

Interfejs RS-232C ... 780
Tryb simpleksowy ... 782
Tryb półdupleksowy ... 783
Tryb dupleksowy ... 783
Dostęp do łącza szeregowego z poziomu systemu MS-DOS ... 785
Funkcja 03h ... 785
Funkcja 04h ... 786
Funkcja 3Fh ... 786
Funkcja 40h ... 787
Funkcje BIOS-u obsługujące łącze szeregowe ... 787
Funkcja 00h ... 789
Funkcja 01h ... 791
Funkcja 02h ... 791
Funkcja 03h ... 791
Bezpośrednie programowanie rejestrów UART ... 792
Przerwania generowane przez łącze szeregowe ... 794
Prędkość transmisji ... 796
Sygnały sterujące ... 797
Układ UART 16450 ... 799

Rozdział 21. Łącze równoległe ... 801
Terminologia programu konfiguracyjnego BIOS-u ... 803
Tryby podstawowe ... 804
Tryb standardowy ... 804
Tryb półbajtowy ... 810
Tryb bajtowy (PS/2) ... 811
Tryb EPP ... 811
Tryb ECP ... 814
Realizacja portu równoległego w ramach architektury PC ... 819
Dostęp do łącza równoległego poprzez funkcje BIOS-u ... 820
Funkcja 00h ... 820
Funkcja 01h ... 822
Funkcja 02h ... 822
Dostęp do łącza równoległego z poziomu systemu MS-DOS ... 824
Funkcja 05h ... 824
Funkcja 40h ... 824
Ogólne zastosowanie łącza równoległego ... 825

Rozdział 22. Złącze USB ... 831
Specyfikacja ... 831
Topologia ... 832
Okablowanie ... 834
Protokół ... 836
Pakiety ... 837
Sterowanie w trybach LS/FS (USB 1.1) ... 839
Sterowanie w trybie HS (USB 2.0) ... 840
USB w praktyce ... 843
Windows 95 ... 845
Windows 98/98SE ... 845
Windows NT ... 846
Windows 2000/XP/2003/Vista ... 846
USB 2.0 ... 846
Urządzenia USB ... 847
Klawiatury ... 847
Myszy ... 847

Kontrolery gier ... 848
Dyski twarde ... 848
Moduły pamięci Flash EEPROM ... 849
Napędy optyczne ... 849
Czytniki kart pamięci i aparaty cyfrowe ... 849
Skanery ... 850
Drukarki ... 850
Sieci komputerowe ... 850

Rozdział 23. Złącze bezprzewodowe wykorzystujące fale podczerwieni (IrDA) ... 851
Protokoły komunikacyjne IrDA ... 851
Standard IrDA-CONTROL ... 852
Standard IrDA-DATA ... 853
IrDA w praktyce ... 855
Windows 95 ... 857
Windows 98 ... 858
Windows ME ... 858
Windows NT ... 858
Windows 2000 ... 858
Windows XP, 2003, Vista ... 859
Przyszłość standardu IrDA ... 859

Rozdział 24. System ograniczania zużycia energii (ACPI) ... 861
Model warstwowy ACPI ... 862
Przegląd stanów energetycznych ... 865
Wskazówki praktyczne ... 867
Windows 98 ... 867
Windows 2000 ... 869
Windows XP, 2003 i Vista ... 871
Kontrola sterowników ... 871

Rozdział 25. Nośniki optyczne ... 873
Organizacja fizyczna danych ... 874
Przetwarzanie danych audio ... 874
Przetwarzanie danych cyfrowych ... 877
Informacja subkanałowa ... 878
Subkanał Q i TOC ... 880
Sesja i ścieżka ... 882
Formaty ... 883
Specyfikacje ... 887
Płyta CD-R ... 888
Płyta CD-RW ... 891
Technologia DVD ... 892
Kodowanie ... 893
Korekcja błędów ... 893
Formaty ... 894
DVD-R ... 894
DVD-RW ... 895
DVD+R/+RW ... 896
Płyty dwuwarstwowe — Dual Layer ... 897
DVD-RAM ... 898
Płyta DVD ... 900
HD DVD ... 902

Czytniki i nagrywarki 906
OPC 908
BURN-Proof i pochodne 908
MultiRead 909
Mount Rainier 909
Audio Master 910
Urządzenia kombinowane z DVD 910
Badanie formatu nośnika 914
Standard Blu-ray Disc 916
Osiągnięcie większej gęstości zapisu 917
Wytwarzanie płyt Blu-ray Disc 921
Kompatybilność ze starszymi formatami 923
Zabezpieczenie przed kopiowaniem 923
Kasety na dyski Blu-ray 924
Samodzielna diagnostyka 925
Technologia LightScribe 926

Rozdział 26. Nowoczesne magistrale szerokopasmowe 929
Fibre Channel 930
Topologie 931
Sterowanie 931
Protokół 933
Systemy złączy i okablowanie FC 933
Dyski ze złączem FC 935
Infini Band 937
Architektura 938
Sterowanie linii 938
Protokół 939
Okablowanie IBA 940

Rozdział 27. Karta dźwiękowa 943
Synteza FM 944
Synteza WaveTable 949
Digitalizacja i obróbka cyfrowa (DSP) 952
Przetworniki ADC i DAC 953
Standard MIDI 955
Protokół MIDI 956
MIDI od strony sprzętowej 957
Modelowanie przestrzenne 959
Wyprowadzenia zewnętrzne 964
Sygnały analogowe i mikser 964
Sygnały cyfrowe 965
Wykorzystanie zasobów systemowych 968
„Sound on Board" według specyfikacji AC'97 969
Schemat blokowy systemu AC'97 970
Układ scalony Codec AC'97 972

Rozdział 28. Modemy 975
Implementacje modemów analogowych 975
Modulacja sygnału 978
AM i QAM 978
FSK 979
PM i PSK 979
PCM 979
TCM 979

Standardy ... 980
Standardy Bell ... 981
V.21/V.22/V.22bis/V.23 ... 981
V.32/V.32bis/V.32turbo ... 981
V.34 (V.Fast, V.34+, V.FC) ... 981
V.42 (MNP)/V.42bis ... 981
V.90 ... 982
V.92 ... 984
Dalsze perspektywy ... 984
Polecenia AT ... 985
Łańcuchy inicjalizujące ... 986
Zestaw układów sterujących modemu ... 987
Konfiguracja i diagnostyka modemów ... 988
Środki własne OS ... 988
Programy dodatkowe ... 989
Modemy cyfrowe ISDN ... 992
Protokół ISDN ... 994
Warstwa fizyczna ... 995
Warstwa łącza danych ... 995
Warstwa sieci ... 996
Rozszerzenia funkcjonalności ... 999
Modemy xDSL ... 999
Technologia transmisji ... 1000
Modemy HiS ... 1002

Rozdział 29. PC w sieci lokalnej ... 1005

Model OSI ... 1006
Warstwa fizyczna (L1) ... 1006
Łącze (L2) ... 1007
Sieć (L3) ... 1007
Transport (L4) ... 1008
Sesja (L5) ... 1008
Warstwa prezentacji (L6) ... 1008
Warstwa użytkowa (L7) ... 1008
Ethernet i TCP/IP ... 1008
Kapsułkowanie do ramki Ethernet ... 1009
Protokół TCP/IP ... 1011
Karta sieciowa ... 1013
Komunikacja z pamięcią i buforowanie ... 1014
Formowanie ramki ... 1015
Konwersja szeregowo-równoległa ... 1016
Kodowanie i dekodowanie ... 1016
Dostęp do medium i wykorzystanie pasma ... 1017
Chipset karty ... 1017
Wyposażenie, diagnostyka, konfiguracja ... 1018
Realizacje sieci Ethernet ... 1019
Okablowanie ... 1022
Konstrukcja kabli ... 1022
Kategorie i klasy ... 1024
Połączenia PC i proste sieci ... 1027
Wybór karty sieciowej i okablowania ... 1028
System operacyjny i sterowniki protokołów ... 1030
Przesyłanie danych ... 1033
Netio Benchmark ... 1035
Monitorowanie ruchu sieciowego na poziomie pakietów ... 1035
Nadzorowanie aktywnych połączeń ... 1037

Sieci bezprzewodowe ... 1037
Specyfikacje ... 1038
Topologie ... 1042
Ramka ... 1043
Uwierzytelnienie ... 1043
Bezpieczeństwo ... 1044

Rozdział 30. Bluetooth ... 1047
Założenia ogólne i specyfikacje ... 1048
Protokoły ... 1048
Warstwa fizyczna ... 1050
Sieć ... 1051
Pakiety ... 1053
Bezpieczeństwo ... 1055
Wykrywanie błędów ... 1057
Korekcja błędów ... 1058
Przykłady zastosowań ... 1058
Rozwój Bluetooth ... 1060
Bluetooth 1.2 ... 1060
Bluetooth 2.0 ... 1060
Przyszłość Bluetooth ... 1060

Rozdział 31. Zasilacz ... 1063
Zasilacz standardu ATX ... 1065
Specyfikacja ATX/ATX12V ... 1068
Złącze zasilające PCI Express ... 1070
Dobór zasilacza ... 1071
Przykładowe rozwiązania ... 1072
Zasilacze dużej mocy ... 1075
ATXGES (AMD) ... 1075
EPS12V (Intel) ... 1075

Rozdział 32. Zasilacze awaryjne ... 1079
Źródła zakłóceń ... 1080
Chwilowe zaniki napięcia ... 1080
Spadki o średniej długości ... 1080
Długotrwałe spadki napięcia ... 1081
Przepięcia ... 1081
Pakiety ... 1081
Wysokie harmoniczne ... 1081
Całkowity zanik napięcia ... 1081
Zasilacz PC jako odbiornik prądu zmiennego w sieci ... 1082
Budowa układów UPS ... 1084
Baterie ... 1085
Elementy kontrolne i regulacyjne ... 1086
Czas buforowania ... 1087
Topologie ... 1088
Kształt napięcia wyjściowego zasilacza awaryjnego ... 1091
Zakres napięć wejściowych ... 1091
Programy obsługujące urządzenia UPS ... 1092
Środki systemu operacyjnego ... 1092
Programy własne producentów UPS ... 1092

Rozdział 33. BIOS i jego program konfiguracyjny 1095
Organizacja systemu bezpieczeństwa 1096
Możliwości omijania systemu bezpieczeństwa 1098
System ochrony przed wirusami atakującymi MBR 1102
System ładowania wartości predefiniowanych 1102
Mechanizm opuszczania programu konfiguracyjnego 1103
Ogólna konstrukcja blokowa 1103
Programy pseudo-BIOS-SETUP 1104
Aktualizacja BIOS-u 1104
Wstęp 1104
Niebezpieczeństwo 1104
Aktualizacja 1105
W razie niepowodzenia — reanimacja 1106
Nowe możliwości — aktualizacja w środowisku Windows 1107
Nowe trendy w programach BIOS 1107
Obrazki w BIOS-ie 1107
Podwójny BIOS 1108
POST on Board 1108
Voice Diagnostic 1109
Auto-Overclocking 1109
Soft Menu 1109

Bibliografia 1151
Literatura polskojęzyczna 1151
Literatura anglojęzyczna 1156
Wydawnictwa 1157

Skorowidz 1159

Dodatek A Przegląd architektury mikroprocesorów ..... DVD-ROM

Dodatek B Systemy oznaczeń scalonych układów pamięciowych ..... DVD-ROM

Dodatek C Baza adresów internetowych ..... DVD-ROM

Dodatek D Przykład współpracy z magistralą ISA ..... DVD-ROM

Dodatek E Rejestry sterowników EGA/VGA ..... DVD-ROM

Dodatek F Funkcje BIOS-u obsługujące karty graficzne ..... DVD-ROM

Dodatek G Linux w zastosowaniach ..... DVD-ROM

Dodatek E

Rejestry sterowników EGA/VGA

Zapisu i odczytu rejestrów sterowników graficznych dokonuje się za pomocą instrukcji `out` i `in`. Większość dostępnych rejestrów zgrupowana jest w pary, przy czym pierwszy rejestr jest rejestrem indeksowym, a drugi — indeksem informacyjnym.

Przykładowy zapis wartości do rejestru może wyglądać następująco:

```
mov dx,adres_rejestru
mov al,index_rejestru
out dx,al
mov al,wartość
inc dx
out dx,al
```

Przykładowy odczyt zawartości rejestru:

```
mov dx,adres_rejestru
mov al,index_rejestru
out dx,al
inc dx
in  al,dx  ; rejestr AL zawiera odczytaną wartość.
```

Rejestry sterownika EGA służą tylko do zapisu, niemożliwe jest odczytanie ich zawartości. Jeżeli chcemy zachować wpisane wartości, musimy w pamięci RAM zachować ich kopie. Przed modyfikowaniem zawartości rejestrów należy zablokować przyjmowanie przerwań rozkazem `cli`, a po zapisie do rejestru odblokować je rozkazem `sti`. Do dobrego tonu programowania należy odtworzenie wartości wszystkich modyfikowanych rejestrów przed wyjściem z programu.

Tabela E.1. *Tryby graficzne i tekstowe wprowadzone w standardzie VESA*

Wersja BIOS-u	Numer trybu	Rodzaj trybu	Rozdzielczość	Liczba kolorów
1.0	100h	Graficzny	640×400	256
1.0	101h	Graficzny	640×480	256
1.0	102h	Graficzny	800×600	16
1.0	103h	Graficzny	800×600	256
1.0	104h	Graficzny	1024×768	16
1.0	105h	Graficzny	1024×768	256
1.0	106h	Graficzny	1280×1024	16
1.0	107h	Graficzny	1280×1024	256
1.1	108h	Tekstowy	80×60	16
1.1	109h	Tekstowy	132×25	16
1.1	10Ah	Tekstowy	132×43	16
1.1	10Bh	Tekstowy	132×50	16
1.1	10Ch	Tekstowy	132×60	16
1.2	10Dh	Graficzny	320×200	32 768
1.2	10Eh	Graficzny	320×200	65 536
1.2	10Fh	Graficzny	320×200	16 777 216
1.2	110h	Graficzny	640×480	32 768
1.2	111h	Graficzny	640×480	65 536
1.2	112h	Graficzny	640×480	16 777 216
1.2	113h	Graficzny	800×600	32 768
1.2	114h	Graficzny	800×600	65 536
1.2	115h	Graficzny	800×600	16 777 216
1.2	116h	Graficzny	1024×768	32 768
1.2	117h	Graficzny	1024×768	65 536
1.2	118h	Graficzny	1024×768	16 777 216
1.2	119h	Graficzny	1280×1024	32 768
1.2	11Ah	Graficzny	1280×1024	65 536
1.2	11Bh	Graficzny	1280×1024	16 777 216

Rejestry zewnętrzne (External/General registers)

Pomocniczy rejestr wyjściowy MOR (Miscellaneous Output Register) — adres 3C2h/3CCh

Opisuje podstawowe parametry pracy sterownika.

bit 7	bit 6	bit 5	x	bit 3	bit 2	bit 1	bit 0

bity 7 – 6 Rozdzielczość pionowa:
01 — 350 linii,
10 — 400 linii,
11 — 480 linii.

bit 5 Selekcja połówki pamięci obrazu przy adresowaniu przemiennym:
0 — pierwsze 64 KB,
1 — drugie 64 KB.

bity 3 – 2 Częstotliwość taktowania przy wyświetlaniu punktów:
00 — częstotliwość 25,175 MHz,
01 — częstotliwość 28,322 MHz,
10 — zegar zewnętrzny podłączony przez złącze krawędziowe.

bit 1 Udostępnienie pamięci obrazu procesorowi:
0 — pamięć nieudostępniona,
1 — pamięć udostępniona (standardowy tryb pracy).

bit 0 Wybór adresów I/O dla rejestru urządzeń zewnętrznych, rejestru stanu i rejestrów sterowania wyświetlaczem:
0 — adresy 3B4h, 3B5h, 3BAh,
1 — adresy 3D4h, 3D5h, 3DAh.

Zapis do rejestru odbywa się przez podanie adresu 3C2h, a odczyt przez podanie adresu 3CCh.

Rejestr urządzeń zewnętrznych FCR (Feature Control Register) — adres 3DAh/3CAh

Zarezerwowane	bit 3	Zarezerwowane

bity 7 – 4 Zarezerwowane.

bit 3 Musi mieć wartość zero.

bity 2 – 0 Zarezerwowane.

Zerowy rejestr stanu ISRZ (Input Status Register Zero) — adres 3C2h

Informacja o wygenerowaniu przerwania przy powrocie pionowym.

bit 7	Zarezerwowane

bit 7 Informacja o wygenerowaniu przerwania IRQ2:
0 — przerwanie IRQ2 nie zostało wygenerowane lub zostało wygenerowane przez inne urządzenie,
1 — przerwanie IRQ2 zostało wygenerowane po powrocie pionowym.

Procedura obsługi przerwania musi wyzerować ten bit, modyfikując zawartość rejestru końca powrotu pionowego w układzie sterowania wyświetlaczem.

bity 6 – 0 Zarezerwowane.

Pierwszy rejestr stanu ISRO (Input Status register one) — adres 3BAh (3DAh)

Rejestr przechowuje różne informacje o sterowniku.

Nie używ.	bit 5	bit 4	bit 3	Zarezerw.	bit 0

bity 7 – 6 Zarezerwowane.

bity 5 – 4 Bity diagnostyczne układu określenia atrybutu.

bit 3 Powrót pionowy:
0 — poza powrotem pionowym,
1 — następuje powrót pionowy lub inne urządzenie wygenerowało przerwanie IRQ2.

bity 2 – 1 Zarezerwowane.

bit 0 Faza wyświetlania obrazu:
0 — powrót poziomy lub pionowy,
1 — odczyt pamięci obrazu (wyświetlanie informacji).

Rejestr odłączenia sterownika VSER (Video Subsystem Enable Register) — adres 3C3h

Modyfikacja zawartości tego rejestru umożliwia programowe odłączenie i dołączenie sterownika.

Zarezerwowane	bit 0

bity 7 – 1 Zarezerwowane.

bit 0 Dołączenie lub odłączenie sterownika:
0 — odłączenie sterownika,
1 — dołączenie sterownika.

Układ sekwencyjny

Układ sekwencyjny (*Sequencer*) odpowiada za generowanie sygnału zegarowego, przesyłanie danych pomiędzy pamięcią obrazu, układem graficznym i układem określania atrybutu oraz lokalizację wyświetlanego zbioru znaków.

Rejestr adresowy układu sekwencyjnego SAR (Sequencer Address Register) — adres 3C4h

Wpisanie wartości do rejestru adresowego określa rejestr wewnętrzny, do którego chcemy się odwołać.

Rejestr informacyjny układu sekwencyjnego — adres 3C5h

Poprzez rejestr informacyjny następuje zapis (odczyt) informacji do (z) rejestru wskazanego przez rejestr adresowy.

Rejestr zerowania RR (Reset Register) — indeks 00h

Rejestr zerowania umożliwia zatrzymanie działania układu sekwencyjnego oraz ustawienie jego wyjść w stan wysokiej impedancji.

Zarezerwowane	bit 1	bit 0

bity 7 – 2 Zarezerwowane.

bit 1 Zerowanie synchroniczne:
0 — zatrzymanie układu sekwencyjnego,
1 — standardowa praca układu.

bit 0 Zerowanie asynchroniczne:
0 — natychmiastowe zatrzymanie pracy układu sekwencyjnego (dane zostają utracone),
1 — standardowa praca układu.

Rejestr trybu taktowania CMR (Clocking Mode Register) — indeks 01h

Rejestr trybu taktowania określa większość parametrów zegara sterownika.

Nieużywane	bit 5	bit 4	bit 3	bit 2	Nie używany	bit 0

bity 7 – 6 Nieużywane.

bit 5 Wygaszenie ekranu:
0 — standardowe wyświetlanie obrazu,
1 — odłączenie monitora przy dalszej pracy sterownika.

bit 4 Tryb ładowania rejestrów przesuwających:
0 — bajty pobierane są z czterech płatów pamięci,
1 — bajty ze wszystkich płatów pamięci są łączone w grupy po cztery, co powoduje zmniejszenie do 1/4 liczby kolorów, ale umożliwia wykorzystanie przestrzeni adresowej o poczwórnym rozmiarze.

bit 3 Częstotliwość wyświetlania punktów:
0 — standardowa częstotliwość wyświetlania punktów,
1 — częstotliwość wyświetlania podzielona przez 2 (dla trybów 320×200 i 40 kolumn).

bit 2 Tryb ładowania rejestrów przesuwnych:
0 — bajty pobierane są z czterech płatów pamięci,
1 — bajty z dwóch płatów pamięci są łączone w pary, co powoduje zmniejszenie liczby kolorów, ale umożliwia wykorzystanie podwojonej przestrzeni adresowej.

bit 1 Nieużywany.

bit 0 Szerokość znaków:
0 — znaki o szerokości 9 punktów (w tekstowych trybach pracy bez CGA i EGA),
1 — znaki o szerokości 8 punktów.

Rejestr blokowania pamięci MMR (Map Mask Register) — indeks 02h

Rejestr blokowania pamięci umożliwia zezwolenie na modyfikację poszczególnych płatów pamięci.

Nieużywane	bit 3	bit 2	bit 1	bit 0

bity 7 – 4 Nieużywane.

bit 3 Trzeci płat pamięci — analogicznie do płatu 0.

bit 2 Drugi płat pamięci — analogicznie do płatu 0.

bit 1 Pierwszy płat pamięci — analogicznie do płatu 0.

bit 0 Zerowy płat pamięci:
0 — brak zezwolenia na modyfikację,
1 — zezwolenie na modyfikację.

Rejestr zbioru znaków CMR (Character Map Register) — indeks 03h

Rejestr służy do określenia numeru zbioru znaków wyświetlanych w trybie tekstowym.

Nieużywane	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 6 Nieużywane.

bity 5, 3, 2 Numer drugiego zestawu znaków.

bity 4, 1, 0 Numer pierwszego zestawu znaków.

Rejestr trybu dostępu do pamięci MMR (Memory Mode Register) — indeks 04h

Rejestr trybu dostępu do pamięci służy do informowania układu sekwencyjnego o strukturze pamięci obrazu.

Nieużywane	bit 3	bit 2	1	0

bity 7 – 4 Nieużywane.

bit 3 Adresowanie modulo 4:
0 — standardowy dostęp do pamięci obrazu,
1 — komórki płatu zerowego mają adresy podzielne przez 4. Komórki płatu pierwszego mają adresy podzielne przez 4 z resztą 1 itd. W ten sposób czterokrotnie wzrasta rozmiar dostępnej przestrzeni adresowej.

bit 2 Adresowanie przemienne:
0 — parzyste komórki na parzystych płatach pamięci obrazu mają adresy parzyste, komórki nieparzyste na płatach nieparzystych mają adresy nieparzyste,
1 — standardowy dostęp do pamięci obrazu.

bit 1 Musi być równy 1.

bit 0 Musi być równy 0.

Układ graficzny

Układ graficzny (*Graphics Controller*) odpowiada za przekazywanie danych pomiędzy pamięcią obrazu a procesorem oraz układem określania atrybutu.

Rejestr adresowy układu graficznego GAR (Graphics 1 and 2 Address Register) — adres 3CEh

Rejestr adresowy układu graficznego wiąże rejestr informacyjny z rejestrami wewnętrznymi układu.

Rejestr informacyjny układu graficznego — adres 3CFh

Poprzez rejestr informacyjny następuje zapis (odczyt) informacji do (z) rejestru wskazanego przez rejestr adresowy.

Rejestr ustawiania-zerowania SRR (Set/Reset Register) — indeks 00h

Rejestr ustawiania-zerowania służy do określenia bitów, które będą ustawiane lub zerowane i poddawane operacjom logicznym — za jego pomocą ustawia się więc kolor, który zostanie nadany punktom podczas zapisu do pamięci. Wykonywana operacja logiczna wybierana jest przez zapis do rejestru przesunięcia i wyboru funkcji.

Nieużywane	bit 3	bit 2	bit 1	bit 0

bity 7 – 4 Zarezerwowane.

bit 3 Trzeci płat pamięci — analogicznie do płatu 0.

bit 2 Drugi płat pamięci — analogicznie do płatu 0.

bit 1 Pierwszy płat pamięci — analogicznie do płatu 0.

bit 0 Tryb modyfikacji zerowego płatu pamięci:
0 — zerowanie (lub operacja logiczna z 0),
1 — ustawianie (lub operacja logiczna z 1).

Rejestr zezwolenia na ustawianie-zerowanie ESRR (Enable Set/Reset Register) — indeks 01h

Rejestr służy do zezwolenia na modyfikację płatów pamięci zgodnie z zawartością rejestru ustawiania-zerowania.

Nieużywane	bit 3	bit 2	bit 1	bit 0

bity 7 – 4 Zarezerwowane.

bit 3 Trzeci płat pamięci — analogicznie do płatu 0.

bit 2 Drugi płat pamięci — analogicznie do płatu 0.

bit 1 Pierwszy płat pamięci — analogicznie do płatu 0.

bit 0 Modyfikacja zerowego płatu zgodnie z zawartością rejestru ustawiania-zerowania:
0 — brak zezwolenia na modyfikację,
1 — zezwolenie na modyfikację.

Zawartość tego rejestru jest uwzględniana tylko w zerowym trybie zapisu.

Rejestr porównania kolorów CCR (Colour Compare Register) — indeks 02h

Rejestr służy do określenia numeru koloru, z którym porównywane są punkty podczas odczytu pamięci obrazu.

Nieużywane	bit 3	bit 2	bit 1	bit 0

bity 7 – 4 Nieużywane.

bity 3 – 0 Numer porównywanego koloru.

Zawartość rejestru brana jest pod uwagę tylko w pierwszym trybie odczytu. Jeśli numer koloru punktu jest zgodny z numerem zapisanym w rejestrze, wartości bitów odczytanych z pamięci obrazu będą równe 1, w przeciwnym razie — 0.

Rejestr przesunięcia i wyboru funkcji DRFSR (Data Rotate-Function Select Register) — indeks 03h

Rejestr przesunięcia i wyboru funkcji służy do określenia działań wykonywanych na danych zapisywanych do pamięci obrazu. Określa, o ile bitów ma zostać przesunięty bajt przesyłany do pamięci obrazu i czy na tym bajcie będzie wykonywana operacja logiczna z zawartością rejestru zatrzaskowego.

Nieużywane	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 5 Nieużywane.

bity 4 – 3 Wykonywana funkcja logiczna:
00 — zapis bez wykonywania operacji logicznej,
01 — operacja logiczna AND,
10 — operacja logiczna OR,
11 — operacja logiczna XOR.

bity 2 – 0 Wielkość przesunięcia w prawo (przesunięcie jest przesunięciem cyklicznym).

Przesunięcie bajtu ma priorytet wyższy od funkcji logicznej i dlatego przeprowadzane jest jako pierwsze. Przesunięcie wykonywane jest tylko w zerowym i trzecim trybie zapisu. Przesunięcie wykonywane jest wyłącznie na bajtach zapisywanych przez procesor.

Rejestr wyboru płatu do odczytu RMSR (Read Map Select Register) — indeks 04h

Rejestr wyboru płatu do odczytu służy do określenia numeru płatu pamięci, z którego zostanie odczytany następny bajt.

Nieużywane	bit 1	bit 0

bity 7 – 2 Nieużywane.

bity 1 – 0 Numer płatu pamięci przeznaczonego do odczytu.

Zawartość tego rejestru jest brana pod uwagę tylko w zerowym trybie odczytu.

Rejestr trybu dostępu do pamięci MOR (Mode Register) — indeks 05h

Rejestr trybu dostępu do pamięci określa sposób zapisywania i odczytywania informacji z pamięci obrazu. Razem z rejestrem dodatkowym służy do określenia trybu adresowania pamięci przez układ graficzny.

Nieużyw.	bit 6	bit 5	bit 4	bit 3	Nieużyw.	bit 1	bit 0

bit 7 Nieużywany.

bit 6 Dotyczy trybu 256-kolorowego:
0 — bity z pamięci obrazu są przepisywane do rejestrów przesuwających,
1 — podczas zapisu do pamięci obrazu bajt jest zamieniany na cztery dwubitowe wartości wysyłane do rejestru sterowania atrybutem.

bit 5 Sposób ładowania rejestrów przesuwających:
0 — bity z pamięci obrazu są przepisywane do rejestrów przesuwających,
1 — Nieparzyste bity każdego bajtu pamięci obrazu umieszczane są w rejestrach przesuwających nieparzystych płatów pamięci. Bity parzyste bajtów pamięci obrazu są umieszczane w rejestrach przesuwających parzystych płatów pamięci. Umożliwia to emulację trybu czterokolorowego karty CGA.

bit 4 Adresowanie przemienne:
0 — standardowy sposób adresowania,
1 — komórki o parzystych adresach położone na parzystych płatach pamięci mają adresy parzyste; komórki nieparzyste na nieparzystych płatach mają adresy nieparzyste. Umożliwia to podwojenie rozmiaru przestrzeni adresowej.

bit 3 Numer trybu odczytu:
0 — zerowy tryb odczytu,
1 — pierwszy tryb odczytu.

bit 2 Nieużywany.

bity 1 – 0 Tryb zapisu:
00 — zerowy tryb zapisu,
01 — pierwszy tryb zapisu,
10 — drugi tryb zapisu,
11 — trzeci tryb zapisu.

Rejestr dodatkowy MIR (Miscellaneous Register) — indeks 06h

Rejestr dodatkowy układu graficznego służy do określenia trybu pracy sterownika i początku pamięci obrazu. Razem z rejestrem trybu dostępu do pamięci służy do określenia trybu adresowania pamięci przez układ graficzny.

Nieużywane	bit 3	bit 2	bit 1	bit 0

bity 7 – 4 Nieużywane.

bity 3 – 2 Adres początku pamięci obrazu oraz jej rozmiar:
00 — początek: A000:0000, rozmiar 128 KB,
01 — początek: A000:0000, rozmiar 64 KB,
10 — początek: B000:0000, rozmiar 32 KB,
11 — początek: B800:0000, rozmiar 32 KB.

bit 1 Tryb adresowania:
0 — adresowanie standardowe,
1 — podczas zapisu lub odczytu bajtu zerowany jest najmłodszy bit adresu, przez co nie są dostępne bajty o nieparzystych adresach.

bit 0 Tryb pracy:
0 — tryb tekstowy,
1 — tryb graficzny.

Jeśli pamięć obrazu rozpoczyna się od adresu A000:0000 i ma rozmiar 128 KB, występuje konflikt adresów pomiędzy sterownikami zainstalowanymi w systemie.

Rejestr pominięcia koloru CDCR (Colour don't Care Register) — indeks 07h

Rejestr pominięcia koloru służy do określenia płatów pamięci obrazu pomijanych podczas porównywania z zawartością rejestru porównywania kolorów.

Nieużywane	bit 3	bit 2	bit 1	bit 0

bity 7 – 4 Nieużywane.

bit 3 Pominięcie trzeciego płatu pamięci — analogicznie jak dla zerowego.

bit 2 Pominięcie drugiego płatu pamięci — analogicznie jak dla zerowego.

bit 1 Pominięcie pierwszego płatu pamięci — analogicznie jak dla zerowego.

bit 0 Pominięcie zerowego płatu pamięci:
0 — wartość bitu odczytanego z zerowego płatu pamięci jest zgodna z wartością bitu w rejestrze porównywania kolorów,
1 — wartość bitu odczytanego z zerowego bitu pamięci jest zgodna z wartością bitu w rejestrze porównywania kolorów wtedy, gdy oba bity są takie same.

Wpisanie do rejestru wartości 00h spowoduje zgodność wszystkich kolorów z numerem koloru zapisanym w rejestrze porównywania kolorów.

Rejestr modyfikacji bitów BMR (Bit Mask Register) — indeks 08h

Rejestr modyfikacji bitów służy do określenia bitów, które nie będą modyfikowane podczas zapisu do pamięci obrazu. W zerowym trybie zapisu zawartość rejestru nie jest uwzględniana.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 1 Analogicznie dla bitów 7 – 1 komórki pamięci obrazu.

bit 0 Modyfikacja zerowego bitu pamięci obrazu:
0 — bit nie będzie modyfikowany,
1 — podczas zapisu bit zostanie zmodyfikowany.

Układ sterowania atrybutem

Układ sterowania atrybutem (*Attribute Controller*) służy do zamiany kolorów zapisanych w pamięci obrazu na indeksy kolorów zdefiniowanych w rejestrach wzorców kolorów. Układ sterowania atrybutem odpowiada także za kolor krawędzi ekranu.

Rejestr adresowy układu sterowania atrybutem G1&2AR (Graphics 1 and 2 Address Register) — adres 3C0h

Rejestr adresowy układu sterowania atrybutem wiąże rejestr informacyjny z rejestrami wewnętrznymi układu. Jest także rejestrem informacyjnym tego układu. Zawartość rejestrów wewnętrznych układu może być także odczytana pod adresem wejścia-wyjścia 3C1h.

Nieużywane	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 6 Nieużywane.

bit 5 Dostęp do rejestrów palety:
0 — zabronienie dostępu do rejestrów palety,
1 — udostępnienie rejestrów palety.

bity 4 – 0 Indeks wewnętrznego rejestru układu sterowania atrybutem.

Powiązanie adresu informacyjnego z rejestrem wewnętrznym musi być poprzedzone odczytaniem zawartości pierwszego rejestru stanu o adresie 3BAh (3DAh).

Przykład

```
cli     ;zablokowanie przerwań
mov dx,3dah
in  al,dx     ; skojarzenie rej.
     ; indeksowego z adresem 3C0h
mov al,indeks_rej_wewnetrz
```

```
mov dx,3C0h
out dx,al     ; wybór rejestru wewn.
nop     ; zwłoka na zmianę stanu
nop     ; sterownika
mov al,wartosc
out dx,al     ; zapis wartości do rejestru
     ; wewnętrznego
```

Rejestr informacyjny układu sterowania atrybutem — adres 3C0h/3C1h

Poprzez rejestr informacyjny następuje zapis (odczyt) informacji do (z) rejestru wskazanego przez rejestr adresowy. Z powodu wspólnego adresu z rejestrem indeksowym, przed dostępem do wewnętrznych rejestrów należy dokonać odczytu zawartości pierwszego rejestru stanu o adresie 3BAh (3DAh).

Zmiana zawartości rejestrów układu sterowania atrybutem powinna być dokonywana podczas powrotu pionowego; w przeciwnym razie na ekranie można zaobserwować efekt „śnieżenia".

Rejestry palety PR (Palette Registers) — indeksy 00h – 0Fh

Rejestry palety służą do przyporządkowania numerom koloru odpowiednich wzorców kolorów, przechowywanych w rejestrach wzorców kolorów przetwornika cyfrowo-analogowego.

Nieużywane	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 6 Nieużywane.

bity 5 – 0 Numer rejestru wzorca koloru zawierającego 18-bitowy wzorzec koloru.

W trybach 256-kolorowych nie są uwzględniane rejestry palety. Indeksem rejestru wzorca koloru staje się wtedy 8-bitowa wartość zapisana w pamięci obrazu.

Rejestr sterowania trybem pracy MCR (Mode Control Register) — indeks 10h

Rejestr sterowania trybem pracy służy do określenia trybu działania układu sterowania atrybutem.

bit 7	bit 6	bit 5	Nieużyw.	bit 3	bit 2	bit 1	bit 0

bit 7 Tryb podziału wzorców kolorów na bloki:
0 — cztery bloki po 64 wzorce kolorów,
1 — szesnaście bloków po 16 wzorców kolorów.

bit 6 Liczba bitów opisujących kolor punktu:
0 — cztery bity na punkt (tryb 16-kolorowy),
1 — osiem bitów na punkt (tryb 256-kolorowy).

bit 5 Ograniczenie przesunięcia poziomego w trybie *Split Screen*:
0 — jednoczesne przesunięcie obu obszarów,
1 — przesunięcie tylko górnego obszaru.

Bit 4 Nieużywany.

bit 3 Tryb interpretacji bajtu atrybutu:
0 — bity 4 – 7 atrybutu określają kolor tła znaku,
1 — bity 4 – 6 atrybutu określają kolor tła znaku;
bit 7 równy 1 oznacza migotanie znaku.

bit 2 Tryb wyświetlania znaków o szerokości 9 punktów:
0 — dziewiąty punkt znaku przybiera kolor tła poprzedniego znaku,
1 — dla znaków o kodach C0h – DFh dziewiąty punkt ma taki sam kolor jak punkt ósmy; dla pozostałych znaków dziewiąty punkt ma kolor tła.

bit 1 Rodzaj monitora:
0 — monitor kolorowy,
1 — monitor monochromatyczny.

bit 0 Tryb pracy sterownika:
0 — tryb tekstowy,
1 — tryb graficzny.

Rejestr krawędzi ekranu OR (Overscan Register) — indeks 11h

Rejestr krawędzi ekranu służy do określenia koloru (numeru wzorca koloru) brzegu ekranu.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Numer wzorca koloru krawędzi ekranu

Standardowym kolorem krawędzi ekranu we wszystkich trybach pracy jest kolor o numerze 0 (zwykle czarny). Dla niektórych sterowników nie jest możliwe określenie innego koloru brzegu ekranu.

Rejestr uwzględnianych płatów pamięci CPER (Colour Plane Enable Register) — indeks 12h

Rejestr uwzględnianych płatów pamięci służy do określenia płatów pamięci, które będą brane pod uwagę podczas wyświetlania punktów. Pominięte płaty są traktowane tak, jakby były wypełnione zerami.

Nieużywane	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 6 Nieużywane.

bity 5 – 4 Wybór bitów diagnostycznych układu sterowania atrybutem, które mogą być odczytane z bitów 4. i 5. pierwszego rejestru stanu o adresie 3DAh (3BAh):
00 — bity 2 i 0,
01 — bity 5 i 4,
10 — bity 3 i 1,
11 — bity 7 i 6.

bit 3 Uwzględnienie trzeciego płatu pamięci podczas wyświetlania:
0 — trzeci płat pamięci nie jest uwzględniany,
1 — trzeci płat pamięci jest uwzględniany.

bit 2 Analogicznie dla drugiego płatu.

bit 1 Analogicznie dla pierwszego płatu.

bit 0 Analogicznie dla zerowego płatu.

Rejestr przesunięcia poziomego HPPR (Horizontal Pel Panning Register) — indeks 13h

Rejestr przesunięcia poziomego służy do określenia przesunięcia obrazu w lewo.

Nieużywane	bit 3	bit 2	bit 1	bit 0

bity 7 – 4 Nieużywane.

bity 3 – 0 Wielkość przesunięcia poziomego w punktach:

	Tryby tekstowe	Tryby graficzne	
		256-kolorowe	16-kolorowe
0000	1	0	0
0001	2	–	1
0010	3	1	2
0011	4	–	3
0100	5	2	4
0101	6	–	5
0110	7	3	6
0111	8	–	7
1000	0	–	–

Zawartość rejestru jest uwzględniana w tekstowych i graficznych trybach pracy.

Rejestr wyboru koloru CSR (Colour Select Register) — indeks 14h

Rejestr wyboru koloru służy do wybrania bloku wzorców kolorów (grupy rejestrów przetwornika cyfrowo-analogowego).

Nieużywane	bit 3	bit 2	bit 1	bit 0

Dla siódmego bitu rejestru sterowania trybem równego 1:

bity 7 – 4 Nieużywane.

bity 3 – 0 Numer jednego z szesnastu bloków wzorców kolorów.

Dla siódmego bitu rejestru sterowania trybem równego 0:

bity 7 – 4 Nieużywane.

bity 3 – 2 Numer jednego z czterech bloków wzorców kolorów.

bity 1 – 0 Nieużywane.

Zawartość rejestru nie ma znaczenia w 256-kolorowych trybach pracy.

Przetwornik cyfrowo-analogowy

Rolą przetwornika cyfrowo-analogowego DAC (*Digital to Analog Converter*) jest zamiana sygnałów cyfrowych pobranych z pamięci wzorców na sygnał analogowy wysyłany do monitora. Wzorce kolorów zapisane są w 256 18-bitowych rejestrach. Wartość 18-bitowa dopuszcza zdefiniowanie 262 144 odcieni, ale sterownik VGA umożliwia jednoczesne wyświetlenie tylko 256 kolorów. Sterowniki SVGA umożliwiają uzyskanie większej ilości odcieni (nawet ponad 16 milionów) i jednoczesne wyświetlenie większej liczby kolorów na ekranie.

Dla zachowania zgodności pierwsze 16 kolorów sterownika VGA odpowiada szesnastu kolorom sterownika EGA. Kolejnym numerom odpowiadają następujące kolory:

Numer rejestru	Kolor	Numer rejestru	Kolor
0	Czarny (*Black*)	8	Szary (*Gray*)
1	Niebieski (*Blue*)	9	Jasnoniebieski (*Light Blue*)
2	Zielony (*Green*)	10	Jasnozielony (*Light Green*)
3	Siny (*Cyan*)	11	Jasnosiny (*Light Cyan*)
4	Czerwony (*Red*)	12	Jasnoczerwony (*Light Red*)
5	Fioletowy (*Magenta*)	13	Różowy (*Pink*)
6	Brązowy (*Brown*)	14	Żółty (*Yellow*)
7	Jasnoszary (*Light Gray*)	15	Biały (*White*)

Kolejne 16 kolorów odpowiada odcieniom szarości tych kolorów.

Rejestr ograniczenia koloru PELMR (PEL Mask Register) — adres 3C6h

Rejestr ograniczenia koloru służy do ograniczenia liczby wzorców kolorów używanych podczas wyświetlania punktów na ekranie. Wartość wysyłana przez układ sterowania atrybutem oraz zawartość rejestru ograniczającego są argumentami funkcji AND, która jako wynik zwraca numer wzorca koloru.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

Po każdej zmianie trybu pracy do rejestru ograniczającego jest wpisywana wartość FFh.

Rejestr stanu przetwornika DACSR (DAC Status Register) — adres 3C7h

Rejestr stanu przetwornika cyfrowo-analogowego jest używany do odczytania stanu wzorców kolorów.

Nieużywane	bit 1	bit 0

bity 7 – 2 Nieużywane.

bity 1 – 0 Stan rejestrów wzorców kolorów:
00 — rejestry wzorców kolorów są aktualnie odczytywane,
11 — rejestry wzorców kolorów są aktualnie zapisywane.

Rejestr jest przeznaczony wyłącznie do odczytu.

Rejestr adresowy odczytu przetwornika PELARMR (PEL Address Read Mode Register) — adres 3C7h

Rejestr adresowy odczytu przetwornika służy do rozpoczęcia cyklu odczytu zawartości rejestrów wzorców kolorów.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Numer pierwszego rejestru wzorca koloru przeznaczonego do odczytu.

Po wpisaniu wartości do rejestru powinien nastąpić cykl odczytów zawartości rejestrów wzorców kolorów. Cykl odczytu wzorca koloru polega na pobraniu trzech 6-bitowych wartości odpowiadających kolejno składowej czerwonej, zielonej i niebieskiej wzorca koloru. Jeden cykl odczytu wzorca wymaga trzech odczytów rejestru formacyjnego przetwornika o adresie 3C9h. Po każdym cyklu odczytu zawartość rejestru adresowego jest automatycznie zwiększana o jeden i może zostać rozpoczęty kolejny cykl odczytu wzorca koloru.

Pomiędzy dwoma odczytami rejestru informacyjnego powinno upłynąć co najmniej 240 ns. Rejestr ten przeznaczony jest wyłącznie do zapisu.

Rejestr adresowy zapisu przetwornika PELAWMR (PEL Address Write Mode Register) — adres 3C8h

Rejestr adresowy zapisu przetwornika służy do rozpoczęcia cyklu zapisu do rejestrów wzorców kolorów.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Numer pierwszego rejestru wzorca koloru przeznaczonego do zapisu.

Po wpisaniu wartości do rejestru powinien nastąpić cykl zapisów do rejestrów wzorców kolorów. Cykl zapisu wzorca koloru polega na wpisaniu trzech 6-bitowych wartości odpowiadających kolejno składowej czerwonej, zielonej i niebieskiej wzorca koloru. Jeden cykl zapisu wzorca wymaga trzech zapisów rejestru informacyjnego przetwornika o adresie 3C9h. Po każdym cyklu zapisu zawartość rejestru adresowego jest automatycznie zwiększana o jeden i może zostać rozpoczęty kolejny cykl zapisu wzorca koloru.

Pomiędzy dwoma zapisami rejestru informacyjnego powinno upłynąć co najmniej 240 ns. Rejestr ten przeznaczony jest wyłącznie do zapisu.

Rejestr informacyjny przetwornika PELDR (PEL Data Register) — adres 3C9h

Rejestr informacyjny przetwornika służy do zapisu i odczytu informacji o wzorcach kolorów.

Nieużywany	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 6 Nieużywane.

bity 5 – 0 Wartość jednej z trzech składowych wzorca koloru.

Każdy cykl zapisu (odczytu) wzorca koloru składa się z trzech operacji zapisu (odczytu) 6-bitowych wartości odpowiadających kolejno składowej czerwonej, zielonej i niebieskiej wzorca koloru.

Pierwszy cykl zapisu musi być poprzedzony wpisaniem do rejestru PELAWMR numeru pierwszego modyfikowanego wzorca koloru. Pierwszy cykl odczytu musi być poprzedzony wpisaniem do rejestru PELARMR, przetwornika numeru pierwszego odczytywanego wzorca koloru. Pomiędzy dwoma operacjami zapisu (odczytu) powinno upłynąć co najmniej 240 ns.

Układ sterowania wyświetlaczem (CRT Controller)

Układ sterowania wyświetlaczem odpowiada za zachowanie zależności czasowych przy wyświetlaniu obrazu. Rejestry układu sterowania określają także kształt kursora i jego położenie, wysokość podkreślenia, wysokość znaków, poziomy podział obrazu oraz położenie wyświetlanej strony w pamięci obrazu.

Rejestr indeksowy układu sterowania wyświetlaczem CRTCAR (CRTC Address Register) — adres 3B4h (3D4h)

Rejestr adresowy układu graficznego wiąże rejestr informacyjny z rejestrami wewnętrznymi układu.

Rejestr informacyjny układu sterowania wyświetlaczem — adres 3B5h (3D5h)

Poprzez rejestr informacyjny następuje zapis (odczyt) informacji do (z) rejestru wskazanego przez rejestr indeksowy.

Rejestr całkowitego czasu wyświetlania linii HTR (Horizontal Total Register) — indeks 00h

Rejestr całkowitego czasu wyświetlania linii służy do określenia czasu trwania cyklu wyświetlania poziomej linii obrazu.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Całkowity czas wyświetlania linii.

Na czas wyświetlania linii składa się czas wyświetlania punktów obrazu, czas wyświetlenia prawej krawędzi obrazu, czas powrotu pionowego i czas wyświetlania lewej krawędzi obrazu.

Rejestr końca wyświetlania poziomego HDER (Horizontal Display End Register) — indeks 01h

Wartość zawarta w rejestrze końca wyświetlania poziomego określa moment zakończenia wyświetlania linii obrazu.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Szerokość obrazu w znakach.

Wyświetlanie poziome kończy się w momencie osiągnięcia przez licznik znaków wartości zawartej w rejestrze +1.

Rejestr początku wygaszania poziomego SHBR (Start Horizontal Blanking Register) — indeks 02h

Wartość zawarta w rejestrze początku wygaszania poziomego określa moment rozpoczęcia wyświetlania prawego brzegu ekranu i wygaszenie plamki.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Wartość licznika znaków, przy której następuje wygaszenie plamki.

Rejestr końca wygaszania poziomego EHBR (End Horizontal Blanking Register) — indeks 03h

Wartość zawarta w rejestrze końca wyświetlania poziomego określa moment zakończenia wygaszania poziomego.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bit 7 Zawsze równy jeden.

bity 6 – 5 Opóźnienie rozpoczęcia następnego cyklu:
00 — bez opóźnienia,
01 — jeden znak opóźnienia,
10 — dwa znaki opóźnienia,
11 — trzy znaki opóźnienia.

bity 4 – 0 Mniej znaczące bity wartości określającej koniec wygaszania poziomego.

W rejestrze znajduje się pięć najmniej znaczących bitów wartości określającej koniec wygaszania poziomego. Bit 5 znajduje się w rejestrze końca powrotu poziomego, a bity 7 – 6 są równe dwóm najbardziej znaczącym bitom rejestru początku wygaszania poziomego.

Rejestr początku powrotu poziomego SHRR (Start Horizontal Retrace Register) — indeks 04h

Wartość zawarta w rejestrze początku powrotu poziomego określa moment rozpoczęcia powrotu poziomego.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Wartość określająca początek powrotu poziomego.

Rejestr końca powrotu poziomego EHRR (End Horizontal Retrace Register) — indeks 05h

Wartość zawarta w rejestrze końca powrotu poziomego określa moment zakończenia powrotu poziomego.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bit 7 Bit piąty wartości określającej koniec wygaszania poziomego.

bity 6 – 5 Opóźnienie początku powrotu poziomego:
00 — bez opóźnienia,
01 — jeden znak opóźnienia,
10 — dwa znaki opóźnienia,
11 — trzy znaki opóźnienia.

bity 4 – 0 Mniej znaczące bity wartości określającej koniec powrotu poziomego.

Rejestr zawiera pięć mniej znaczących bitów wartości określającej koniec powrotu poziomego. Bity bardziej znaczące są równe najstarszym bitom rejestru początku powrotu poziomego.

Rejestr całkowitego czasu wyświetlania obrazu VTR (Vertical Total Register) — indeks 06h

Wartość zawarta w rejestrze całkowitego czasu wyświetlania obrazu odpowiada ośmiu najmniej znaczącym bitom wartości, określającej całkowity czas wyświetlania obrazu. Bity ósmy i dziewiąty znajdują się w rejestrze przepełnień układu sterowania wyświetlaczem.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Najmniej znaczące bity wartości określającej całkowity czas wyświetlania obrazu.

Jednostką czasu jest czas wyświetlania pojedynczej linii. Cykl wyświetlania obrazu rozpoczyna się od wyświetlenia pamięci obrazu, następnie wyświetlany jest dolny brzeg ekranu, następuje powrót pionowy, po czym wyświetlany jest górny brzeg obrazu.

Rejestr przepełnień układu sterowania wyświetlaczem OVRFLR (Overflow Register) — indeks 07h

Rejestr przepełnień zawiera bardziej znaczące bity wartości zawartych w innych rejestrach.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bit 7 Dziewiąty bit wartości określającej początek powrotu pionowego.

bit 6 Dziewiąty bit wartości określającej koniec wyświetlania pionowego.

bit 5 Dziewiąty bit wartości określającej całkowity czas wyświetlania obrazu.

bit 4 Ósmy bit rejestru porównania linii.

bit 3 Ósmy bit wartości określającej początek wygaszania pionowego.

bit 2 Ósmy bit wartości określającej początek powrotu pionowego.

bit 1 Ósmy bit wartości określającej koniec wyświetlania pionowego.

bit 0 Ósmy bit wartości określającej całkowity czas wyświetlania obrazu.

Rejestr położenia pierwszej linii PSLR (Preset Scan Line Register) — indeks 08h

Rejestr położenia pierwszej linii zawiera numer linii, od której wyświetlana jest pierwsza linia znaków.

Nieużywany	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bit 7 Nieużywany;

bity 6 – 5 Dodatkowe bity rejestru przesunięcia poziomego;

bity 4 – 0 Numer pierwszej wyświetlanej linii obrazu.

W trybach graficznych przesuwanie obrazu wykonywane jest za pomocą zmiany zawartości rejestru adresowego (indeks 0Ch i 0Dh).

Rejestr ostatniej linii znaku MSLR (Max Scan Line Register) — indeks 09h

Rejestr ostatniej linii znaku służy do określenia wysokości wyświetlanych znaków w punktach.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bit 7 Jakość obrazu przy rozdzielczości pionowej 200 linii:
0 — pojedyncze wyświetlanie linii,
1 — podwójne wyświetlanie linii.

bit 6 Dziewiąty bit rejestru porównania linii.

bit 5 Dziewiąty bit wartości określającej początek wygaszania pionowego.

bity 4 – 0 Wysokość znaku pomniejszona o jeden.

Rejestr pierwszej linii kursora CSR (Cursor Start Register) — indeks 0Ah

Rejestr pierwszej linii kursora określa odległość górnej linii kursora od górnej krawędzi znaku.

Nieużywane	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 6 Nieużywane.

bit 5 Schowanie kursora:
0 — kursor widoczny,
1 — kursor schowany.

bity 4 – 0 Numer górnej linii kursora pomniejszony o 1. Pierwsza linia od góry ma numer 0.

Rejestr ostatniej linii kursora CER (Cursor End Register) — indeks 0Bh

Rejestr ostatniej linii kursora określa odległość dolnej linii kursora od górnej krawędzi znaku.

Nieużywany	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bit 7 Nieużywany.

bity 6 – 5 Opóźnienie wyświetlania kursora:
00 — brak opóźnienia,
01 — jeden znak opóźnienia,
10 — dwa znaki opóźnienia,
11 — trzy znaki opóźnienia.

bity 4 – 0 Numer dolnej linii kursora pomniejszony o 1. Pierwsza linia od góry ma numer 0.

Rejestry adresowe SAHR, SALR (Start Address High Register, Start Address Low Register) — indeksy 0Ch i 0Dh

Rejestry adresowe zawierają adres pierwszego wyświetlanego znaku (w trybach tekstowych) lub punktu (w trybach graficznych).

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Bardziej i mniej znacząca część adresu pierwszego wyświetlanego punktu lub znaku.

Bardziej znacząca część adresu znajduje się w rejestrze o indeksie 0Ch, mniej znacząca — w rejestrze o indeksie 0Dh. Zmiana zawartości tych rejestrów powoduje przesunięcie początku wyświetlanego okna.

Rejestry pozycji kursora CLHR, CLLR (Cursor Location High Register, Cursor Location Low Register) — indeksy 0Eh i 0Fh

Rejestry pozycji kursora mają adres znaku zawierającego kursor (w trybach tekstowych).

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Bardziej i mniej znacząca część adresu znaku zawierającego kursor.

Bardziej znacząca część adresu zawarta jest w rejestrze o indeksie 0Eh, mniej znacząca — w rejestrze o indeksie 0Fh.

Rejestr początku powrotu pionowego VRS (Vertical Retrace Start) — indeks 10h

W rejestrze początku powrotu pionowego znajduje się osiem mniej znaczących bitów wartości określającej moment początku powrotu pionowego. Bity ósmy i dziewiąty wartości określającej rozpoczęcie powrotu pionowego znajdują się w rejestrze przepełnień.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Mniej znaczące bity wartości określającej rozpoczęcie powrotu pionowego.

Rejestr końca powrotu pionowego VRE (Vertical Retrace End) — indeks 11h

Rejestr końca powrotu pionowego zawiera cztery mniej znaczące bity wartości określającej moment zakończenia powrotu pionowego.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bit 7 Zabezpieczenie przed zapisem rejestrów o indeksach 00h – 07h:
0 — zezwolenie na modyfikację,
1 — brak zezwolenia na modyfikację.

bit 6 Liczba cykli odświeżania pamięci RAM sterownika:
0 — trzy cykle odświeżania na jedną linię,
1 — pięć cykli odświeżania na jedną linię.

bit 5 Zezwolenie na przerwanie powrotu pionowego:
0 — zezwolenie na generowanie przerwania,
1 — brak zezwolenia na generowanie przerwania.

bit 4 Potwierdzenie przyjęcia przerwania powrotu pionowego:
0 — przyjęcie żądania obsługi przerwania,
1 — zakończenie obsługi przerwania.

bity 3 – 0 Mniej znaczące bity wartości określającej moment końca powrotu pionowego.

Wystąpienie przerwania powrotu pionowego jest sygnalizowane zmianą stanu linii IRQ 2. Standardowy sterownik VGA nie generuje przerwania powrotu pionowego.

Rejestr końca wyświetlania pionowego VDER (Vertical Display End Register) — indeks 12h

Rejestr końca wyświetlania pionowego zawiera osiem mniej znaczących bitów wartości określającej moment końca wyświetlania zawartości pamięci obrazu.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Mniej znaczące bity wartości określającej moment końca wyświetlania pionowego pomniejszony o 1.

Bity ósmy i dziewiąty wartości określającej moment końca wyświetlania pionowego znajdują się w rejestrze przepełnień.

Rejestr długości linii OR (Offset Register) — indeks 13h

Rejestr długości linii zawiera wartość określającą długość jednej linii wyświetlanego obrazu w bajtach, słowach lub podwójnych słowach w zależności od zawartości rejestru trybu adresowania.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Rozmiar jednej linii wyświetlanego obrazu.

Rejestr pozycji podkreślenia ULR (Underline Location Register) — indeks 14h

Rejestr pozycji podkreślenia zawiera numer linii, w której będzie wyświetlane podkreślenie.

Nieużywany	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bit 7 Nieużywany.

bit 6 Tryb adresowania pamięci obrazu:
0 — tryb jest określany przez szósty bit rejestru trybu adresowania,
1 — tryb podwójnych słów (tryb 256-kolorowy — interpretowana jest co czwarta komórka pamięci obrazu).

bit 5 Dzielnik licznika znaków:
0 — przejście do następnej komórki pamięci po zwiększeniu licznika o 1,
1 — przejście do następnej komórki pamięci po zwiększeniu licznika o 4.

bity 4 – 0 Numer linii, w której będzie wyświetlane podkreślenie.

Rejestr pozycji podkreślenia zawiera także informację uzupełniającą o trybach adresowania stosowanych przez sterownik.

Rejestr początku wygaszania pionowego SVBR (Start Vertical Blanking Register) — indeks 15h

Rejestr początku wygaszania pionowego zawiera osiem mniej znaczących bitów wartości określającej moment rozpoczęcia wygaszania pionowego.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Mniej znaczące bity wartości określającej moment początku wygaszania pionowego.

Ósmy bit wartości początku wygaszania pionowego znajduje się w rejestrze przepełnień, a bit dziewiąty znajduje się w rejestrze wysokości znaku.

Rejestr końca wygaszania pionowego EVBR (End Vertical Blanking Register) — indeks 16h

W rejestrze końca wygaszania pionowego znajduje się osiem mniej znaczących bitów wartości określającej moment zakończenia wygaszania pionowego.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Mniej znaczące bity wartości określającej moment końca wygaszania pionowego.

Bity ósmy i dziewiąty wartości określającej koniec wygaszania pionowego są takie same jak bity ósmy i dziewiąty wartości początku wygaszania pionowego.

Rejestr trybu adresowania MCR (Mode Control Register) — indeks 17h

Rejestr trybu adresowania razem z rejestrem pozycji podkreślenia określa sposób adresowania pamięci obrazu.

bit 7	bit 6	bit 5	Nieużywany	bit 3	bit 2	bit 1	bit 0

bit 7 Zerowanie układu:
0 — brak zezwolenia na wykonanie powrotu pionowego i poziomego,
1 — standardowa praca.

bit 6 Tryb adresowania pamięci obrazu:
0 — tryb bajtów (interpretowana jest każda komórka pamięci),
1 — tryb słów (interpretowana jest co druga komórka pamięci).

bit 5 Bit używany, jeśli wyzerowany bit szósty:
0 — podczas interpretowania pamięci obrazu zerowy bit adresu jest zastępowany bitem trzynastym,

1 — podczas interpretowania pamięci obrazu zerowy bit adresu jest zastępowany bitem piętnastym.

bit 4 Nieużywany.

bit 3 Dzielnik licznika znaków:
0 — przejście do następnego adresu, gdy licznik znaków zwiększa się o 1,
1 — przejście do następnego adresu, gdy licznik znaków zwiększa się o 2.

bit 2 Sposób zwiększania licznika linii:
0 — licznik linii jest zwiększany po każdym powrocie poziomym,
1 — licznik linii jest zwiększany co drugi powrót poziomy.

bit 1 Przesunięcie o 16 KB:
0 — pamięć obrazu podzielona jest na część zawierającą linie o numerach, których reszta z dzielenia przez 4 wynosi 0 lub 1, (16 KB) i na część zawierającą linie o numerach, których reszta z dzielenia przez 4 wynosi 2 lub 3 (16 KB);
1 — linie parzyste i nieparzyste występują na przemian.

bit 0 Zgodność z CGA:
0 — pamięć obrazu podzielona jest na część zawierającą linie parzyste (8 KB) i część zawierającą linie nieparzyste (8 KB);
1 — linie parzyste i nieparzyste występują na przemian.

Rejestr porównania linii LCR (Line Compare Register) — indeks 18h

Rejestr porównania linii umożliwia poziome podzielenie ekranu na dwa w dużym stopniu niezależne obszary.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

bity 7 – 0 Numer linii podziału ekranu.

Rejestr porównania linii zawiera osiem mniej znaczących bitów numeru linii dzielącej obraz. Bit ósmy znajduje się w rejestrze przepełnień, a bit dziewiąty znajduje się w rejestrze wysokości znaku. Adres pierwszego wyświetlanego znaku dla górnego obszaru wynika z zawartości rejestrów adresowych, a adres początku dolnego obszaru zawsze wynosi zero.