helion.pl
KSIĘGARNIA INTERNETOWA · WYDAWNICTWO

IDŹ DO
PRZYKŁADOWY ROZDZIAŁ
SPIS TREŚCI

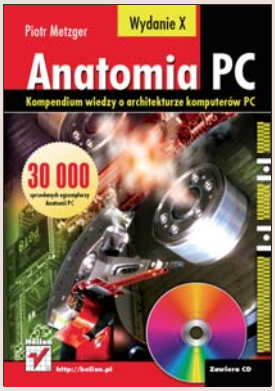
KATALOG KSIĄŻEK
KATALOG ONLINE
ZAMÓW DRUKOWANY KATALOG

TWÓJ KOSZYK
DODAJ DO KOSZYKA

CENNIK I INFORMACJE
ZAMÓW INFORMACJE O NOWOŚCIACH
ZAMÓW CENNIK

CZYTELNIA
FRAGMENTY KSIĄŻEK ONLINE

Anatomia PC. Wydanie X



Autor: Piotr Metzger
ISBN: 83-246-0093-0
Format: B5, stron: około 1100
oprawa twarda
Zawiera DVD

Kompendium wiedzy o architekturze komputerów PC

- Procesory
- Zarządzanie pamięcią
- Magistrale i złącza
- Obsługa urządzeń zewnętrznych

Każdy serwisant, programista i projektant urządzeń współpracujących z komputerami musi znać architekturę współczesnych komputerów PC. Wiedza na ten temat może się przydać także zwykłemu użytkownikowi komputera, który chciałby samodzielnie znaleźć przyczyny nieprawidłowego działania sprzętu, oraz wszystkim osobom zainteresowanym działaniem pecetów. Szczegółowe informacje o komponentach komputera są niestety trudno dostępne i rozproszone w wielu dokumentach, specyfikacjach i schematach.

Książka "Anatomia PC. Wydanie X" to kompletne opracowanie, zawierające wyczerpujące informacje o architekturze komputerów PC i ich komponentów. Dziesiąte już wydanie tej klasycznej i cieszącej się ogromną popularnością pozycji jest, podobnie jak poprzednie wydania, prawdziwym kompendium wiedzy o współczesnych pecetach, opisującym zarówno rozwiązania klasyczne, jak i nowości z ostatnich miesięcy. Dzięki niej poradzisz sobie z wszystkimi problemami sprzętowymi, zdiagnozujesz usterki i zaprojektujesz urządzenia poprawnie współpracujące z komputerem. Książka opisuje następujące zagadnienia:

- mikroprocesory rodziny x86 wraz z najnowszymi Intel Pentium 4 Extreme Edition, koprocesory i rozszerzenia, takie jak MMX, 3DNow, SSE, SSE2 i HT,
- procesory dwurdzeniowe,
- architektury komputerów PC XT, AT, 386, 486 i Pentium, systemów jedno- i wieloprocesorowych oraz komputerów przenośnych,
- układy pamięciowe stosowane w komputerach PC – SIMM, DRAM, SDRAM, DDR, DDR2 oraz zasady ich obsługi,
- chipsety Intel, VIA, SiS, i865/875, obsługa przerwań, magistrala PCI i kanał DMA, mostkowanie PCI-E – AGP,
- obsługa stacji dyskietek i dysków twardych – organizacja i odczyt danych, praca kontrolera, macierze RAID,
- złącza ATA, SCSI i FireWire,
- karty grafiki, przetwarzanie obrazu, kompresja MPEG, generowanie grafiki 3D i magistrala AGP,
- najnowsze układy graficzne,
- obsługa klawiatury,
- złącza szeregowe, równoległe, USB i IrDA,
- system oszczędzania energii,
- nośniki optyczne,
- karty dźwiękowe,
- sieci i technologia BlueTooth,
- zasilacze awaryjne,
- BIOS.

Ponadto w książce znajdziesz informacje o diagnozowaniu usterek komputera za pomocą Linuksa, opisy mikroprocesorów firm Intel, AMD i Cyrix, w tym także najnowszych jednostek 64-bitowych, oraz adresy witryn internetowych producentów sprzętu i oprogramowania diagnostycznego.

Wydawnictwo Helion
ul. Chopina 6
44-100 Gliwice
tel. (32)230-98-63
e-mail: helion@helion.pl

Spis treści

Rozdział 1. Mikroprocesor 19
Przetwarzanie rozkazów 21
RISC i CISC 21
Przetwarzanie potokowe 22
Techniki przyspieszania 25
Dostęp do pamięci 32
Adresowanie 34
Stronicowanie 35
Pamięci podręczne 37
Topologie 39
Organizacja pamięci podręcznej 41
Strategie 42
Pamięć podręczna procesora 80386 43
Obsługa przestrzeni adresowej I/O 47
Procesor 8086 48
Procesory 80386 i 80486 48
Pentium 49
Funkcje kontrolne i sterujące 49
BIST 49
Kontrola TLB 50
Kontrola pamięci podręcznej 50
Przejście w stan wysokiej impedancji 50
JTAG 50
Częstotliwość taktowania 52
Zasilanie 54
Jak rozpoznać typ procesora? 56
Czy procesor jest zgodny z układem 80286 lub lepszym? 57
Procesor 8086/88 czy 80186/88? 57
Procesor 80286 58
Procesor 80386 58
Procesor 486 czy Pentium? 58
Koprocesory 58
Koprocesor 8087 61
Koprocesor 80287 62
Koprocesor 80387 62
Koprocesor i487SX 63

Rozszerzenia 63
MMX 63
3DNow! 76
SSE 76
SSE2 80
SSE3 82
Hyper-Threading (HT) 84
Przetwarzanie 64-bitowe 89
Metoda firmy Intel: Itanium 89
Metoda firmy AMD: Opteron 92
Przyszłość przetwarzania 64-bitowego 94

Rozdział 2. Architektury komputerów PC 97
Model PC/XT 97
Procesor 8086 97
Procesor 8088 100
Dostęp do pamięci i przestrzeni wejścia-wyjścia 101
Kontroler 8288 102
Magistrala ISA 8-bitowa 107
Model AT 109
Procesor 80286 111
Magistrala ISA 16-bitowa 113
Komputery z procesorami 386, 486 i Pentium 115
EISA 117
MCA 118
VESA 120
PCI, PCI-X i PCI Express 123
Architektury systemów wieloprocesorowych 123
Architektura MPP 124
Architektura UMA 125
Architektura NUMA 128
Specyfikacja MP (Intel) 130
Zastosowania praktyczne 137
Architektura komputerów przenośnych 145
Złącze PCMCIA 145

Rozdział 3. Układy pamięciowe PC 147
Pamięci dynamiczne 148
Tryb konwencjonalny (Page Mode) 149
FPM (Fast Page Mode) 149
EDO (Extended Data Out) 152
BEDO (Burst EDO) 152
Porównanie 154
SDRAM 154
Moduły pamięciowe 163
Moduły SIMM-30 (SIP) 164
Moduły SIMM PS/2 166
Moduły DIMM 168-stykowe 170
Odświeżanie 184
RAS Only 186
CBR (CAS before RAS) 186
Hidden 188
Wykrywanie błędów i ich korekcja 189
Błędy powtarzalne (HE) 189
Błędy sporadyczne (SE) 189

Kontrola parzystości 190
Kontrola ECC 191
Rozszerzenia standardu magistrali PC-66 192
Parametry modułów 194
Pamięć konfiguracyjna (SPD) 195
Moduły buforowane 198
DDR SDRAM 201
Systemy dwukanałowe 209
DDR2 SDRAM 210
Moduły DIMM DDR2 211
RDRAM 217
VC-SDRAM 224
HSDRAM 226
Porównanie parametrów pamięci 227
LVTTL 228
SSTL_2 229
SSTL_18 229
RSL 229
Identyfikacja producentów chipów pamięciowych 230

Rozdział 4. Układy otoczenia procesora (chipset) 233
Zakres funkcji 233
Magistrala FSB 235
Obsługa pamięci operacyjnej i magistrali pamięciowej 239
Obsługa pamięci podręcznej (Cache) 241
Zakres pokrywany przez pamięć podręczną 243
Układy obsługi podstawki typu Socket 7 246
Układy współpracujące z magistralą GTL+ i AGTL+ 248
Układy do obsługi procesorów AMD 259
Rodzina K7 259
Rodzina Hammer 264
Układy ze zintegrowaną kartą graficzną 264
Wewnętrzne magistrale międzyukładowe 273
PCI 273
Hub-Interface, V-Link i MuTIOL 274
RapidIO 274
HyperTransport (LDT) 279

Rozdział 5. Magistrala PCI 283
Gniazda magistrali PCI 293
Obsługa przerwań 295
Pamięć konfiguracyjna urządzeń PCI 297
Identyfikator producenta (Vendor ID) 297
Identyfikator urządzenia (Device ID) 297
Rejestr poleceń (Command) 298
Rejestr stanu (Status) 299
Numer wersji urządzenia (Revision ID) 301
Kod klasy urządzenia (Class Code) 301
Rozmiar linii pamięci podręcznej (Cache Line Size) 301
Minimalny czas transmisji (Latency Timer) 301
Typ nagłówka (Header Type) 304
BIST (Build-in Self-test) 305
Adres bazowy (Base Address Registers) 305
Wskaźnik CardBus CIS (CardBus CIS Pointer) 306

Dodatkowy identyfikator producenta (Subsystem Vendor ID)
i dodatkowy identyfikator urządzenia (Subsystem ID) 307
Adres bazowy rozszerzenia ROM (Expansion ROM Base Address) 307
Wskaźnik do listy możliwości (Capabilities Pointer) 308
Linia IRQ (Interrupt Line) 308
Linia INT (Interrupt Pin) 308
Długość transmisji (Min_Gnt) 309
Częstość (Max_Lat) 309
Mechanizmy dostępu do pamięci konfiguracyjnej 309
Pierwszy mechanizm dostępu do pamięci konfiguracyjnej 310
Drugi mechanizm dostępu do pamięci konfiguracyjnej 310
PCI BIOS 311
Autokonfiguracja urządzeń PCI 311
Rozwój PCI i inne magistrale 312
PCI-32/66 MHz i PCI-64 313
PCI-X 313
PCI-Express 317

Rozdział 6. Kanał DMA 325
Układ scalony 8237A 326
Tryby pracy kontrolera DMA 328
Tryb spoczynkowy „I" (Idle) 328
Tryb „S" (Single) 329
Tryb „B" (Block) 329
Tryb „D" (Demand) 329
Tryb „C" (Cascade) 329
Tryb „V" (Verify) 329
Kaskadowe łączenie układów 8237A 330
Programowanie kontrolerów DMA 330
Adresy portów kontrolerów DMA w komputerze IBM PC/XT 331
„Sztuczne" porty komputera PC/XT 332
Adresy portów kontrolerów DMA w komputerze IBM PC/AT 332
„Sztuczne" porty komputera PC/AT 333
Budowa rejestrów wewnętrznych 334
Rejestr żądań (port 009h w PC/XT, 009h i 0D2h w PC/AT) 334
Rejestr stanu (port 008h w PC/XT, 008h i 0D0h w PC/AT) 334
Rejestr rozkazów (port 008h w PC/XT, 008h i 0D0h w PC/AT) 334
Rejestr maski kanału (port 00Ah w PC/XT, 00Ah i 0D4h w PC/AT) 335
Rejestr maskujący (port 00Fh w PC/XT, 00Fh i 0DEh w PC/AT) 335
Rejestr trybu (00Bh w PC/XT, 00Bh i 0D6h w PC/AT): 336
Przebieg transmisji 337
Komputery IBM PC i IBM PC/XT 337
Komputer IBM PC/AT 338
Układ odświeżania pamięci 340
DMA a współczesne magistrale rozszerzające 341

Rozdział 7. System obsługi przerwań sprzętowych 343
Układ scalony 8259A (PIC) 344
Cykl przyjęcia zgłoszenia 346
Kaskadowe łączenie kontrolerów przerwań 347
Fazy obsługi przerwań pochodzących od układu Slave 349
Programowanie kontrolera przerwań 349
Inicjowanie pracy układu 350
Polling 354
Przerwanie niemaskowalne (NMI) 354

Obsługa przerwań z magistral ISA, PCI i AGP 355
Kontroler APIC 358
Strona sprzętowa 360
Obsługa APIC przez OS 363

Rozdział 8. Obsługa stacji dyskietek 367
Fizyczna organizacja danych na dyskietce 369
Programowanie operacji dyskowych 372
Programowanie operacji dyskowych z poziomu systemu MS-DOS 372
Przerwanie 25h 373
Przerwanie 26h 374
Przerwanie 21h 374
Obsługa dysków za pomocą funkcji BIOS-u 375
Bezpośredni dostęp do kontrolera napędu dysków elastycznych 384
Cykl rozkazowy kontrolera 387
Faza przygotowawcza 387
Faza przekazywania rozkazu 387
Budowa przykładowego rozkazu — rozkaz RS (Read Sector) 388
Alternatywne metody transmisji danych 393
Uwzględnianie mechanicznych własności napędu 394
Zabezpieczanie danych — kod CRC 396

Rozdział 9. Obsługa dysku twardego 399
Budowa kontrolera 399
Systemy kodowania MFM i RLL 400
Fizyczna organizacja danych i formatowanie 402
Formatowanie wysokiego poziomu 403
Formatowanie niskiego poziomu 404
Wykrywanie i korekcja błędów 406
Standard AT-BUS 409
Wstęp 410
Złącze fizyczne 412
Dostęp CPU do dysku AT-BUS 414
Cykl programowania kontrolera 421
Rozszerzenia standardu pierwotnego 425
Wzrost pojemności dysków 428
Ograniczenia wnoszone przez BIOS 429
Ograniczenia wnoszone przez systemy operacyjne 439
Obsługa dużych dysków 442
Podnoszenie pasma przepustowego magistrali 443
Tryby PIO 444
Tryby DMA 446
Tryb Ultra DMA/33 447
Tryb Ultra DMA/66 450
Tryby Ultra ATA/100 i Ultra ATA/133 452
Blok informacyjny 453
Realizacja rozkazu Identify Device 453
Lista rozkazów 459
Funkcje oszczędnościowe 460
System PM 460
System APM 462
Funkcje akustyczne 463
Dostęp do funkcji AAM 463

Wykorzystanie powierzchni dyskowej 465
Proces ładowania systemu operacyjnego 465
MBR i PT 466
System danych i FSBR 467
Specyfika wybranych systemów operacyjnych 469
Przypisywanie oznaczeń literowych 474
Programy BM 475
Macierze dyskowe 476
Poziomy RAID 477
Kontrolery RAID 480
Rozwiązania programowe z poziomu systemu operacyjnego 481
Tryby macierzowe zestawów układów sterujących firmy Intel 482
SMART 483
Struktura systemu 483
Aplikacje współpracujące ze SMART 486
Wielowątkowy dostęp przez Serial ATA 486
Zarządzanie kolejką 487
Rozpędzanie dysku 488
Optymalizacja ruchu głowicy 488
Opóźnienie w ruchu obrotowym 489
Korzyści i wspomaganie Native Command Queuing 489
Jak aplikacje mogą korzystać z kolejkowania 490
Pamięci USB 492
Interfejs 492
Cechy pamięci USB 493
Wydajność 494

Rozdział 10. Magistrala szeregowa ATA 495
Specyfikacja 497
Sterowanie 497
Okablowanie 498
Urządzenia 499
Protokół i transmisja 500
Serial ATA II 506
Kolejkowanie rozkazów 506
Powielacze portów 507
Backplane 508

Rozdział 11. Standard SCSI 513
Realizacja magistrali 516
Organizacja protokołu 519
Fazy pracy magistrali 520
Transfer danych w fazach informacyjnych 533
Sytuacje wyjątkowe 540
Rozkazy systemowe 544
Informacja statusowa 548
Komunikaty (Messages) 549
System wskaźników 554
Przykładowa wymiana danych 556
SCSI w komputerach PC 560
Host-Adapter 561
Okablowanie 565
Terminatory 567
Rozszerzenia SCSI 569

Rozdział 12. Złącze 1394 (Fire Wire) 583
Ogólne założenia standardów 1394-1995 i 1394a-2000 584
Tryby i prędkość transmisji 584
Topologia 585
Okablowanie 585
Gwarantowane pasmo transmisyjne 587
Rozszerzenia 1394b 587
Klasy prędkości 588
Okablowanie 588
Protokół 591

Rozdział 13. Karty graficzne 593
Przegląd kart graficznych 593
Omówienie kart graficznych EGA, VGA i SVGA 597
Tryby tekstowe 600
Tryby graficzne 601
Rozdzielczość obrazu 601
Tryby zapisu i odczytu pamięci obrazu 602
Schemat działania karty graficznej 603
Standard VESA 605
Pamięć lokalna akceleratora 605
Frame Buffer 606
Bufor Z/W 607
Pamięć tekstur 609
Rozmiar pamięci i organizacja 610
Rodzaje pamięci kart graficznych 613
RAMDAC 617
Przegląd nowych procesorów graficznych 620
Dopasowanie monitora do karty 624
Parametry karty 624
Jakość monitora 626
Kanał informacyjny VESA DDC 628
Złącza cyfrowe 629
TMDS 629
P&D (EVC) 631
DFP 631
DVI 632

Rozdział 14. Przetwarzanie obrazów wideo 635
Formaty MPEG 638
MPEG-1 638
MPEG-2 639
MPEG-4 640
Format DivX 641
Rozdzielczość 641
Bitrate w filmach DivX 642
Smart Bitrate Control i Constant Bitrate Control 642
Profile kompresji 643
Następca formatu DivX 643
Rozwiązania programowe na platformie PC 645
Kodery 646
Odtwarzacze 648
Wspomaganie sprzętowe 650
Interfejs programowy 652

Rozdział 15. Grafika 3D 655
Schemat przetwarzania obiektów 3D 656
API 658
Geometry Engine 660
Tłumaczenie opisu środowiska 660
Oświetlenie i tekstura 660
Przekształcenia geometryczne 661
Strefa widoczności 661
Przekazanie parametrów do jednostki rasteryzującej 662
Rendering Engine 662
Teksturowanie 665
Korekcja perspektywy 666
Nakładanie mapy 667
Mieszanie kolorów 672
Efekty specjalne 673
Podział mocy obliczeniowej 674

Rozdział 16. Magistrala AGP 677
Architektura komputera z magistralą AGP 677
Sygnały magistrali AGP 681
Szyna adresów i danych 683
Sygnały PCI 684
Sygnały kontroli przepływu 685
Sygnały obsługi żądań AGP 685
Linie statusowe 685
Sygnały kluczujące 686
Sygnały USB 686
System zarządzania zużyciem energii 686
Sygnały specjalne 687
Linie zasilające 687
AGP w teorii 687
Kolejkowanie 688
Magistrala SBA 690
GART 691
DIME 692
AGP w praktyce 694
Wymagania sprzętowe i programowe 694
Kontrola działania 695
AGP PRO 698
AGP 3.0 701
Pasmo przepustowe 701
Poziomy napięć 701
Nowe sygnały i przedefiniowania 702
Sygnały zegarowe 703
Transakcje 704
Pobór prądu 704
Zgodność w dół 704
Implementacja w chipsetach 705
Przyszłość standardu AGP 705

Rozdział 17. System odmierzania czasu 707
Układ 8253/8254 707
Tryb 0 709
Tryb 1 709
Tryb 2 710

Tryb 3 710
Tryb 4 710
Tryb 5 711
Programowanie generatora 8253/8254 711
Zegar systemowy 714
Układ odświeżania pamięci dynamicznej 715
Obsługa głośnika 717
Drugi układ 8254 i jego zastosowanie 719

Rozdział 18. Pamięć CMOS-RAM 721
Organizacja pamięci CMOS 722
Rejestr A (offset 0Ah) 724
Rejestr B (offset 0Bh) 724
Rejestr C (offset 0Ch) 725
Rejestr D (offset 0Dh) 726
Rejestr E (offset 0Eh) — Diagnostic Status Byte 726
Rejestr F (offset 0Fh) — Shutdown Byte 727
Konfiguracja napędów dyskietek (offset 10h) 728
Konfiguracja dysków twardych (offset 12h) 728
Pamięć (offset 15h) 729
Suma kontrolna 730
Bajt konfiguracji sprzętowej (Equipment Byte) 730
Funkcje BIOS-u obsługujące pamięć konfiguracji 730
Funkcja 00h 731
Funkcja 01h 731
Funkcja 02h 731
Funkcja 03h 732
Funkcja 04h 732
Funkcja 05h 733
Funkcja 06h 733
Funkcja 07h 733
Bezpośredni dostęp do pamięci CMOS 734

Rozdział 19. Obsługa urządzeń wejściowych 735
Klawiatura 735
Mapa klawiatury 737
Organizacja obsługi klawiatury przez BIOS 743
Funkcje przerwania 16h BIOS-u 748
Bezpośrednie programowanie klawiatury 752
Mysz 762
Moduły dostosowujące a podłączanie myszy 763
Funkcja 00h 765
Funkcja 01h 765
Funkcja 02h 766
Funkcja 03h 766
Funkcja 04h 766
Funkcja 05h 767
Funkcja 06h 767
Funkcja 0Bh 768
Manipulator 768
Funkcja 84h 770
Urządzenia bezprzewodowe 771
Transmisja w paśmie podczerwieni 771
Transmisja radiowa 772
Bluetooth 772

Rozdział 20. Łącze szeregowe 775
Asynchroniczna transmisja szeregowa 775
Układ scalony 8250 777
Interfejs RS-232C 780
Tryb simpleksowy 782
Tryb półdupleksowy 783
Tryb dupleksowy 783
Dostęp do łącza szeregowego z poziomu systemu MS-DOS 785
Funkcja 03h 785
Funkcja 04h 786
Funkcja 3Fh 786
Funkcja 40h 786
Funkcje BIOS-u obsługujące łącze szeregowe 787
Funkcja 00h 789
Funkcja 01h 790
Funkcja 02h 791
Funkcja 03h 791
Bezpośrednie programowanie rejestrów UART 792
Przerwania generowane przez łącze szeregowe 793
Prędkość transmisji 796
Sygnały sterujące 796
Układ UART 16450 799

Rozdział 21. Łącze równoległe 801
Terminologia programu konfiguracyjnego BIOS-u 803
Tryby podstawowe 804
Tryb standardowy 804
Tryb półbajtowy 810
Tryb bajtowy (PS/2) 811
Tryb EPP 811
Tryb ECP 814
Realizacja portu równoległego w ramach architektury PC 819
Dostęp do łącza równoległego poprzez funkcje BIOS-u 820
Funkcja 00h 820
Funkcja 01h 822
Funkcja 02h 822
Dostęp do łącza równoległego z poziomu systemu MS-DOS 824
Funkcja 05h 824
Funkcja 40h 824
Ogólne zastosowanie łącza równoległego 825

Rozdział 22. Złącze USB 831
Specyfikacja 831
Topologia 832
Okablowanie 834
Protokół 836
Pakiety 837
Sterowanie w trybach LS/FS (USB 1.1) 839
Sterowanie w trybie HS (USB 2.0) 840
USB w praktyce 843
Windows 95 845
Windows 98/98SE 845
Windows NT 846
Windows 2000/XP/2003 846
USB 2.0 846

Urządzenia USB 847
Klawiatury 847
Myszy 847
Kontrolery gier 848
Dyski twarde 848
Moduły pamięci Flash EEPROM 849
Napędy optyczne 849
Czytniki kart pamięci i aparaty cyfrowe 849
Skanery 850
Drukarki 850
Sieci komputerowe 850

Rozdział 23. Złącze bezprzewodowe wykorzystujące fale podczerwieni (IrDA) 851
Protokoły komunikacyjne IrDA 851
Standard IrDA-CONTROL 852
Standard IrDA-DATA 853
IrDA w praktyce 855
Windows 95 857
Windows 98 858
Windows ME 858
Windows NT 858
Windows 2000 858
Windows XP 859

Rozdział 24. System ograniczania zużycia energii (ACPI) 861
Model warstwowy ACPI 862
Przegląd stanów energetycznych 865
Wskazówki praktyczne 867
Windows 98 867
Windows 2000 868
Kontrola sterowników 871

Rozdział 25. Nośniki optyczne 873
Organizacja fizyczna danych 874
Przetwarzanie danych audio 874
Przetwarzanie danych cyfrowych 877
Informacja subkanałowa 878
Subkanał Q i TOC 880
Sesja i ścieżka 882
Formaty 883
Specyfikacje 887
Płyta CD-R 888
Płyta CD-RW 891
Technologia DVD 892
Kodowanie 893
Korekcja błędów 893
Formaty 894
DVD-R 894
DVD-RW 895
DVD+R/+RW 896
Płyty dwuwarstwowe — Dual Layer 897
DVD-RAM 897
Płyta DVD 899
HD DVD 902

Czytniki i nagrywarki 905
OPC 908
BURN-Proof i pochodne 908
MultiRead 909
Mount Rainier 909
Audio Master 910
Urządzenia kombinowane z DVD 910
Badanie formatu nośnika 914
Standard Blu-ray Disc 916
Osiągnięcie większej gęstości zapisu 917
Wytwarzanie płyt Blu-ray Disc 920
Kompatybilność ze starszymi formatami 923
Zabezpieczenie przed kopiowaniem 923
Kasety na dyski Blu-ray 924
Samodzielna diagnostyka 924
Technologia LightScribe 926

Rozdział 26. Nowoczesne magistrale szerokopasmowe 929
Fibre Channel 930
Topologie 931
Sterowanie 931
Protokół 933
Systemy złączy i okablowanie FC 933
Dyski ze złączem FC 935
Infini Band 937
Architektura 938
Sterowanie linii 938
Protokół 939
Okablowanie IBA 940

Rozdział 27. Karta dźwiękowa 943
Synteza FM 944
Synteza WaveTable 949
Digitalizacja i obróbka cyfrowa (DSP) 952
Przetworniki ADC i DAC 953
Standard MIDI 955
Protokół MIDI 956
MIDI od strony sprzętowej 957
Modelowanie przestrzenne 959
Wyprowadzenia zewnętrzne 964
Sygnały analogowe i mikser 964
Sygnały cyfrowe 965
Wykorzystanie zasobów systemowych 968
„Sound on Board" według specyfikacji AC'97 969
Schemat blokowy systemu AC'97 970
Układ scalony Codec AC'97 972

Rozdział 28. Modemy 975
Implementacje modemów analogowych 975
Modulacja sygnału 978
AM i QAM 978
FSK 979
PM i PSK 979
PCM 979
TCM 979

Standardy 980
Standardy Bell 981
V.21/V.22/V.22bis/V.23 981
V.32/V.32bis/V.32turbo 981
V.34 (V.Fast, V.34+, V.FC) 981
V.42 (MNP)/V.42bis 981
V.90 982
V.92 984
Dalsze perspektywy 984
Polecenia AT 985
Łańcuchy inicjalizujące 986
Zestaw układów sterujących modemu 987
Konfiguracja i diagnostyka modemów 988
Środki własne OS 988
Programy dodatkowe 988
Modemy cyfrowe ISDN 992
Protokół ISDN 994
Warstwa fizyczna 995
Warstwa łącza danych 995
Warstwa sieci 996
Rozszerzenia funkcjonalności 999
Modemy xDSL 999
Technologia transmisji 1000
Modemy HiS 1002

Rozdział 29. PC w sieci lokalnej 1005

Model OSI 1006
Warstwa fizyczna (L1) 1006
Łącze (L2) 1007
Sieć (L3) 1007
Transport (L4) 1008
Sesja (L5) 1008
Warstwa prezentacji (L6) 1008
Warstwa użytkowa (L7) 1008
Ethernet i TCP/IP 1008
Kapsułkowanie do ramki Ethernet 1009
Protokół TCP/IP 1011
Karta sieciowa 1013
Komunikacja z pamięcią i buforowanie 1014
Formowanie ramki 1015
Konwersja szeregowo-równoległa 1016
Kodowanie i dekodowanie 1016
Dostęp do medium i wykorzystanie pasma 1017
Chipset karty 1017
Wyposażenie, diagnostyka, konfiguracja 1018
Realizacje sieci Ethernet 1019
Okablowanie 1022
Konstrukcja kabli 1022
Kategorie i klasy 1024
Połączenia PC i proste sieci 1027
Wybór karty sieciowej i okablowania 1028
System operacyjny i sterowniki protokołów 1029
Przesyłanie danych 1033
Netio Benchmark 1034

Monitorowanie ruchu sieciowego na poziomie pakietów 1035
Nadzorowanie aktywnych połączeń 1037
Sieci bezprzewodowe 1037
Specyfikacje 1038
Topologie 1042
Ramka 1043
Uwierzytelnienie 1043
Bezpieczeństwo 1044

Rozdział 30. Bluetooth 1047
Założenia ogólne i specyfikacje 1048
Protokoły 1048
Warstwa fizyczna 1050
Sieć 1051
Pakiety 1053
Bezpieczeństwo 1055
Wykrywanie błędów 1057
Korekcja błędów 1058
Przykłady zastosowań 1058
Co nowego znajdziemy w Bluetooth V1.2? 1060
Przyszłość Bluetooth 1060

Rozdział 31. Zasilacz 1061
Zasilacz standardu ATX 1063
Specyfikacja ATX/ATX12V 1066
Dobór zasilacza 1068
Przykładowe rozwiązania 1070
Zasilacze dużej mocy 1070
ATXGES (AMD) 1070
EPS12V (Intel) 1073

Rozdział 32. Zasilacze awaryjne 1077
Źródła zakłóceń 1078
Chwilowe zaniki napięcia 1078
Spadki o średniej długości 1078
Długotrwałe spadki napięcia 1079
Przepięcia 1079
Pakiety 1079
Wysokie harmoniczne 1079
Całkowity zanik napięcia 1079
Zasilacz PC jako odbiornik prądu zmiennego w sieci 1080
Budowa układów UPS 1082
Baterie 1083
Elementy kontrolne i regulacyjne 1084
Czas buforowania 1085
Topologie 1086
Zakres napięć wejściowych 1089
Programy obsługujące urządzenia UPS 1089
Środki systemu operacyjnego 1089
Programy własne producentów UPS 1090

Rozdział 33. BIOS i jego program konfiguracyjny 1093
Organizacja systemu bezpieczeństwa 1094
Możliwości omijania systemu bezpieczeństwa 1096
System ochrony przed wirusami atakującymi MBR 1100
System ładowania wartości predefiniowanych 1100

Mechanizm opuszczania programu konfiguracyjnego 1101
Ogólna konstrukcja blokowa 1101
Programy pseudo-BIOS-SETUP 1102
Aktualizacja BIOS-u 1102
Wstęp 1102
Niebezpieczeństwo 1102
Aktualizacja 1102
W razie niepowodzenia — reanimacja 1104
Nowe możliwości — aktualizacja w środowisku Windows 1104
Nowe trendy w programach BIOS 1105
Obrazki w BIOS-ie 1105
Podwójny BIOS 1106
POST on Board 1106
Voice Diagnostic 1107
Auto-Overclocking 1107
Soft Menu 1107

Bibliografia 1151
Literatura polskojęzyczna 1151
Literatura anglojęzyczna 1156
Wydawnictwa 1157

Skorowidz 1159

Dodatek A Przegląd architektury mikroprocesorów .... DVD-ROM
Dodatek B Systemy oznaczeń scalonych układów pamięciowych .... DVD-ROM
Dodatek C Baza adresów internetowych .... DVD-ROM
Dodatek D Przykład współpracy z magistralą ISA .... DVD-ROM
Dodatek E Rejestry sterowników EGA/VGA .... DVD-ROM
Dodatek F Funkcje BIOS-u obsługujące karty graficzne .... DVD-ROM
Dodatek G Linux w zastosowaniach .... DVD-ROM

Dodatek A

Przegląd architektury mikroprocesorów

Wnętrze współczesnego komputera klasy PC zawiera szereg produktów najróżniejszych firm. Oferta jest tak bogata, że w niektórych dziedzinach nie sposób byłoby nawet wymienić wszystkich znaczących producentów. Nie dotyczy to jednak procesorów. Przeważająca część udziałów w obrocie podzielona jest w chwili obecnej pomiędzy firmy Intel i AMD. W starszych komputerach odnaleźć można ślady obecności na rynku innych wytwórców.

W dalszej części rozdziału omówione zostaną produkty następujących firm:

- AMD (rodziny K5, K6, K7 oraz Hammer);
- IBM/Cyrix (M1, M2, ViA Cyrix III ViA);
- Intel (Pentium, Pentium MMX, Pentium Pro, Pentium II, Pentium III i Pentium 4 wraz z odmianami);
- IDT (WinChip C6 i WinChip 2).

Krótka charakterystyka poszczególnych rodzin procesorów obejmuje zwięzły opis, schemat blokowy i tabelarycznie ujęte główne cechy architektury. Czytelników chętnych do dalszego zgłębiania tych zagadnień odsyłam do odpowiednich stron internetowych.

AMD	*www.amd.com*
Cyrix III (VIA C3)	*www.via.com.tw*
Intel	*www.intel.com*

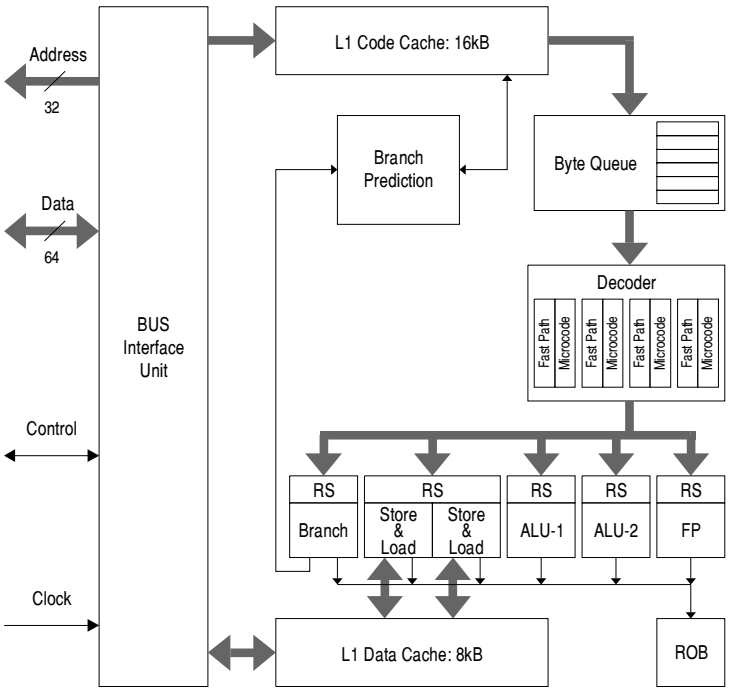
Procesory AMD

Rodzina K5

Procesor $AM5_K86$ (K5) był pierwszym w pełni niezależnym projektem firmy AMD. Wszystkie poprzednie modele z serii 386 i 486 kopiowały w mniejszym lub większym stopniu oryginały Intela. Jądro procesora K5 opiera się na superskalarnej architekturze

RISC. Napływający strumień rozkazów x86 analizowany jest przez dekoder i tłumaczony na ciąg elementarnych operacji (mikrorozkazów) w wewnętrznym kodzie procesora (rysunek A.1). W terminologii AMD takie elementarne rozkazy RISC noszą miano ROP (*RISC Operations*). Rozkazy proste tłumaczone są przez dekoder pracujący w szybkim trybie (*Fast Path*), a rozkazy bardziej skomplikowane wymagają odwołania się do sekwencera rozwijającego odpowiednią sekwencję ROP z pamięci stałej EPROM. Niezależnie od sposobu kodowania, cegiełki ROP mają zawsze stałą długość.

Rysunek A.1. *Schemat blokowy procesora AMD K5*



Wypływający z dekodera strumień ROP kierowany jest do jednostek wykonawczych. K5 dysponuje sześcioma takimi jednostkami: dwoma arytmetyczno-logicznymi dla liczb całkowitych, jedną dla zmiennoprzecinkowych, dwoma kanałami do obsługi operacji typu *Load/Store* i jedną do przetwarzania instrukcji rozgałęzień. Nad właściwym rozdziałem ROP do odpowiednich jednostek czuwa system dystrybucji (*Dispatcher*), który potrafi rozesłać w jednym cyklu zegarowym maksymalnie cztery mikrorozkazy. Jeśli dana jednostka jest aktualnie zajęta, skierowane do niej mikrokody oczekują w kolejce RS (*Reservation Station*). Zdecydowana większość ROP może być kierowana do dowolnej z dwóch jednostek ALU, a tylko nieliczne z nich wymagają obsługi przez konkretną jednostkę. Duża wydajność procesora gwarantowana jest jedynie w sytuacji stałego i pełnego wykorzystania wszystkich jednostek wykonawczych. W trosce o nieprzerwany dopływ ROP do tych układów procesor wyposażony został w szereg dodatkowych mechanizmów wspomagających. Do najważniejszych z nich zaliczyć należy opisane wcześniej systemy *Register Renaming* oraz *Data Forwarding*. Procesor przetwarza w miarę możliwości również poza kolejnością (*Out of Order Execution*), a zlokalizowany u wylotu potoku 16-stopniowy bufor ROB (*Reorder Buffer*) odpowiada za ponowne uszeregowanie rozkazów zgodnie z pozycją zajmowaną w realizowanej sekwencji rozkazów x86.

Tabela A.1. *Podstawowe dane procesorów AMD K5*

	PR-100	PR-133	PR-166
Architektura	RISC		
Zegar CPU [MHz]	100	100	116
Magistrala [MHz]	66	66	66
Mnożnik (BF)	×1,5 (BF = 1)	×1,5 (BF1/BF0 = 10)	×1,75 (BF1/BF0 = 00)
L1 Cache (kod)	16 KB, 1 Bank, 4× Associative, Dual Tags (linear+phys.), Line Cache 32 byte		
L1 Cache (dane)	8 KB, 4 Banks, 4× Associative, Dual Tags, MESI, WB, Line Cache 32 byte		
L2 Cache on Chip	×		
Pipe-Lines	6		
Pipe-Line Stages	5		
Out of Order Execution	✓, 16		
Branch History Table	1024		
Branch Target Buffer	1024		
$V_{CORE}/V_{I/O}$ [V]	3,52		
Pobór mocy, typ. [W]	12,6	10,6	12,3
Return Stack	×		
Renaming Registers	✓		
Performance Monitoring	✓(A)		
Time Stamp Counter	✓		
Podstawka	Socket 7, P54C		

(A) System niezgodny z Pentium.

System przewidywania rozgałęzień zapamiętuje 1024 adresy skoków i gwarantuje współczynnik trafienia około 75%. Napotkanie rozgałęzienia powoduje, iż pobieranie kolejnych instrukcji odbywa się w kierunku typowanym przez układ przepowiadania. Instrukcje są dekodowane i wykonywane, ale ich wyniki przechowuje się w buforze ROB do czasu potwierdzenia słuszności drogi wybranej na podstawie przypuszczeń. Jeśli przewidywanie okaże się fałszywe, procesor traci 3 takty zegara potrzebne na opróżnienie potoków, rejestrów i buforów.

Pamięć podręczna procesora podzielona jest na wyizolowane bloki obsługujące w niezależny sposób dane i kod. K5 przeznacza dla kodu 16 KB, co stanowi wartość dwukrotnie większą niż w Pentium. Każdy z zapamiętywanych bajtów opatrzony jest dodatkową 5-bitową sygnaturą (*Pre-Code Bits*), będącą wynikiem pracy układu dekodowania wstępnego. W ten sposób ulega skróceniu czas przebywania instrukcji w układzie właściwego dekodera. Pamięć podręczna danych zajmuje 8 KB. System pamięci podręcznej zorganizowany jest w linijki 32-bajtowe, jednak najmniejszą porcją informacji wymienianej z pamięcią operacyjną są dwie takie linijki. Magistrala przystosowana jest więc w naturalny sposób do obsługi adresów leżących na granicy 64 bajtów (*Q-Word*). Próba dostępu do obiektu leżącego „gdzieś pomiędzy" dzielona jest przez większość procesorów na dwa cykle. K5 potrafi jednak wygenerować taki zestaw sygnałów sterujących (*Split Line Access*), by omawiany problem nie wystąpił.

Układ sterowania pamięcią podręczną procesora K5 (zarówno dla kodu, jak i danych) prowadzi podwójny system katalogów (*Dual Tagged*). W jednym z nich przechowywane są adresy fizyczne, a w drugim adresy liniowe. Osiągane w ten sposób znaczne przyspieszenie dostępu do pamięci podręcznej okupywane jest koniecznością dodatkowego rozbudowania układów sterujących dla potrzeb nadzorowania spójności (*Cache Tag Recovery*) dwóch systemów adresowania.

Rodzina K6

Projekt tego procesora nie był w zasadzie dziełem AMD, lecz przejęty został wraz z zakupioną firmą NexGen. Połączenie okazało się niezmiernie korzystne dla obu stron. Rozwijana przez NexGen nowoczesna technologia[1] została zaadaptowana dla potrzeb niezmiernie chłonnego rynku komputerów klasy PC i wypromowana przez firmę, która wprawdzie zdobyła już pozycję w tym sektorze, ale nadal nie dysponowała atrakcyjnym produktem, który mógłby skutecznie odpierać nieustające ataki konkurencji.

Tak więc zakupiony procesor (wtedy jeszcze o nazwie Nx686) został na tyle przebudowany, by zmieścił się w podstawce Socket 7 typowej płyty głównej i zajął miejsce procesora Pentium. Uzyskany produkt końcowy otrzymał nazwę handlową K6, co miało stanowić nawiązanie do sprzedawanego do tej pory przez AMD własnego opracowania znanego pod symbolem K5.

K6 był jak na owe czasy konstrukcją bardzo nowoczesną i pod wieloma względami przewyższał swych aktualnych konkurentów. Jądro procesora pracowało w trybie RISC. Operacje w kodzie x86 rozkładane były na krótkie kody wewnętrzne, noszące tym razem miano RISC86. Układ dekodera był niezmiernie wydajny. Pobierając jednorazowo 16 bajtów kodu x86, produkował w ramach jednego cyklu zegarowego do 4 mikroinstrukcji (rysunek A.2).

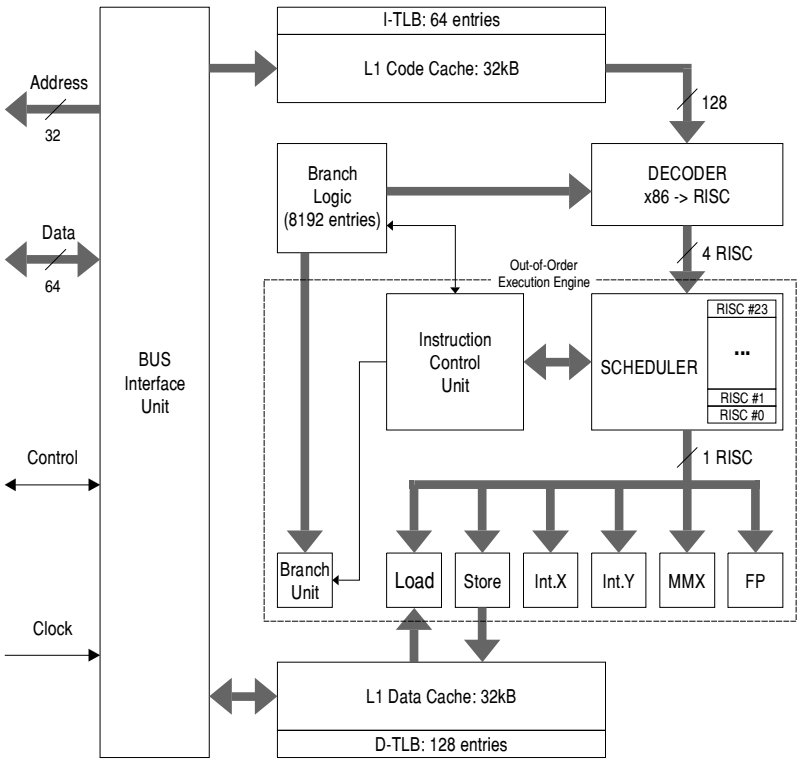
Opuszczające dekoder mikroinstrukcje spływały do zbiornika pośredniego (*Scheduler*), gdzie oczekiwały na zwolnienie właściwej dla danego rozkazu jednostki przetwarzającej. Procesor dysponował sześcioma takim układami: dwoma dla operacji na danych całkowitych (*Integer*), po jednym dla przesłań do i z pamięci, zmiennoprzecinkowego i MMX. Wszystkie jednostki z wyjątkiem dwóch ostatnich[2] mogły przetwarzać mikrokody RISC równolegle i jednocześnie.

Wzajemne uzależnienia kodu w strumieniach równoległych rozwiązywane były poprzez przemianowywanie rejestrów. Do dyspozycji tej funkcji oddano 32 dodatkowe rejestry 32-bitowe. Układ przepowiadania śledził zachowanie 8192 instrukcji rozgałęzień, przez co cechował się bardzo dużą dokładnością trafień.

K6 wyposażony został w 64 KB pamięci podręcznej (tabela A.2), po 32 KB dla kodu i danych, co stanowiło wartość czterokrotnie wyższą niż w przypadku Pentium i dwukrotnie

[1] Płyta główna zdolna do przyjęcia procesora NexGen bazowała na specjalnie opracowywanych do tego celu układach scalonych (*Chip-Set*). Winę za to ponosiła całkowita niezgodność z architekturami „intelopodobnymi", na przykład specjalna superszybka magistrala łącząca procesor z pamięcią podręczną L2.

[2] Projekt jednostki MMX przejęty został od Intela na mocy wzajemnej umowy licencyjnej. Koncepcja wyklucza jednoczesną pracę MMX i FPU, bowiem obydwa bloki korzystają ze wspólnych rejestrów.



Rysunek A.2. *Schemat blokowy procesora AMD K6*

wyższą niż dla Pentium MMX. Na uwagę zasługuje również organizacja pamięci pośredniej jednostki MMU. Tablice TLB (*Transaction Look-aside Buffer*) dla kodu potrafiły zapamiętać do 128 rekordów (dla porównania — Pentium Pro tylko 32).

Rodzina K6-2

W połowie 1998 roku na rynku pojawiły się procesory K6 (jądro typu *Chomper*) dostosowane do pracy z magistralą FSB 100 MHz. Firma AMD rzuciła w ten sposób wyraźne wyzwanie monopolistycznej polityce Intela, ukierunkowanej na rozwój linii Pentium II i wyeliminowanie szeroko rozpowszechnionej podstawki Socket 7. Ponieważ obowiązująca w tym zakresie specyfikacja dopuszczała maksymalną częstotliwość szyny FSB, wynoszącą 66 MHz, nowy wynalazek propagowany był jako podstawka Super 7 (Socket Super 7).

Prawidłowe rozpoznanie i skonfigurowanie nowego procesora wymagało obsługi ze strony BIOS-u (ew. konieczność aktualizacji) i płyty głównej. Na straconej pozycji znaleźli się posiadacze płyt pozbawionych wyprowadzenia końcówki BF2, co uniemożliwiało ustawienie mnożnika powyżej ×3,5. Trzeba też było zwracać uwagę na dostateczną wydajność źródła prądowego (co najmniej 10 A).

Procesory K6-2 mogły współpracować z magistralą FSB zarówno w wersji 66 MHz, jak i 100 MHz (tabela A.3), przy czym chipsety do tych ostatnich pochodziły wyłącznie od

Tabela A.2. *Podstawowe dane procesorów AMD K6*

	166	200	233	266(A)	300(A)
Architektura	RISC 86				
Technologia	0,35 µm	0,35 µm	0,35 µm	0,25 µm	0,25 µm
Zegar CPU [MHz]	166	200	233	266	300
Magistrala [MHz]	66	66	66	66	66
Mnożnik (BF)	×2,5	×3	×3,5	×4	×4,5
L1 Cache (kod)	32 KB, 2×Associative (2 Ways)				
L1 Cache (dane)	32 KB, 2×Associative, WB (2 Ways)				
L2 Cache on Chip	×				
Pipe-Lines	7				
Pipe-Line Stages	6 (FP: 7)				
Out of Order Execution	✓				
Branch History Table	8192				
TLB	Code Cache TLB: 64 Entries Data Cache TLB: 128 Entries L2 TLB: –				
Branch Target Buffer	16				
V_{CORE} [V]	2,9 (2,76 – 3,05)	2,9 (2,76 – 3,05)	3,2 (3,1 – 3,3)	2,1	2,1
$V_{I/O}$ [V]	3,3 (3,14 – 3,6)	3,3 (3,14 – 3,6)	3,3 (3,14 – 3,6)	3,3	3,3
Pobór mocy, typ. [W]	10	12	17	6 (maks. 11,5)	7 (maks. 12,5)
Return Stack	16				
Renaming Registers	48 (8 + 40)				
Performance Monitoring	×				
Time Stamp Counter	×				
Podstawka	Socket 7, P55C				

(A) Przejście z technologii 0,35 µm na 0,25 µm miało miejsce w połowie 1997.

konkurentów Intela. Procesory z FSB 100 MHz różniły się w istotny sposób od dotychczasowych wersji 66 MHz. Nowość (a zarazem pewien problem techniczny) stanowiło uniezależnienie częstotliwości szyny głównej od magistrali PCI i AGP. Typowe dla dotychczasowej architektury było uzyskiwanie częstotliwości 33 MHz (taktującej szynę PCI) poprzez prosty podział zegara magistrali procesora (66 MHz : 2). Szyna AGP otrzymywała natomiast pełny przebieg 66 MHz. Wszystkie te przebiegi były ze sobą wspaniale zsynchronizowane, bowiem wywodziły się ze wspólnego źródła. Ten prosty mechanizm podziału stosowany był dla FSB 75 MHz, a nawet 83 MHz, co znosiły z różnym szczęściem układy peryferyjne PCI i AGP (gwarancja działania obejmuje zakres do 33 MHz). Na rynku znalazła się niestety zbyt duża liczba płyt głównych pozwalających na manipulację częstotliwościami magistral w zakresie wybiegającym często poza granice zdrowego rozsądku.

Tabela A.3. *Podstawowe dane procesorów AMD K6-2*

	266	300	333	350	366	380	400	450	475	500
Architektura	RISC 86									
Technologia	0,25 µm									
Zegar CPU [MHz]	266	300	333	350	366	380	400	450	475	500
Magistrala [MHz]	100/66	100/66	66	100	66	95/75	100	100	95	100
Mnożnik (BF)	×2,5 /×4	×3/×4,5	×5	×3,5	×5,5	×4/×5	×4	×4,5	×5	×5
L1 Cache (kod)	32 KB, 2×Associative 20 KB Predecode Cache									
L1 Cache (dane)	32 KB, 2×Associative, WB									
L2 Cache on Chip	×									
Pipe-Lines	7									
Pipe-Line Stages	6 (FP: 7)									
Out of Order Execution	✓									
Branch History Table	8192									
Branch Target Buffer	16									
V_{CORE} [V]	2,2							2,2/2,4		2,2
$V_{I/O}$ [V]	3,3									
Pobór mocy, maks. [W]	14,7	17,2	19,0	19,95	20,8	21,6	22,7	18,8 28,4[A]	19,8 29,6[A]	20,75
Return Stack	16									
Renaming Registers	48 (8 + 40)									
Podstawka	Socket Super 7									

[A] Pobór mocy dla procesorów zasilanych napięciem 2,4 V.

Podnoszenie ponad miarę częstotliwości szyny PCI zagraża nie tylko kartom graficznym i innym urządzeniom PCI, ale ma również ujemne skutki dla kontrolera IDE, co objawiać się może sporadycznymi błędami zapisu i odczytu.

Poważna trudność powstaje w momencie, gdy częstotliwość przebiegu bazowego (magistrala FSB) wynosi 100 MHz. Z takiego źródła niełatwo jest uzyskać zsynchronizowane przebiegi 33 MHz i 66 MHz. Stosuje się dwa sposoby podejścia do tego problemu. Pierwszy z nich to asynchroniczny tryb pracy. Magistrala główna i procesor mają własny zegar 100 MHz. Szyna AGP wyposażona zostaje w niezależny generator 66 MHz, a jego sygnał posyłany jest na magistralę PCI po podziale przez 2. Rozwiązanie drugie to tak zwany tryb pseudosynchroniczny, polegający na przemyślnym wyprowadzaniu (poprzez kolejne dzielenia i mnożenia) potrzebnych częstotliwości (66 i 33) z zegara 100 MHz. Tryb asynchroniczny ma istotną wadę: połączenie i współpraca magistral taktowanych różnymi częstotliwościami wymaga stosowania buforów pośrednich przechowujących dane. Skomplikowany na pozór tryb pseudosynchroniczny gwarantuje lepsze sprzężenie, bowiem mimo nierównomierności cyklów ich wzajemne przesunięcia są jednoznacznie zdefiniowane i kontrolery magistral mogą lepiej przewidzieć stosowne

dla wymiany danych momenty. Magistrala 100 MHz to nie jedyna nowość wprowadzona do procesorów AMD K6-2. Drugim istotnym elementem były rozszerzenia o funkcje 3DNow! (opisane w rozdziale 1.).

Procesory rodziny K6 (w tym również K6-2) dysponowały specjalnym rejestrem konfiguracyjnym umożliwiającym aktywowanie funkcji WA (*Write Allocation*). Tryb ten stanowił pewną szczególną formę obsługi pamięci podręcznej, która w większości typowych zastosowań przynosiła wzrost wydajności.

Stały wzrost częstotliwości taktowania procesorów spowodował po raz pierwszy wystąpienie ciekawego fenomenu. Procesory AMD K6-2 w wersji 350 MHz doprowadziły jako pierwsze do zawieszania się systemu operacyjnego i to z dosyć nieoczekiwanego powodu. Zjawisko to wywołane było po prostu nadmierną prędkością obliczeń! Błąd miał swoje źródło w sterownikach Windows 95 (na przykład *ios.vdx*), które podczas wykonywania pętli doprowadzały do dzielenia przez zero. Problem nie dotyczył Windows NT i Windows 98.

Rodzina K6 III

Projekt tego procesora rozwijany był przez AMD pod kryptonimem *Sharptooth*, a jądro określane było mianem CXT. K6 III to w zasadzie K6-2 wzbogacony o pamięć podręczną L2 zlokalizowaną bezpośrednio w strukturze[3] procesora (*On-Die*) (tabela A.4).

Ważną cechą architektury K6 III był fakt, iż (w odróżnieniu od Pentium II, a nawet Pentium III) magistrala BSB (*Back Side Bus*) łącząca L2 z procesorem taktowana była pełną częstotliwością zegara CPU.

W fazie przejściowej (między K6-2 a K6 III) na rynku znajdowały się zarówno egzemplarze K6-2 z jądrem starego typu (*Chomper*), jak i modele będące *de facto* K6 III (jądro typu CXT). Procesory te można rozróżnić w bardzo prosty sposób: *Chomper* ma naniesiony w lewym dolnym rogu obudowy napis 26050, natomiast CXT — 26351. Decydującym kryterium jest odpowiedź procesora na rozkaz `cpuid`. K6-2 odpowiada sekwencją 05h-8h-00h (w kolejności: *Family-Model-Stepping*). W przypadku jądra CXT odpowiedź brzmi 05h-08h-0Ch.

AMD nie wprowadziło w tym przypadku żadnych nowych, niekompatybilnych[4] rozszerzeń, takich jak SSE Intela. Nadal obowiązywał kurs na 3DNow!, tym bardziej, że coraz większa liczba producentów oprogramowania zdawała się je akceptować.

3DNow! nie potrzebuje wsparcia systemu operacyjnego przy zachowywaniu rejestrów. Są one, podobnie jak MMX, zamaskowane pod jednostką FP. Architektura 3DNow! stosuje za to bardziej wyrafinowane rozkazy. K6 III nie wprowadzał również żadnych nowych sztuczek z pamięcią podręczną (takich jak strumieniowanie w Pentium III).

Pozycja rynkowa K6 III miała stanowić przeciwwagę dla konkurencyjnych produktów Intela — procesorów Pentium II i Pentium III. Wersja K6 III 400 MHz odpowiadała —

[3] Pamięć podręczna L2 nie zajmuje dodatkowej powierzchni, bowiem ukryta jest pod samym procesorem. Całkowita grubość struktury rośnie przez to o około 1 mm.

[4] Zmieniony został natomiast (w stosunku do K6-2) sposób aktywowania trybu WA (*Write Allocation*).

Tabela A.4. *Podstawowe dane procesorów AMD K6 III*

	400	450
Architektura	RISC 86	
Technologia	0,25 µm	
Zegar CPU [MHz]	400	450
Magistrala [MHz]	100	
Mnożnik (BF)	×4	×4,5
L1 Cache (kod)	32 KB, 2×Associative 20 KB Predecode Cache	
L1 Cache (dane)	32 KB Write Back, 2×Associative	
L2 Cache on Chip (CPU Clock)	256 KB Write Back 4×Associative	
Pipe-Lines	10	
Pipe-Line Stages	6 (INT)	
FPU Units	1 (Non-Pipelined)	
Integer Units/MMX Units	2/2	
Renaming Registers	✓	
Out of Order Execution	✓	
Branch History Table	8192	
$V_{CORE}/V_{I/O}$ [V]	2,4/3,3	
Pobór mocy, typ./maks. [W]	16,1/26,8	17,7/29,5
Podstawka	Socket Super 7	

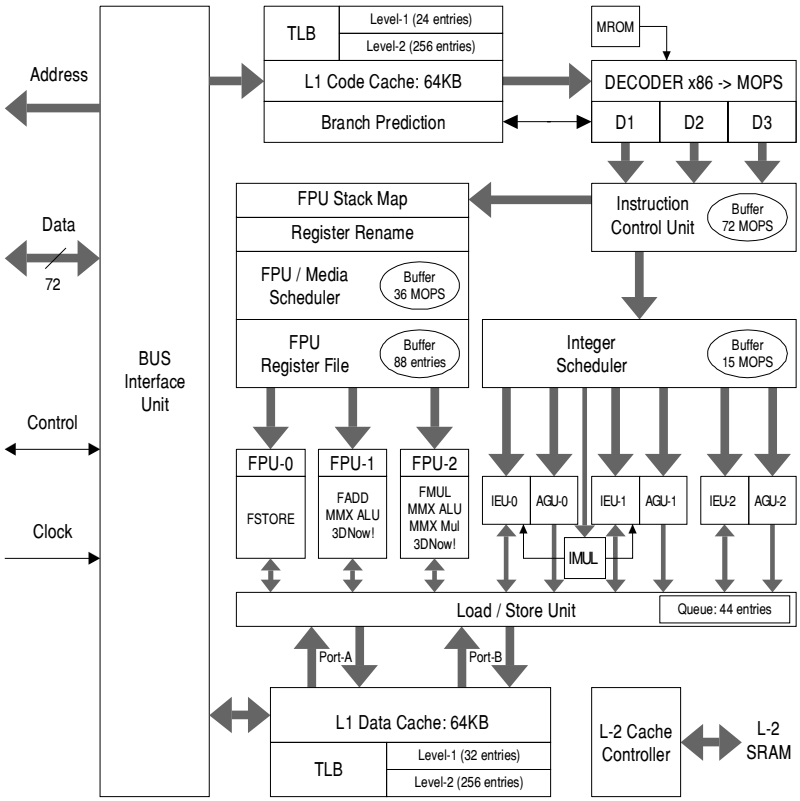
w zakresie aplikacji biurowych i standardowego oprogramowania — mocy obliczeniowej Pentium II 450 MHz. K6 III wsparty sterownikami 3DNow! przewyższał oczywiście możliwości Intela w zakresie aplikacji korzystających z tych rozszerzeń.

Athlon

Athlon[5] definiowany jest przez AMD jako procesor siódmej generacji (rysunek A.3). Prototyp został zaprezentowany pod koniec 1998 roku, ale stosunkowo długo czekał na wprowadzenie do produkcji seryjnej. Pierwsze egzemplarze produkowano w technologii 0,25 µm (w terminologii AMD *Model 1* lub *K7*). Modele należące do tej rodziny wytwarzane były w wersjach 500, 550, 600, 650 i 700 MHz (tabela A.5). Miały dużą obudowę (SECC) mieszczącą moduł ze złączem krawędziowym (typu Slot-A). Płytka modułu była nie tylko nośnikiem struktury półprzewodnikowej samego CPU. Przylutowane do niej były również chipy pamięci podręcznej L2 (512 KB). Pamięć tę taktowano z częstotliwością równą co najwyżej połowie częstotliwości zegara procesora.

Przejście do technologii 0,18 µm pozwoliło na przekroczenie prestiżowej bariery 1 GHz. W technologii tej wytwarzana była między innymi rodzina procesorów *Athlon*, określana wspólną nazwą *Model 2* lub *K75* (tabela A.6). Należały do niej następujące wersje

[5] Pod nazwą *Athlon* ukrywa się w gruncie rzeczy kilka różnych procesorów; szczegóły w dalszej części tekstu.



Rysunek A.3. *Schemat blokowy procesorów AMD Athlon (K7)*

procesorów: 550, 600, 650, 700, 750, 800, 850, 900, 950, 1000 i 1100 MHz. Wszystkie miały ten sam typ obudowy, tzn. moduł ze złączem Slot-A. Rozmiar i szybkość taktowania pamięci podręcznej L2 są takie same jak w przypadku procesorów w wersji *Model 1*.

Kolejnym krokiem wynikającym z postępu w rozwoju technologii półprzewodnikowej była integracja pamięci podręcznej L2 w obrębie struktury półprzewodnikowej samego procesora. Rozmiar L2 został zredukowany o połowę, ale w zamian za to była ona taktowana z pełną częstotliwością zegarową CPU. Procesory takie znane były pod nazwą *Athlon/Thunderbird* i mogły występować w wersjach 650, 700, 750, 800, 850, 900, 950 i 1000 MHz. *Thunderbird* wytwarzany był prawie wyłącznie w nowej (i taniej) obudowie ceramicznej (PGA), podobnej do tej, którą zaczął stosować Intel po rezygnacji z obudowy Slot-1. Podstawka AMD nazwana została *Socket-A*.

Trochę zamieszania powodowała jednoczesna obecność na rynku dwóch typów *Thunderbird*. Pewna niewielka liczba procesorów opakowana została mianowicie we wcześniej stosowaną obudowę Slot-A. Ten rodzaj CPU (występujący pod nazwą *Model 4*) przeznaczony był w zasadzie dla ściśle określonej grupy odbiorców OEM, ale jak to zwykle bywa, pojawił się też na wolnym rynku. To, iż posiadał on złącze krawędziowe i pasował (mechanicznie) do płyt dla procesorów *Athlon*, nie oznaczało bynajmniej, że w nich funkcjonował, a jeśli nawet, to tylko w niektórych. Różnice sięgały głębiej i dotyczyły strony elektrycznej. Rynek nigdy nie doczekał się jasno sprecyzowanych reguł, która z płyt głównych (i w jakich warunkach) mogła się do tego nadawać. Taki stan rzeczy był wynikiem niedopasowania parametrów interfejsu CPU i chipsetu.

Tabela A.5. *Podstawowe dane procesorów AMD K7 (Athlon) Model 1*

	K7-500	K7-550	K7-600	K7-650	K7-700
Architektura	RISC				
Technologia	0,25 µm				
Zegar CPU [MHz]	500	550	600	650	700
FSB (DDR) [MHz]	100				
L1 Cache (dane/kod)	64 KB, 2×Associative/64 KB, 2×Associative				
L2 Cache	512 KB (CPU_{CLOCK} = 1:2), Lines = 64B				
TLB	24/256 (kod), 32/256 (dane)				
Superscalar	✓				
Pipe-Line Stages	10 (INT), 15 (FP)				
Out of Order Execution	✓				
Branch Prediction Table	2048				
Return Stack	12				
SMP (Multi CPU)	4(A)				
V_{L2} [V]	2,475 – 2,625 lub 3,15 – 3,45(B)				
V_{CORE} [V]	1,6				
Pobór prądu, maks. [A]	25	30	33	36	33
Podstawka	Slot A				

(A) System niezgodny ze specyfikacją MP (Intel).
(B) Wartość napięcia zasilającego pamięć podręczną L2 zależy od zastosowanych układów SRAM.

Rodzina procesorów *Athlon* jest dosyć liczna i należy do niej również *Duron* (wcześniejsza nazwa: *Spitfire*), będący oszczędnościową wersją jądra *Thunderbird*. Pamięć L2 zredukowano do rozmiarów 64 KB, ale reszta architektury K7 pozostała nienaruszona. Mimo ostrych cięć w obszarze L2 *Duron* nie jest wcale taki zły, a jego moc obliczeniowa wydaje się być wystarczająca dla większości popularnych zastosowań. Był w każdym razie szybszy od porównywalnego produktu Intela (Celeron 600) przy niższej cenie. Procesory *Duron* produkowano wyłącznie w obudowie Socket-A w odmianach 550, 600, 650 i 700 MHz. Wszystkie modele rodziny *Athlon/Duron* bazują na jądrach wyposażonych w tej samej wielkości pamięć podręczną L1 równą 128 KB (po 64 KB dla danych i kodu).

W dalszej części rozdziału omówione zostaną główne cechy charakterystyczne architektury *Athlon*. Czytelnikom zainteresowanym pogłębieniem wiedzy na ten temat można polecić zbiór bogatej literatury publikowanej przez samą firmę AMD[6].

Mikroarchitektura

Athlon zawiera 9 jednostek wykonawczych, które mogą pracować równolegle:

- 3 jednostki dla danych całkowitych (*Integer*),
- 3 jednostki adresowe,

[6] *http://www.amd.com/products/cpg/athlon/techdocs*.

Tabela A.6. *Podstawowe dane procesorów AMD K7 Athlon Model 2*

	550	600	650	700	750	800	850	900	950	1000
Architektura	RISC									
Technologia	0,18 µm									
Zegar CPU [MHz]	550	600	650	700	750	800	850	900	950	1000
FSB (DDR) [MHz]	100									
L1 Cache (dane/kod)	64 KB, 2×Associative/64 KB, 2×Associative									
L2 Cache	512 KB (CPU_{CLOCK} = 1:2), Lines = 64B									
TLB (kod/dane)	24:256/32:256									
Superscalar	✓									
Pipeline (Stages)	10 (INT), 15 (FP)									
Out of Ord./Branch Pred.	✓/✓									
Branch Prediction Table	2048									
Return Stack	12									
SMP (Multi CPU)	4[A]									
V_{L2} [V]	2,475 – 2,625 lub 3,15 – 3,45[B]									
V_{CORE} [V]	1,6					1,7		1,8		
Pobór prądu, maks. [A]	20	21	22	24	25	29	30	34	35	37
Podstawka	Slot-A									

[A] System niezgodny ze specyfikacją MP (Intel).
[B] Wartość napięcia zasilającego pamięć podręczną L2 zależy od zastosowanych układów SRAM.

- 3 jednostki dla danych zmiennoprzecinkowych (FPU/Media). Jednostki te mogą wykonywać instrukcje poza kolejnością (*Out-of-order*). Dwie z nich są ponadto zdolne do naprzemiennego wykonywania instrukcji 3DNow! oraz MMX-FPU.

Blok jednostek wykonawczych zasilany jest przez trzy uniwersalne dekodery, które w myśl architektury RISC przetwarzają kod x86 na wewnętrzne rozkazy MOPS (*Macro-OPs*) o stałej długości. Makrorozkazy te zawierają z kolei od 1 do 2 operacji elementarnych (OPs). Proces dekodowania może przebiegać ścieżką bezpośrednią (*Direct Path*), co ma miejsce w przypadku typowych i prostych instrukcji x86 o długości do 15 bajtów. Ścieżka dodatkowa (*Vector Path*) dekoduje rozbudowane polecenia kompleksowe. Jej praca polega na rozwijaniu zdekodowanych sekwencji z pamięci stałej MROM (*Macro Code ROM*).

Oto kilka przykładów pracy dekodera K7:

Assembler	Ścieżka	Rozkład
`add eax, ebx`	Direct Path	1 OP (`add`)
`xor eax, [ebx+8]`	Direct Path	**2 OPs:** 1 OP (`load`) 1 OP (`xor`)

Assembler	Ścieżka	Rozkład
`and [ebx], eax`	Direct Path	**2 OPs:** 1 OP (`load/store`) 1 OP (`and`)

Makrorozkazy wpływają do bufora pośredniego ICU (*Instruction Control Unit*), który może przechowywać do 72 MOPS-ów. Bufor przekazuje MOPS-y do odpowiednich rozdzielaczy. Rozkazy przetwarzające dane całkowite kierowane są do innego rozdzielacza niż te pracujące na liczbach zmiennoprzecinkowych (IS — *Integer Scheduler*, względnie FMS — *FPU/Media Scheduler*). Stąd pojedyncze rozkazy OPs wydawane są do odpowiednich jednostek wykonawczych.

Rozdzielacz IS może przechować do 15 MOPS-ów (do 30 prostych operacji), zanim nie rozdysponuje ich pomiędzy jeden z trzech równolegle pracujących bloków wykonawczych IEU0 — IEU2 (*Integer Execution Unit*), z których każdy dysponuje niezależną jednostką adresową AGU0 – AGU2 (*Address Generation Unit*). Jednostki te mają za zadanie optymalizację operacji zapisu i odczytu (*Load/Store*) z uwzględnieniem jak najlepszego wykorzystania pamięci podręcznych L1 i L2. Przetwarzanie odbywa się również poza kolejnością (*Out-of-Order*). Superskalarny potrójny potok dla liczb całkowitych wyposażony jest ponadto w sprzętowy układ mnożenia IMUL (*Integer Multiplication*).

Podobnie potrójny i superskalarny jest potok przetwarzający dane zmiennoprzecinkowe. Również i w tym przypadku rozkazy wykonywane są poza kolejnością. Blok ten wyposażony jest w zestaw własnych rejestrów. Jednostka zasilająca FMS dysponuje pamięcią pośrednią zdolną do czasowego przechowania do 36 MOPS-ów. Instrukcje rozdzielane są pomiędzy jedną z trzech jednostek wykonawczych. Pierwsza z nich (FPU-0) odpowiedzialna jest za komunikację z pamięcią i rozlokowywanie argumentów. Jednostka druga (FPU-1) realizuje operacje dodawania, a jednostka trzecia (FPU-2) — instrukcje mnożenia liczb zmiennoprzecinkowych. Jednostki FPU-1 i FPU-2 implementują ponadto instrukcje 3DNow! i MMX.

Potoki przetwarzające procesora K7 (*Pipe-Lines*) są stosunkowo długie — 10 etapów dla *Integer* i 15 etapów dla FPU (pierwszych 6 etapów jest wspólnych dla INT oraz FPU). Jak wiadomo z teorii ogólnej architektury procesorów, długi potok jest bardzo korzystny przy dużych częstotliwościach taktujących, ale za to źle znosi błędy przepowiadania rozgałęzień. Im dłuższy jest potok, tym więcej potrzeba czasu na oczyszczenie go z instrukcji, które znalazły się w nim niepotrzebnie. Z tego właśnie względu jednostka przepowiadania w K7 jest bardzo rozbudowana. Sama tabela BTB (*Branch Prediction Table*) obejmuje 2048 rekordów.

Pamięć podręczna L1

Rozmiar pamięci podręcznej L1 procesora K7 (128 KB — po 64 KB na dane i instrukcje) stanowi jak na razie swoisty rekord w tej dziedzinie. Dla porównania można podać, iż Pentium II dysponował jedynie jedną czwartą tej wartości. W procesorach z małą pamięcią podręczną obserwuje się stosunkowo niekorzystne zjawisko nazywane złym skalowaniem. Oznacza to, iż podnoszenie częstotliwości taktowania takiego procesora nie przynosi od pewnego momentu prawie żadnego (współmiernego w skali procentowej) wzrostu wydajności. Duża pamięć podręczna L1 jest natomiast gwarancją dobrego

skalowania, to jest w miarę liniowego przyrostu mocy obliczeniowej wraz ze zwiększaniem częstotliwości taktowania. Aby podnieść tę częstotliwość, wystarczy poprawić parametry technologiczne (przejście z procesu 0,25 µm na 0,18 µm). Nie trzeba już jednak wprowadzać żadnych zmian w architekturze.

Wewnętrzny system sterowania procesora gwarantuje jednoczesny dostęp do pamięci podręcznej (*L1 Data Cache*) dwóm instrukcjom (*Multi-Banking Access*). Jednostka administrująca cyklami dostępu do pamięci LSU (*Load/Store Unit*) dysponuje buforem magazynującym do 44 odwołań. LSU przegląda zawartość kolejki i próbuje tak grupować odwołania, by maksymalnie wykorzystać magistralę pamięciową (cykle *Burst*).

Pamięć podręczna L2

K7, podobnie jak Pentium II, oddawał do dyspozycji pamięci podręcznej L2 specjalną magistralę BSB (*Back Side Bus*). Nowością w architekturze K7 była możliwość programowania częstotliwości zegara BSB w zależności od jakości zastosowanych kostek *Cache-RAM*, które (tak jak w Pentium II), osadzane były na module procesora w sąsiedztwie jego struktury półprzewodnikowej. Zakres regulacji obejmował stopnie od pełnej prędkości (zegar 1:1) poprzez 1:2 do 1:3. Dla pierwszego z nich trzeba byłoby stosować specjalne układy DDR-SRAM (*Double Data Rate SRAM*). Wprowadzenie możliwości regulacji zegara BSB miało wyłącznie podłoże ekonomiczne i nie stanowiło żadnego ulepszenia. Łatwiej jest produkować w ramach jednej rodziny procesorów odmiany przeznaczone dla zwykłego użytkownika, dla stacji roboczych lub wreszcie do serwerów. Procesory K7 z pamięcią L2 taktowaną 1:1 nigdy nie ujrzały światła dziennego. Dopiero przejście na technologię 0,18 µm pozwoliło na integrację L2 na strukturze CPU i taktowanie w trybie 1:1 (*Model 2*).

K7 dysponował wewnętrznym rejestrem TAGRAM, zdolnym do zarządzania pamięcią podręczną L2 o rozmiarze nieprzekraczającym 512 KB. W fazie promocji mówiło się o modelach procesora z pamięcią 2, a nawet 8 MB (z zastosowaniem zewnętrznego rejestru TAGRAM, tak jak w przypadku Pentium II), ale ostatecznie zatrzymano się na rozmiarze 512 KB. Zakres przestrzeni adresowej samego procesora wynosił 4 TB, ale specyfikacja złącza Slot-A ograniczała go do 4 GB.

Magistrala

Zdecydowaną nowość stanowi magistrala EV-6, która może być taktowana nawet do 200 MHz. Jej konstrukcja zapożyczona została z procesora Alpha 21624 firmy Digital. Nie ma w tym nic dziwnego, jeśli uwzględnić fakt, iż jeden z głównych projektantów procesora K7, Dirk Meyer, przeszedł do AMD z firmy Digital. Złącze krawędziowe modułu procesora (nazywane przez AMD Slot-A) odpowiada w swej konstrukcji mechanicznej (raster i rozmiary kontaktów) podstawce Slot-1 Intela, ale na tym kończy się podobieństwo. Sygnały magistrali i protokół odpowiadają zupełnie innej specyfikacji. EV-6 jest szyną 72-bitową, przy czym na każdy bajt danych przypada 1 dodatkowy bit ECC (64+8ECC).

Magistrala EV-6 ma cenną właściwość, istotną w systemach wieloprocesorowych. Każdy z procesorów dysponuje logicznie niezależną, bezpośrednią magistralą realizującą wirtualne połączenia wzajemne (*Point to Point*). EV-6, kluczowana zegarem 100 MHz,

zapewnia w trybie DDR (dwa transfery w jednym cyklu zegara) przepustowość 1,6 GB/s, czyli znacznie więcej niż magistrala GTL+ rodziny P6 (Pentium II, III itd.), nawet jeśli podniesie się jej częstotliwość do 133 MHz. Szyna GTL+, taktowana zegarem 100 MHz, osiąga w szczycie transfer 800 MB/s, a 1066 MB/s przy podkręceniu zegara do 133 MHz. Takie samo pasmo mogą zaoferować pamięci SDRAM PC-133. Dla potrzeb nowej techniki opracowane zostały specjalne typy pamięci: RDRAM (*Rambus Direct RAM*) oraz DDR-SDRAM. Układy tego rodzaju oferują strumień szerokości 1,6 GB/s już przy częstotliwości 100 MHz.

Dalsze modele procesorów Athlon

W połowie roku 2000 na rynku pojawiły się procesory *Athlon* w nowej wersji o oficjalnej nazwie *Model 4*. Listę wprowadzonych zmian można ująć w trzech punktach:

- Kompletna integracja L2-Cache w obrębie struktury półprzewodnikowej. Rozmiar pamięci ograniczony jest do 256 KB (*Thunderbird*) lub 64 KB (*Duron*). Pamięć ta taktowana jest z pełną częstotliwością zegara CPU.
- Integracja pamięci podręcznej pozwoliła na rezygnację z konstrukcji modułowej ze złączem krawędziowym (Slot-A) na korzyść płaskiej obudowy ceramicznej (462 końcówki, Socket-A).
- Zmiany stopni wyjściowych. W procesorach *Athlon* starego typu implementowane były wyjścia z otwartym drenem (*Open Drain*). W nowych procesorach dreny tranzystorów CMOS połączone zostały poprzez wewnętrzne rezystancje z liniami zasilania.

Na skutek zmian trybu sterowania linii konieczne stało się wprowadzenie nowych chipsetów. Pierwsze opracowanie pochodziło z firmy VIA (KT-133). *Thunderbird* spotkać można było początkowo w dwóch wersjach, bowiem na rynek wypuszczona została również seria w obudowie Slot-A, ale jak już wspomniano wcześniej w tym rozdziale, funkcjonowały one jedynie z niektórymi płytami przeznaczonymi dla starych procesorów *Athlon*.

Thunderbird z ograniczoną pamięcią L2 (*Duron-Spitfire*) nosił oficjalną nazwę *Model 3*. Procesory te produkowane były już wyłącznie w obudowie Socket A. Łatwo zauważyć, iż nazwy procesorów AMD łączone są często z kryptonimami (np. *Spitfire*), które zostały przyjęte we wczesnych fazach projektowych nad strukturami półprzewodnikowymi jądra procesora i w założeniach do strategii marketingowych (*Road Map*). Oprócz tego AMD posługuje się numerami modeli. Aby się nie pogubić w tych zawiłościach, niezbędne jest krótkie zestawienie (tabele A.7 oraz A.8).

Procesory z jądrem *Palomino* wprowadzane były na rynek początkowo jako *Athlon-4* (czwórka w oznaczeniu miała nawiązywać do numeracji konkurencji — Intel Pentium 4), ostatecznie przyjęto jednak nazwę *Athlon XP* (tabela A.9). Ich struktura półprzewodnikowa wykonywana była w technologii 0,18 μm, a liczne zmiany i poprawki spowodowały zmniejszenie poboru mocy o około 20% przy jednoczesnym zwiększeniu wydajności (15% według AMD i 5 – 10% według ogólnie stosowanych programów testowych).

Następny w kolejności numerów *Model 5* o kryptonimie *Mustang* nigdy się na rynku nie pojawił. Firma AMD rozpoczęła produkcję procesora *Athlon XP* z jądrem *Palomino*

Tabela A.7a. *Odmiany procesorów AMD: Mod.1 – Mod.5*

	Mod. 1	Mod. 2	Mod. 3	Mod. 4	Mod. 5
Nazwa	*Athlon*	*Athlon*	*Duron*	*Athlon*	
Kryptonim	K7	K75	*Spitfire*	*Thunderbird*	*Mustang*
Technologia [µm]	0,25	0,18	0,18	0,18	
FSB (DDR) [MHz]	100	100	100	100 i 133	
Zegar [MHz]	500 – 700	550 – 1100	600 – 950	650 – 1400	
L1[(A)][KB]	64+64	64+64	64+64	64+64	
L2[(B)] [KB]	512 (2:1)	512 (2:1)	64 (1:1)	256 (1:1)	
Napięcie zasilania [V]	1,6	1,6 – 1,8	1,6	1,75	
Podstawka	Slot A	Slot A	Socket A	Socket A	

Tabela A.7b. *Odmiany procesorów AMD: Mod.6 – Mod.10*

	Mod. 6	Mod. 7	Mod. 8[(C)]	Mod. 8[(D)]	Mod. 10
Nazwa	*Athlon MP/XP*	*Duron*	*Athlon XP*	*Athlon XP*	*Athlon XP*
Kryptonim	*Palomino*	*Morgan*	*Thoroughbred*	*Thoroughbred-B*	*Barton*
Technologia [µm]	0,18	0,18	0,13	0,13	0,13
FSB (DDR) [MHz]	133	100	133	133 – 166	166
Zegar [MHz]	1333 – 1667	900 – 1300	1467 – 2200	1467 – 2167	1833 – 2167
L1[(A)][KB]	64+64	64+64	64+64	64+64	64+64
L2[(B)] [KB]	256 (1:1)	128 (1:1)	256 (1:1)	256 (1:1)	512 (1:1)
Napięcie zasilania [V]	1,75	1,75	1,5 – 1,65	1,6 – 1,65	1,65
Podstawka	Socket A	Socket A	Socket A	Socket A	Socket A

[(A)] Code+Data.
[(B)] (1:1) – L2 taktowane zegarem CPU, (2:1) – L2 taktowane połową zegara CPU.
[(C)] Do grupy Mod. 8 zaliczany jest również procesor Athlon XP/MP 2100 (1733 MHz) z jądrem *Thoroughbred.*
[(D)] Z FSB 166 MHz zaliczane przez AMD do grupy Mod.8

oznaczanego symbolem *Model 6* (tabela A.10). Wytwarzano ponadto procesory *Duron*, których struktura półprzewodnikowa określana była mianem *Morgan*. Układy te noszą kolejny numer *Model 7* (FSB 100 MHz i 64 KB L2).

AMD określa architekturę *Palomino* mianem *Quanti-Speed*, a jej główne cechy przedstawia poniższe wyliczenie:

- dziewięciostopniowa superskalarna,
- 3 potoki przetwarzania instrukcji stałoprzecinkowych (*Integer Pipelines*),
- 3 jednostki adresowe,
- 3 potoki dla instrukcji zmiennoprzecinkowych przetwarzające poza kolejnością (*Out-of-Order*),
- pamięć podręczna L1 o rozmiarze 128 KB i L2 o rozmiarze 256 KB,
- magistrala FSB pracuje w trybie DDR i taktowana jest zegarem 133 MHz (co odpowiada maksymalnemu pasmu przepustowemu 2,1 GB/s),

Tabela A.8. *Podstawowe dane procesorów AMD Duron Model 3*

	600	650	700	750	800	850	900	950
Architektura	RISC							
Technologia	0,18 µm (*Spitfire*)							
Zegar CPU [MHz]	600	650	700	750	800	850	900	950
FSB (DDR) [MHz]	100							
L1 Cache (kod)	64 KB							
L1 Cache (dane)	64 KB							
L2 Cache	64 KB (CPU_{CLOCK}=1:1), 16×Associative, Lines = 64B							
Superscalar/Out of Order	✓/✓							
Pipeline (Stages)	10 (INT), 15 (FP)							
Thermal Diode	×							
V_{CORE} [V]	1,6							
Pobór prądu, maks. [A]	17,1	18,4	19,6	20,9	22,1	23,4	24,7	25,9
Obudowa/Podstawka	PGA/Socket-A (462 pin)							

- rozbudowana tablica TLB, która obsługuje nie tylko odwołania do kodu, ale i do danych,
- nowością jest dioda wkomponowana w strukturę półprzewodnikową; element ten służy do precyzyjnego pomiaru temperatury CPU.

Jądro Palomino tkwi we wnętrzu procesorów potocznie określanych jako Athlon-XP i Athlon-MP[7] oraz (ze zmniejszoną pamięcią L2) w Duronach *Model 7*, gdzie nosi nazwę Morgan (tabela A.11).

W połowie roku 2002 na rynku pojawiły się pierwsze egzemplarze procesorów *Athlon* wykonywanych w technologii 0,13 µm (jądro *Thoroughbred*) z pamięcią L2 o rozmiarze 256 KB. Struktura obejmowała około 38 milionów tranzystorów. Przy okazji poprawione zostały niektóre elementy mikroarchitektury, m.in. organizacja TLB. Cała seria określana oficjalnie jako *Model 8* zawiera jednostki XP1700 – XP2700, co odpowiada zakresowi zegara taktującego 1467 – 2167 MHz. Częstotliwość FSB pozostawała początkowo na poziomie 133 MHz, ale w arkuszach danych pojawiły się również procesory 2600+ i 2700+ (odpowiada 2083 MHz i 2167 MHz) specyfikowane na FSB 166 MHz. Struktury *Thoroughbred* zasilane były napięciem 1,5 – 1,6 V, a powyżej 1800 MHz napięciem 1,65 V (tabela A.12a). Kolejne procesory tej serii zawierały nieco zmodyfikowane jądro (*Thoroughbred-B*), w którym zmieniono nieco układ bloków funkcjonalnych na płaszczyźnie płytki krzemowej i zoptymalizowano sieć połączeń wewnętrznych (tabela A.12.b). Nowe struktury miały niewiele więcej tranzystorów (37,6 zamiast 37,2 milionów) i zajmowały trochę więcej miejsca (84 zamiast 80 mm^2).

Kolejna generacja procesorów *Athlon* wprowadzona została wraz z przejściem na FSB 166 MHz. Jądro takie nosi nazwę *Barton* (Model.10), składa się z ponad 54 milionów tranzystorów, wytwarzane jest w technologii 0,13 µm i pracuje z FSB o częstotliwości

[7] MP dla systemów multiprocesorowych.

Tabela A.9. *Podstawowe dane procesorów AMD Athlon Model 4*

	650	**700**	**750**	**800**	**850**	**900**	**950**	**1000**
Architektura	RISC							
Technologia	0,18 µm (*Thunderbird*)							
Zegar CPU [MHz]	650	700	750	800	850	900	950	1000
FSB (DDR) [MHz]	100							100/133
L1 Cache (dane/kod)	64 KB, 2× Associative/64 KB, 2×Associative							
L2 Cache	256 KB (CPU_{CLOCK} = 1:1), 16×Associative, Lines = 64B							
Superscalar/Out of Order	✓/✓							
Pipelines (Stages)	10 (INT), 15 (FP)							
Thermal Diode	×							
V_{CORE} [V]	1,75							
Pobór prądu, maks. [A]	23,8	25,2	26,6	28,0	29,4	29,2	30,3	31,5
Obudowa/Podstawka	CPGA/Socket-A (Socket 462)							

	1100	**1133**	**1200**	**1266**	**1300**	**1333**	**1400**
Architektura	RISC						
Technologia	0,18 µm (*Thunderbird*)						
Zegar CPU [MHz]	1100	1133	1200	1266	1300	1333	1400
FSB (DDR) [MHz]	100	133	100/133	133	100	133	100/133
L1 Cache (dane/kod)	64 KB, 2×Associative/64 KB, 2×Associative						
L2 Cache	256 KB (CPU_{CLOCK} = 1:1), 16×Associative, Lines = 64B						
Superscalar/Out of Order	✓/✓						
Pipelines (Stages)	10 (INT), 15 (FP)						
Thermal Diode	×						
V_{CORE} [V]	1,75						
Pobór prądu, maks. [A]	34,5	35,5	37,5	38,3	39,0	39,9	41,2
Obudowa/Podstawka	CPGA/Socket-A (Socket 462)						

166 MHz lub 200 MHz (tabela A.13.). Pamięć podręczna L2 (*On Die*) ma rozmiar 512 KB i taktowana jest pełnym zegarem CPU. Zwiększenie pamięci spowodowało przyrost powierzchni struktury półprzewodnikowej z 84 mm^2 (*Thoroughbred-B*) do 101 mm^2 (*Barton*).

Algorytm pracy L2 w procesorach Athlon XP odbiega od ogólnie przyjętych rozwiązań. Jeżeli procesor żąda dostępu do danych, których nie może mu udostępnić L1, system sięga do pamięci operacyjnej (*Cache Miss*). Dane takie nie trafiają jednak najpierw do L2, lecz transferowane są bezpośrednio do L1. Rola pamięci L2 ogranicza się do przyjmowania danych wyrzuconych z L1 (*Victims*) z powodu braku miejsca. Widać wyraźnie, że pamięci podręczne przechowują stale różne dane — w klasycznej architekturze zawartość L1 ma swe odbicie w części L2. Jest więc może w gruncie rzeczy nawet uzasadnione (chętnie używane przez AMD) wyrażanie rozmiaru pamięci podręcznej przez liczbę 640 KB widzianą jako sumę L1 i L2.

Tabela A.10. *Podstawowe dane procesorów Athlon XP Model 6*

	1500+	1600+	1700+	1800+	1900+	2000+
Architektura	RISC					
Technologia	0,18 µm (*Palomino*)					
Zegar CPU [MHz]	1333	1400	1467	1533	1600	1667
FSB (DDR) [MHz]	133					
L1 Data/L1 Code [KB]	64/64					
L2 Cache	256 KB (CPU_{CLOCK} = 1:1), Lines = 64B					
Superscalar/Out of order	✓/✓					
Pipelines (Stages)	10 (INT), 15 (FP)					
Thermal Diode	✓					
V_{CORE} [V]	1,75					
Pobór prądu, maks. [A]	34,3	35,9	36,6	37,7	38,9	40,0
Obudowa/Podstawka	OPGA/Socket-A					

Tabela A.11. *Podstawowe dane procesorów AMD Duron Model 7*

	900	950	1000	1100	1200	1300
Architektura	RISC					
Technologia	0,18 µm (Morgan)					
Zegar CPU [MHz]	900	950	1000	1100	1200	1300
FSB (DDR) [MHz]	100					
L1 Data/L1 Code [KB]	64/64					
L2 Cache	128 KB (CPU_{CLOCK} = 1:1), Lines = 64B					
Superscalar/Out of order	✓/✓					
Pipelines (Stages)	10 (INT), 15 (FP)					
Thermal Diode	✓					
V_{CORE} [V]	1,75					
Pobór prądu, maks. [A]	24,4	25,4	26,3	28,7	31,3	34,3
Obudowa/Podstawka	CPGA/Socket-A (Socket 462)					

Barton wymaga naturalnie nowych chipsetów tzn. nForce2, KT400 i SiS746FX lub nowszych. Niektóre płyty wyposażone już w te chipsety wymagają aktualizacji BIOS-u.

Zasilanie procesorów AMD

Pobór mocy przez procesory *Athlon* jest stosunkowo wysoki. Już wersja 1 GHz mogła pochłaniać do 65 W, a obciążenie na głównej linii zasilającej (1,7 V) sięgało 37 A. Tak duże obciążenie nakłada szczególne wymogi na obwody zasilania i to zarówno od strony samego zasilacza, jak i na płycie głównej. Pozyskiwanie napięcia dla jądra procesora (1,5 – 1,8 V) odbywa się za pomocą układów redukcyjnych, a źródłem jest (w zależności od płyty głównej) linia 3,3 V lub 5 V doprowadzana z zasilacza. Bardzo ważna staje się

Tabela A.12a. *Podstawowe dane procesorów AMD Athlon XP Model 8*

	1700+	1800+	1900+	2000+	2100+	2200+
Architektura	RISC					
Technologia	0,13 µm (Thoroughbred)					
Zegar CPU [MHz]	1467	1533	1600	1667	1733	1800
FSB (DDR) [MHz]	133					
L1 Data/L1 Code [KB]	64/64					
L2 Cache	256 KB (CPU_{CLOCK} = 1:1)					
Thermal Diode	✓					
V_{CORE} [V]	1,50	1,50	1,50	1,60/1,65	1,60	1,65
Pobór prądu, maks. [A]	32,9	34,0	35,0	37,7/36,5	38,8	41,2
Obudowa/Podstawka	OPGA/Socket-A (Socket 462)					

Tabela A.12b. *Podstawowe dane procesorów AMD Athlon XP Model 8*

	1700+	1800+	2000+	2100+	2200+	2400+	2600+	2600+	2700+
Architektura	RISC								
Technologia	0,13 µm (Thoroughbred-B)								
Zegar CPU [MHz]	1467	1533	1667	1733	1800	2000	2133	2083	2167
FSB (DDR) [MHz]	133							166	
L1 Data/L1 Code [KB]	64/64								
L2 Cache	256 KB (CPU_{CLOCK} = 1:1)								
Thermal Diode	✓								
V_{CORE} [V]	1,60	1,60	1,60	1,60	1,60	1,65	1,65	1,65	1,65
Pobór prądu, maks. [A]	37,4	37,4	38,3	38,8	39,3	41,4	41,4	41,4	41,4
Obudowa/Podstawka	OPGA/Socket-A (Socket 462)								

konstrukcja układów redukcyjnych i filtrujących. Nowsze generacja płyt posługuje się układami impulsowymi, łatwymi do rozpoznania przez to, że brak jest ogromnych radiatorów, a w zamian za to pojawiła się duża liczba elementów indukcyjnych. Klasyczne stabilizatory wymagały ponadto montażu kilkunastu kondensatorów elektrolitycznych.

Współczesne procesory AMD podają do wiadomości wysokość napięcia zasilania. W Modelu 10 występuje 5 końcówek VID4 – VID0 kodujących z dokładnością do 25 mV wartość $V_{CC\text{-}CORE}$. Linie te kierowane są do stabilizatora, który odczytuje ich stan: każda z końcówek VID jest połączona albo z masą albo „wisi w powietrzu" (we wnętrzu procesora). Sekwencja VID = 11111 interpretowana jest jako brak CPU, a stabilizator odcina napięcie.

Dawniej stosowane powszechnie zasilacze o mocy nominalnej 150 – 250 W, nie nadają się do omawianych systemów. Dziś konieczne jest sięgnięcie do modeli 300 W lub 350 W odpowiedniej klasy. Lista zasilaczy zalecanych przez firmę AMD znajduje się na stronie internetowej *http://www1. amd.com/athlon/power*.

Tabela A.13. *Podstawowe dane procesorów AMD Athlon XP Model 10*

	2500+	2600+	2800+
Architektura	RISC		
Technologia	0,13 µm (Barton)		
Zegar CPU [MHz]	1833	1917	2083
FSB (DDR) [MHz]	166		
L1 Data/L1 Code [KB]	64/64		
L2 Cache	512 KB (CPU_{CLOCK} = 1:1)		
Superscalar/Out of order	✓/✓		
Pipelines	3 INT, 3 ADR, 1 FP		
Thermal Diode	✓		
V_{CORE} [V]	1,65		
Pobór prądu, maks. [A]	42	42	42
Obudowa/Podstawka	OPGA/Socket-A (Socket 462)		

	3000+	3000+	3200+
Architektura	RISC		
Technologia	0,13 µm (Barton)		
Zegar CPU [MHz]	2000	2167	2200
FSB (DDR) [MHz]	200	166	200
L1 Data/L1 Code [KB]	64/64		
L2 Cache	512 KB (CPU_{CLOCK} = 1:1)		
Superscalar/Out of order	✓/✓		
Pipelines	3 INT, 3 ADR, 1 FP		
Thermal Diode	✓		
V_{CORE} [V]	1,65		
Pobór prądu, maks. [A]	42	45	47
Obudowa/Podstawka	OPGA/Socket-A (Socket 462)		

Chęć ograniczenia liczby wytwarzanych modeli procesorów przy zachowaniu zróżnicowania oferty i zwiększenia uzysku spowodowała decyzję o zakończeniu produkcji procesorów Athlon XP Thoroughbred i wykorzystaniu mocy wytwórczych do produkcji procesorów z serii Barton (Model 10). Zróżnicowanie oferty osiągnięto przez wykorzystanie jednostek, w których wykryto lekkie defekty pamięci podręcznej L2: uszkodzoną połówkę blokowano w fazie produkcji, w efekcie osiągając procesor z 256 KB pamięci podręcznej L2, nazywany Thorton. Ich skrócona charakterystyka przedstawiona została w tabeli A.14.

Tabela A.14. *Podstawowe dane procesorów AMD Athlon XP Model 10 z 256 KB L2 cache*

	2000+	2200+	2400+
Architektura	RISC		
Technologia	0,13 µm (Thorton)		
Zegar CPU [MHz]	1 667	1 800	2 000
FSB (DDR) [MHz]	166		
L1 Data/L1 Code [KB]	64/64		
L2 Cache	256 KB (CPU_{CLOCK} = 1:1)		
Superscalar/Out of order	✓/✓		
Pipelines	3 INT, 3 ADR, 1 FP		
Thermal Diode	✓		
V_{CORE} [V]	1,50; 1,60		1,65
Pobór prądu, maks. [A]	40	43	43
Obudowa/Podstawka	OPGA/Socket-A (Socket 462)		

Wśród użytkowników procesorów z serii Thorton popularne jest zamalowywanie mostka na obudowie, odpowiedzialnego za blokadę połowy pamięci podręcznej L2, i uzyskiwanie w ten sposób pełnego układu Barton z 512 KB pamięci cache L2. Jeżeli układ nie przeszedł testów fabrycznych tylko w wyjątkowo niekorzystnych warunkach, taka próba kończy się powodzeniem i uzyskuje się pełnosprawny procesor. Jeżeli jednak pamięć podręczna jest rzeczywiście bezwzględnie uszkodzona, takie powiększenie pamięci cache może spowodować spowolnienie działania procesora (gdyż system korekcji błędów będzie blokował wykorzystanie uszkodzonych linii cache i wymuszał bezpośrednie odwołania do pamięci operacyjnej) lub uniemożliwi jego stabilne funkcjonowanie (jeżeli błąd wielokrotny będzie niemożliwy do wykrycia).

Rodzina Hammer: Opteron, Athlon 64, Sempron

Wszystkie rodziny procesorów firmy AMD aż do rodziny K7 włącznie miały na celu zmniejszenie dystansu (w dziedzinie wydajności) dzielącego je od procesorów firmy Intel. Zadanie to udało się dopiero procesorom Athlon XP: osiągały one nawet chwilami przewagę, zmuszając firmę Intel do przyspieszania premiery nowych układów, a czasem wręcz wypuszczania procesorów sprawiających problemy (pierwsza wersja Intel Pentium III 1133 MHz) lub osiągających mierną wydajność w istniejących aplikacjach (Intel Pentium 4 Wilamette).

Osiągnąwszy taki rezultat, projektanci firmy AMD rozpoczęli prace nad kolejną rodziną procesorów (nazwaną K8 lub Hammer), która — zamiast ponownie konkurować z układami Intela — po raz pierwszy miała przedstawiać zupełnie nową jakość. Tym razem zrywano bowiem nie tylko z platformą firmy Intel (tak jak w przypadku procesorów Athlon, które wymagały całkowicie odmiennej magistrali, zestawu układów sterujących i płyt głównych), ale też z obowiązującą w świecie procesorów x86 architekturą systemu mikroprocesorowego.

Pierwszymi inkarnacjami architektury Hammer są następujące cztery modele procesorów:

- **AMD Opteron** — 64-bitowy procesor przeznaczony na rynek stacji roboczych i serwerów, obsługujący konfiguracje jedno- oraz wieloprocesorowe (z dwiema, czterema lub ośmioma jednostkami), wyposażone w dwa kanały buforowanych pamięci DDR SDRAM,
- **AMD Athlon 64 FX** — 64-bitowy procesor przeznaczony na rynek wysokowydajnych komputerów osobistych oraz stacji roboczych, obsługujący konfiguracje jednoprocesorowe wyposażone w dwa kanały buforowanych lub niebuforowanych (w zależności od typu procesora) pamięci DDR SDRAM,
- **AMD Athlon 64** — 64-bitowy procesor przeznaczony na rynek komputerów osobistych, obsługujący konfiguracje jednoprocesorowe wyposażone (w zależności od typu procesora) w jeden lub dwa kanały niebuforowanych pamięci DDR SDRAM,
- **AMD Sempron** — 32-bitowy procesor przeznaczony na rynek tanich komputerów osobistych, obsługujący konfiguracje jednoprocesorowe wyposażone w dwa kanały niebuforowanych pamięci DDR SDRAM.



AMD Sempron występuje w dwóch odmianach: jedna z nich przeznaczona jest dla platformy AMD Athlon (Socket A) i jest w rzeczywistości odmianą procesora Athlon XP, druga zaś jest okrojoną wersją procesora AMD Athlon 64 i przeznaczona jest dla platformy Socket 754 i Socket 939.

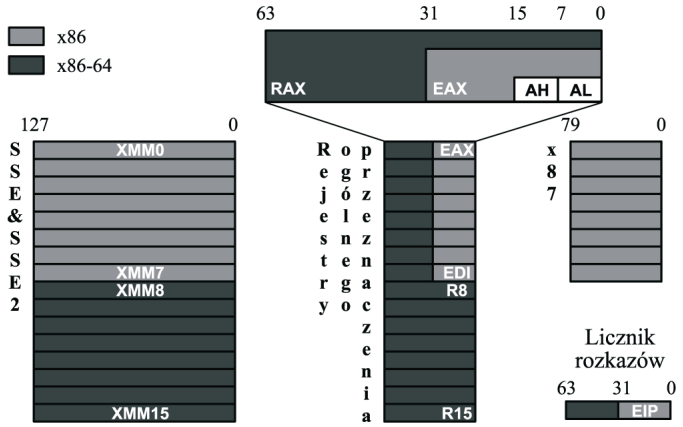
Podstawowe cechy architektury Hammer

64-bitowa architektura wewnętrzna i zewnętrzna — AMD64

Szerokość 64 bitów ma magistrala danych oraz wszystkie rejestry wewnętrzne procesora. Umożliwia to tworzenie aplikacji przetwarzających 64-bitowe liczby całkowite za pomocą pojedynczych rozkazów kodu maszynowego oraz adresowanie bloków pamięci o rozmiarach przekraczających granicę adresowania 32-bitowego (adres fizyczny może mieć szerokość 64 bitów).

Procesory AMD64, oprócz rozszerzenia długości dotychczasowych 32-bitowych rejestrów (EAX, EBX, ECX, EDX oraz — nieco bardziej ograniczonych — ESI, EDI, EBP i ESP) do 64 bitów, wyposażone są w osiem dalszych rejestrów, dostępnych wyłącznie w 64-bitowym trybie pracy (rysunek A.4). Również liczba 128-bitowych rejestrów SSE została dwukrotnie podwyższona (na analogicznych zasadach). Dwukrotnie większa liczba rejestrów umożliwia bardziej efektywne wykorzystanie mocy obliczeniowej procesora oraz zmniejszenie liczby odwołań do pamięci podręcznej (a więc i zmniejszenie stopnia jej zaśmiecenia odwołaniami do odległych obszarów). Samo przekompilowanie kodu nie wykorzystującego 64-bitowych struktur danych tak, aby używał on wszystkich ośmiu rejestrów, spowoduje zauważalny wzrost szybkości wykonania.

Firma AMD założyła, że obecnie używane oprogramowanie nie korzysta już w ogóle z mechanizmu segmentacji trybu chronionego, stosowanego w procesorach o architekturze x86 od czasów układu 80286. Procesory AMD64 w 64-bitowym trybie pracy nie



Rysunek A.4. *Rejestry procesorów AMD64 w trybach: 32-bitowym (pola ciemne) oraz 64-bitowym (pola jasne)*

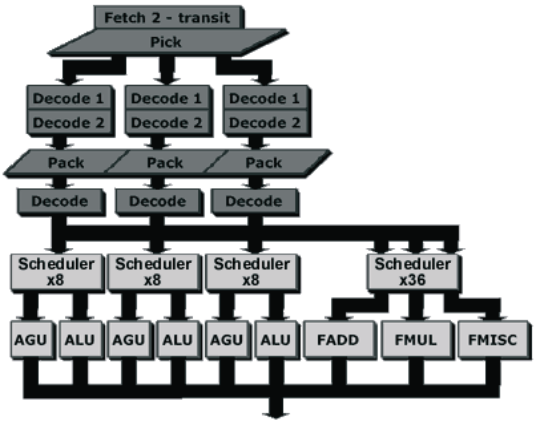
obsługują zatem segmentacji, udostępniając jedynie mechanizm stronicowania pamięci. Zniknął też mechanizm maszyn wirtualnych 8086, używanych w procesorach 32-bitowych w celu uruchamiania kodu 16-bitowego, oraz mechanizm sprzętowego wspomagania przełączania zadań programowych (bazujący na mechanizmie segmentacji).

Rozszerzeniem mechanizmu stronicowania w porównaniu do architektury IA-32 jest funkcja blokowania możliwości wykonywania kodu z wybranych stron pamięci. Funkcja ta, wykorzystująca jeden bit we wpisie tablicy stron, umożliwia selektywne oznaczanie pojedynczych stron pamięci, w przypadku których próba traktowania danych w nich zawartych jako kodu ma spowodować wygenerowanie wyjątku zgłaszanego systemowi operacyjnemu. Technika taka utrudnia wykorzystanie przez wirusy i konie trojańskie błędów typu *buffer overflow*, polegających na umieszczeniu na stosie lub w obszarze danych procesu dowolnego kodu i uruchomieniu go z prawami zainfekowanego procesu (czyli często z prawami administratora). Po ustawieniu bitu NX (ang. *No eXecute*) we wpisie tablicy stron, próba takiego ataku spowoduje zgłoszenie wyjątku i przerwanie wykonania programu, a więc reakcję identyczną do próby wykonania niedozwolonej operacji lub nieistniejącej instrukcji. Bity NX powinny być ustawione dla wszystkich stron procesu z wyjątkiem stron zawierających kod programu i bibliotek oraz stron, dla których proces świadomie zdjął to zabezpieczenie.

Procesory AMD64 znoszą 32-bitową granicę rozmiaru przestrzeni adresowej pojedynczego procesu oraz fizycznej przestrzeni adresowej. Fizyczna przestrzeń adresowa jest w nich o przeszło cztery miliardy razy większa; jej rozmiar równy jest 2^{64}. Przestrzeń adresowa pojedynczego procesu zwiększona została 65 536 razy i ma rozmiar 2^{48}. Zwiększona przestrzeń adresowa pojedynczego procesu umożliwia procesowi odwoływanie się do olbrzymiej (z punktu widzenia obecnie stosowanych aplikacji) ilości pamięci wirtualnej (256 TiB) przy zachowaniu rozsądnego rozmiaru adresu. Z kolei znacznie szersza fizyczna przestrzeń adresowa umożliwia systemowi operacyjnemu jednoczesną obsługę wielu procesów wymagających dużej ilości pamięci.

Obecnie produkowane procesory AMD64 firmy AMD wyposażone są w szynę adresową o szerokości 40 bitów, co pozwala im zaadresować do 1 TB fizycznej pamięci operacyjnej.

Wewnętrzna architektura procesorów Hammer jest — z wyjątkiem rozszerzeń 64-bitowych — oparta o architekturę procesorów K7 (rysunek A.5). Z poważniejszych udoskonaleń



Rysunek A.5. *Architektura wewnętrzna procesorów Hammer*

warto wymienić 24-pozycyjny układ kolejkowania i zlecania wykonania rozkazów (ang. *scheduler*; procesory K7 oferowały jedynie 18 pozycji bufora) oraz wydłużenie potoków wykonawczych (z 10 do 12 etapów dla potoków głównych; patrz tabela A.15), co umożliwia układowi osiągnięcie wyższych częstotliwości taktowania. Liczba jednostek wykonawczych nie uległa zmianie: dostępnych jest sześć jednostek kontrolnych i stałoprzecinkowych oraz trzy specjalizowane jednostki zmiennoprzecinkowe.

Tabela A.15. *Porównanie struktury głównych potoków wykonawczych procesorów o architekturze K7 oraz Hammer*

Etap potoku	Architektura K7	Architektura Hammer
1	Fetch	Fetch 1
2	Scan	Fetch 2
3	Align 1	Pick
4	Align 2	Decode 1
5	EDEC	Decode 2
6	IDEC/Rename	Pack
7	Schedule	Pack/Decode
8	AGU/ALU	Dispatch
9	L1 Address Generator	Schedule
10	Data Cache	AGU/ALU
11		Data Cache 1
12		Data Cache 2

Wbudowany kontroler pamięci

W celu maksymalnego skrócenia czasu dostępu do pamięci operacyjnej, zabijającego zysk wynikający ze zwiększania częstotliwości taktowania układu, firma AMD postanowiła skorzystać z doświadczeń pionierów projektowania mikroprocesorów i zintegrować w strukturze nowych układów kontroler pamięci operacyjnej. Efektem jest znaczące skrócenie czasu dostępu, a więc ograniczenie czasu traconego przez procesor na oczekiwaniu na dane potrzebne wszystkim oczekującym w kolejce rozkazom.

Jedyną wadą takiego rozwiązania jest pełne uzależnienie procesora od konkretnego typu pamięci. O ile w przypadku architektury *procesor-chipset-pamięć* możliwe jest skonstruowanie nowego zestawu układów sterujących, łączących istniejący procesor z nowym rodzajem pamięci, procesory AMD64 wymagają stosowania konkretnego typu pamięci operacyjnej, a dostosowanie platformy do pamięci nowego typu wiąże się nie tylko z opracowaniem nowej płyty głównej i nowego zestawu układów sterujących, ale też dokonania zmian w kontrolerze pamięci procesora.

Wbudowanie kontrolera pamięci w strukturę procesora uniemożliwia też dowolne stosowanie platform z jednym lub dwoma kanałami pamięci. Wszystkie nowe modele procesorów AMD64 wymagają dwóch kanałów pamięci DDR SDRAM. Nie stanowi to większego ograniczenia, ponieważ nawet w przypadku platform Athlon i Pentium 4 płyty główne obsługujące dwa kanały pamięci stanowiły większość sprzedaży.

Obsługa kodu 32-bitowego

W domyślnym dla procesorów AMD64 trybie pracy *Legacy Mode* są one całkowicie zgodne z oprogramowaniem 16- i 32-bitowym i mogą wykonywać kod dowolnego istniejącego systemu operacyjnego. Co ważniejsze, ich architektura (bazująca wprost na architekturze procesora Athlon) pozwala wykonywać kod 32-bitowy z niezwykłą szybkością, szczególnie biorąc pod uwagę względnie niewielką częstotliwość taktowania obecnie produkowanych układów Athlon 64, Athlon FX i Opteron.

Warto podkreślić, że nie zachodzi tutaj konieczność emulowania pracy procesorów 32-bitowych. W trybie *Legacy Mode* dodatkowe 32 bity rejestrów są po prostu nieużywane, a wszystkie bloki funkcjonalne i rozkazy prawidłowe tylko w trybie 64-bitowym — zablokowane. Nie ma dostępu do dodatkowych rejestrów, a pamięć operacyjna może mieć pojemność co najwyżej 4 GB. Dlatego zanim na rynku pojawi się szeroki wybór oprogramowania 64-bitowego, procesory AMD64 można traktować po prostu jako niezwykle szybkie wersje procesorów Athlon.

Wykorzystanie nowych funkcji procesora AMD64 możliwe jest dopiero w nowym trybie pracy nazwanym *Long Mode*, wymagającym 64-bitowego systemu operacyjnego. W zależności od parametrów pracy, narzuconych przez system operacyjny, procesor pracujący w trybie *Long Mode* może albo wymagać wyłącznie oprogramowania 64-bitowego, wyłączając wszelkie mechanizmy umożliwiające równoległą pracę programów 32- i 64-bitowych (tryb *Long 64-bit Mode*), lub też umożliwić współpracę starego i nowego oprogramowania — nadal bez konieczności dokonywania jakiegokolwiek tłumaczenia lub emulowania 32-bitowych rozkazów x86 (tryb *Long Compatibility Mode*). Dzięki trybowi *Long Compatibility Mode* oprogramowanie 32-bitowe może skorzystać z obszerniejszej fizycznej pamięci operacyjnej oraz większej wydajności systemu operacyjnego.

Krótka charakterystyka trybów pracy procesorów AMD64 przedstawiona została w tabeli A.16. Warto zauważyć, że nawet aplikacje 64-bitowe (pracujące w trybie *64-bit Long Mode*) domyślnie używają jedynie 32-bitowych operandów, aby oszczędzać miejsce w pamięci operacyjnej (korzystanie z liczb 64-bitowych jest rzadko potrzebne, a liczby takie powiększałyby każdy rozkaz o cztery bajty). Rozkazy operujące na liczbach 64-bitowych są wyróżniane w kodzie odpowiednim prefiksem.

Tabela A.16. *Tryby pracy procesorów AMD64*

Tryb pracy wykorzystywany przez aplikację		Wymagany system operacyjny	Wymagana rekompilacja aplikacji	Domyślnie		Możliwość korzystania z dodatkowych rejestrów	Rozmiar rejestrów ogólnego przeznaczenia
				Rozmiar adresu	Rozmiar operandu		
Long Mode	Tryb 64-bitowy	64-bitowy	tak	64	32	tak	64
	Tryb zgodności		nie	32	32	nie	32
				16	16		16
Legacy Mode	Tryb chroniony	32-bitowy	nie	32	32	nie	32
				16	16		
	Tryb wirtualny			16	16		16
	Tryb rzeczywisty	16-bitowy					

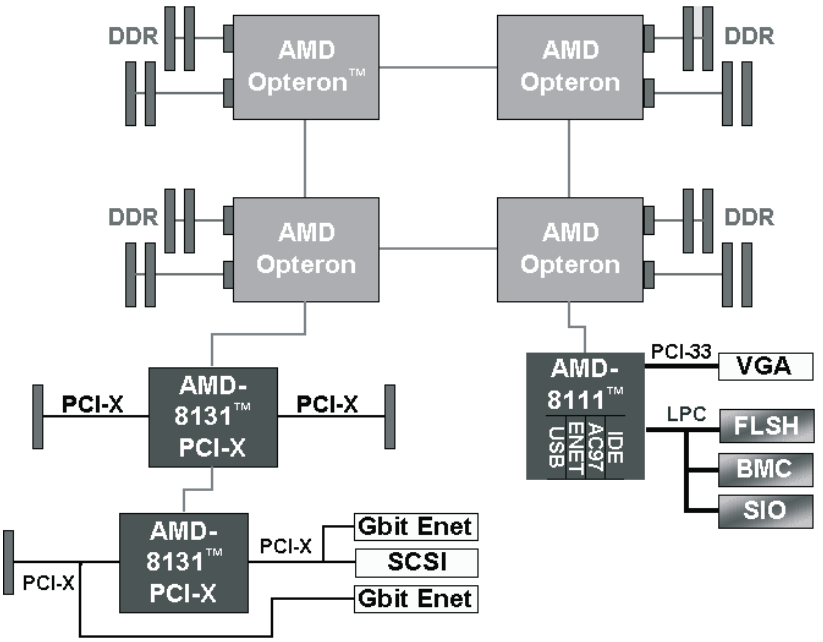
Praca wieloprocesorowa

Architektura AMD64 od początku była tworzona z myślą o prostym budowaniu wysoce skalowalnych systemów wieloprocesorowych. Najważniejszym było nie powtórzyć błędu poczynionego w czasie opracowywania procesorów Athlon MP, które z powodu posiadania wysokowydajnych magistral, odrębnych dla każdego układu, wymagały prowadzenia na płytach głównych istnej plątaniny ścieżek oraz używania jednego układu mostkującego na każdą parę procesorów.

Procesory z rodziny Hammer przystosowane do pracy wieloprocesorowej (układy AMD Opteron) łączone są z układem kontrolującym pracę płyty głównej i ze sobą nawzajem za pomocą szeregowych, wysokowydajnych łącz *HyperTransport*. Ponieważ liczba ścieżek tworzących łącze *HyperTransport* jest niewielka, prawidłowe prowadzenie magistral na płycie drukowanej jest względnie proste. Magistrale nie muszą też łączyć procesora z zestawem układów kontrolujących (*chipsetem*), gdyż procesory przekazują dane uzyskane od innych układów i tylko jeden z nich musi mieć połączenie z układami sterującymi płyty głównej.

Na niezwykłą skalowalność systemów wieloprocesorowych zbudowanych w oparciu o procesory Hammer wpływa też fakt wbudowania kontrolera pamięci operacyjnej bezpośrednio w strukturę procesora. Dzięki temu każdy z procesorów dysponuje własną magistralą danych, a teoretyczna przepustowość podsystemu pamięci wzrasta liniowo wraz z liczbą procesorów (w przeciwieństwie do architektury stosowanej przez firmę Intel, w której wspólna magistrala pamięci dzielona jest między zainstalowane w systemie mikroprocesory). Jeżeli dane potrzebne jednemu z procesorów znajdują się w lokalnym bloku pamięci innego procesora, przesyłane są magistralą *HyperTransport* z szybkością porównywalną z obecnymi rozwiązaniami wymagającymi pośrednictwa mostka północnego *chipsetu*; jeżeli dane znajdują sieć bezpośrednio w lokalnej pamięci procesora, dostęp do nich jest o wiele szybszy.

Przykładowy schemat mikrokomputera czteroprocesorowego zbudowanego w oparciu o układy AMD Opteron przedstawiono na rysunku A.6.



Rysunek A.6. *Architektura systemu wieloprocesorowego opartego o jednostki AMD Opteron*

Platformy sprzętowe dla procesorów Hammer

Socket 754

Platforma Socket 754 miała pierwotnie być podstawą komputerów wyposażonych w procesory AMD Athlon 64. Mniejsza w stosunku do gniazd Socket 939 i Socket 940 liczba wyprowadzeń okupiona została ograniczeniem możliwości kontrolera pamięci do obsługi jednego kanału standardowej, niebuforowanej pamięci DDR SDRAM (maksymalna obsługiwana częstotliwość taktowania podsystemu pamięci wynosi 200 MHz, co odpowiada standardowi PC3200) oraz zmniejszeniem liczby możliwych do doprowadzenia do procesora łącz HyperTransport: ponieważ procesory Athlon 64 nie mogą być używane w konfiguracjach wieloprocesorowych, wystarczające jest dla nich jedno łącze przeznaczone do celów komunikacji z zestawem układów sterujących.

Ostatnio firma AMD zrezygnowała z rozwijania wersji procesora Athlon 64 dla gniazda Socket 754, przeznaczając dla niego gniazdo Socket 939. W związku z tą decyzją jedynymi procesorami, jakie będą produkowane dla gniazda Socket 754 są jednostki AMD Sempron. Powodem tej decyzji jest chęć poprawy wizerunku rynkowego procesorów AMD Athlon 64 (wielu użytkowników unikało ich z powodu obsługi tylko jednego kanału pamięci, choć nie miało to wielkiego wpływu na wydajność tych jednostek) oraz zmniejszenie kosztów produkcji (dołożenie drugiego kanału pamięci umożliwiło dwukrotne zmniejszenie rozmiarów pamięci podręcznej drugiego poziomu przy zachowaniu podobnej wydajności).

Socket 940

Podstawowy typ gniazda pierwszych procesorów z rodziny Hammer. Cały czas z tego typu podstawki korzystają procesory serii AMD Opteron. Gniazdo Socket 940 umożliwia obsługę dwóch kanałów buforowanych pamięci DDR SDRAM o częstotliwości takowania do 166 MHz (standard PC2700) lub 200 MHz (standard PC3200) oraz trzech łącz HyperTransport (co umożliwia nawiązanie połączenia z trzema procesorami lub układami towarzyszącymi). Wymóg używania modułów buforowanych (ang. *registered*) jest bezwzględny.

Platforma Socket 940 była też chwilowo wykorzystywana przez procesory AMD Athlon 64 FX, będące w rzeczywistości przemianowanymi jednostkami Opteron z jednoprocesorowych serii 1xx. Procesory Athlon 64 FX w wersji Socket 940 obsługiwały częstotliwość taktowania podsystemu pamięci równą 200 MHz (standard PC3200) i jedno tylko łącze *HyperTransport*. Wymagane przez nie buforowane moduły pamięci są wyraźnie droższe od niebuforowanych, a do tego wymóg taki uniemożliwia wykorzystanie modułów pamięci używanych w poprzednim komputerze; z tego powodu procesory Athlon 64 FX cieszyły się niewielkim zainteresowaniem, a obecnie nowe ich odmiany dostępne są już dla platformy Socket 939, współdzielonej ze standardowymi jednostkami Athlon 64.

Socket 939

Obecnie podstawowa platforma pracy procesorów Athlon 64 oraz Athlon 64 FX. Gniazdo Socket 939 przystosowane jest do obsługi dwóch kanałów standardowej, niebuforowanej pamięci DDR SDRAM oraz jednego łącza *HyperTransport*. Obsługiwane są moduły pamięci DDR SDRAM DIMM taktowane zegarem do 200 MHz (standard PC3200).

Zanik różnic między procesorami Athlon 64 i Athlon 64 FX w zakresie liczby obsługiwanych kanałów pamięci (oba modele obsługują dwa kanały pamięci) spowodował, że jedynym czynnikiem wpływającym na występujące między nimi różnice w wydajności przy tej samej częstotliwości taktowania jest rozmiar pamięci podręcznej drugiego stopnia (L2). Athlon 64 FX wyposażony jest 1 MB pamięci L2, podczas gdy Athlon 64 — w 512 KB.

AMD Opteron

Opteron (noszący kodową nazwę *Sledgehammer*) to obecnie okręt flagowy firmy AMD. Pierwsza, najbardziej rozbudowana i najefektywniejsza realizacja architektury Hammer błyszczy nie tylko nowoczesnymi rozwiązaniami technicznymi, ale też wydajnością: serwery wyposażone w procesory Opteron nawiązują równą walkę z układami Intel Xeon, a często z nimi nawet wyraźnie wygrywają.

Procesory Opteron występują w trzech odmianach:

- Modele 1xx przeznaczone są do stacji roboczych oraz małych serwerów. Z trzech łączy *HyperTransport* żadne nie obsługuje protokołu zachowania spójności pamięci podręcznej, przez co procesor ten nie może być używany w konfiguracjach wieloprocesorowych;

- Modele 2xx przeznaczone są do wysokowydajnych stacji roboczych oraz średnich serwerów. Jedno z trzech łączy *HyperTransport* obsługuje protokół zachowania spójności pamięci podręcznej, co umożliwia stosowanie do dwóch takich jednostek;
- Modele 8xx przeznaczone są do najwyższej klasy serwerów. Wszystkie trzy łącza *HyperTransport* obsługują protokół zachowania spójności pamięci podręcznej, co umożliwia budowanie dowolnie skalowalnych konfiguracji wieloprocesorowych, przy czym na razie dopuszczalny jest montaż do ośmiu jednostek w jednym systemie.

Procesory Opteron są też pierwszymi jednostkami, które otrzymały oznaczenia nie bazujące na częstotliwości zegara taktującego układ lub wydajności porównawczej w stosunku do konkurencyjnych układów. Dwie ostatnie cyfry oznaczenia procesorów Opteron oznaczają wydajność procesora mierzoną w abstrakcyjnych jednostkach. Wszelkie porównania wydajności bazujące na oznaczeniach możliwe są przez to jedynie w ramach rodziny Opteron.

Porównanie parametrów dostępnych obecnie modeli procesorów AMD Opteron znajduje się w tabeli A.17.

Tabela A.17. *Podstawowe dane procesorów AMD Opteron*

	x40	x42	x44	x46	x48	x50
Architektura	RISC					
Technologia	0,13 µm SOI					
Zegar CPU [MHz]	1400	1600	1800	2000	2200	2400
Łącza HyperTransport [MHz]	800 MHz (przesył DDR), 16-bit, 3,2 GB/s na łącze					
L1 cache (kod)	64 KB, 2 x Associative, parzystość					
L1 cache (dane)	64 KB, 2 x Associative, ECC					
L2 cache	1024 KB, 16 x Associative, ECC (tryb Exclusive)					
Konfiguracja wieloprocesorowa	1xx — nie 2xx — systemy dwuprocesorowe 8xx — systemy wieloprocesorowe (8 jednostek max)					
Kontroler pamięci	2 kanały DDR SDRAM, częstotliwość maksymalna 166 lub 200 MHz (w zależności od daty produkcji), wyłącznie buforowane moduły DDR SDRAM DIMM ECC-R PC1600-PC3200					
Liczba jednostek wykonawczych	3 jednostki adresowe 3 jednostki arytmetyczne, 3 jednostki zmiennoprzecinkowe					
Głębokość potoków wykonawczych	12 (INT), 17 (FP)					
Wykonywanie poza kolejnością (OOE)	Tak					
Rozmiar BTB	2048					
VCORE [V]	1,15 — 1,55 V					
Pobór mocy [W]	< 85 W	< 85 W	< 85 W	< 90 W	< 90 W	< 90 W
Stos powrotów	tak (12 pozycji)					
Przemianowywanie rejestrów	tak					
Podstawka	Socket 940					

AMD Athlon 64 FX

Procesory Athlon 64 FX skierowane są do użytkowników prostych stacji roboczych oraz bardzo wydajnych komputerów osobistych. Pierwsze ich odmiany były wręcz po prostu przemianowanymi procesorami Opteron z jednoprocesorowej serii 1xx, pracowały w płytach głównych Socket 940 przeznaczonych dla Operonów i wymagały obsadzenia dwóch kanałów pamięci buforowanymi modułami DDR SDRAM DIMM ECC. Spowodowało to niewielkie zainteresowanie tymi układami.

Obecne modele procesorów AMD Athlon 64 FX pracują w zestandaryzowanych płytach głównych Socket 939 i wymagają użycia dwóch kanałów obsadzonych standardowymi, niebuforowanymi modułami DDR SDRAM DIMM o częstotliwości taktowania do 200 MHz (standard PC3200).

Athlon 64 FX przejął po swoim „starszym bracie" system oznaczania wydajności za pomocą liczb nie bazujących w ogóle na częstotliwości taktowania lub wydajności porównawczej. Układy Athlon 64 FX znakowane są dwucyfrowymi liczbami, a ich oznaczenia mogą być wyznacznikiem wydajności wyłącznie w ramach rodziny procesorów. W momencie pisania tych słów na rynku dostępne były modele FX-51 oraz FX-53 i przygotowywana była premiera wersji FX-55.

Podstawowe dane techniczne wszystkich dostępnych obecnie modeli procesorów AMD Athlon 64 FX (dla platform Socket 940 oraz Socket 939) przedstawione zostały w tabeli A.18.

AMD Athlon 64

Athlon 64 jest najprostszym 64-bitowym modelem procesora z rodziny Hammer. Pierwsze wersje, przeznaczone dla platformy Socket 754, obsługiwały jedynie jeden kanał niebuforowanej pamięci DDR SDRAM, co nieznacznie ograniczało wydajność w stosunku do dwukanałowego modelu Athlon 64 FX. Obecnie zarówno Athlon 64, jak i Athlon 64 FX produkowane są wyłącznie w wersji Socket 940, zapewniającej obsługę dwóch kanałów niebuforowanej pamięci DDR SDRAM.

Układy Athlon 64 znakowane są w sposób zgodny z dotychczas produkowanymi procesorami Athlon XP, za pomocą czterocyfrowej liczby oraz znaku „+". Oznaczenie procesora oznacza teoretyczną częstotliwość taktowania układu Athlon z serii Thunderbird, który osiągałby podobną wydajność. Oznaczenia te można również z pewną nieścisłością przyrównywać do częstotliwości taktowania procesorów Intel Pentium 4 (nie ma tu jednak dokładnej korelacji między oznaczeniem AMD i częstotliwością taktowania procesorów Pentium 4).

Podstawowe dane techniczne wszystkich dostępnych obecnie modeli procesorów AMD Athlon 64 (dla platform Socket 754 oraz Socket 940) przedstawione zostały w tabeli A.19.

Tabela A.18. *Podstawowe dane procesorów AMD Athlon 64 FX*

	FX-51	FX-53	FX-53
Architektura	RISC		
Technologia	0,13 µm SOI		
Zegar CPU [MHz]	2200	2400	2400
Łącze HyperTransport [MHz]	800 MHz (przesył DDR), 16-bit, 3,2 GB/s		
L1 cache (kod)	64 KB, 2 x Associative, parzystość		
L1 cache (dane)	64 KB, 2 x Associative, ECC		
L2 cache	1024 KB, 16 x Associative, ECC (tryb Exclusive)		
Konfiguracja wieloprocesorowa	Nie		
Kontroler pamięci	2 kanały DDR SDRAM, częstotliwość maksymalna 200 MHz, wyłącznie buforowane moduły DDR SDRAM DIMM ECC-R PC1600-PC3200		2 kanały DDR SDRAM, częstotliwość maksymalna 200 MHz, niebuforowane moduły DDR SDRAM DIMM PC1600-PC3200
Liczba jednostek wykonawczych	3 jednostki adresowe 3 jednostki arytmetyczne, 3 jednostki zmiennoprzecinkowe		
Głębokość potoków wykonawczych	12 (INT), 17 (FP)		
Wykonywanie poza kolejnością (OOE)	Tak		
Rozmiar BTB	2048		
VCORE [V]	1,15 — 1,55 V		
Pobór mocy [W]	< 90 W	< 90 W	< 90 W
Stos powrotów	tak (12 pozycji)		
Przemianowywanie rejestrów	tak		
Podstawka	Socket 940	Socket 940	Socket 939

AMD Sempron

AMD Sempron to nowa gałąź produktów firmy AMD, skierowana do najmniej wymagających użytkowników, dla których liczy się przede wszystkim koszt komputera, a nie jego wydajność. Procesory Sempron będą się cieszyć największym powodzeniem wśród klientów korporacyjnych, dla których wydajność obecnie produkowanych jednostek i tak jest bardziej niż wystarczająca, a nawet niewielka oszczędność poczyniona na jednym komputerze znacząco zmniejsza cenę zakupu dziesiątek lub setek zestawów komputerowych.

Procesory Sempron sprzedawane są w trzech odmianach:

Tabela A.19. *Podstawowe dane procesorów AMD Athlon 64*

	3400+	3500+	3800+
Architektura	RISC		
Technologia	0,13 µm SOI		
Zegar CPU [MHz]	2200	2200	2400
Łącze HyperTransport [MHz]	1000 MHz (przesył DDR), 16-bit, 4,0 GB/s		
L1 cache (kod)	64 KB, 2 x Associative, parzystość		
L1 cache (dane)	64 KB, 2 x Associative, ECC		
L2 cache	1024 KB, 16 x Associative, ECC (tryb Exclusive)	512 KB, 16 x Associative, ECC (tryb Exclusive)	
Konfiguracja wieloprocesorowa	Nie		
Kontroler pamięci	1 kanał DDR SDRAM, częstotliwość maksymalna 200 MHz, niebuforowane moduły DDR SDRAM DIMM PC1600-PC3200	2 kanały DDR SDRAM, częstotliwość maksymalna 200 MHz, niebuforowane moduły DDR SDRAM DIMM PC1600-PC3200	
Liczba jednostek wykonawczych	3 jednostki adresowe 3 jednostki arytmetyczne, 3 jednostki zmiennoprzecinkowe		
Głębokość potoków wykonawczych	12 (INT), 17 (FP)		
Wykonywanie poza kolejnością (OOE)	Tak		
Rozmiar BTB	2048		
VCORE [V]	1,15 — 1,55 V		
Pobór mocy [W]	< 90 W	< 90 W	< 90 W
Stos powrotów	tak (12 pozycji)		
Przemianowywanie rejestrów	Tak		
Podstawka	Socket 754	Socket 939	Socket 939

- wersja Socket A to tak naprawdę procesor AMD Athlon XP (model Thorton, częstotliwość taktowania FSB 166 MHz lub 200 MHz, 256 KB pamięci podręcznej L2),
- wersja Socket 754 ma umożliwić posiadaczom płyt głównych Socket 754 (wyposażonych w jeden kanał niebuforowanej pamięci DDR SDRAM) wymianę wychodzących z produkcji procesorów AMD Athlon 64 (w wersji Socket 754) na nowsze, szybsze procesory 32-bitowe,
- wersja Socket 939 ma z kolei umożliwić taką wymianę posiadaczom płyt głównych Socket 939 (wyposażonych w dwa kanały buforowanej pamięci DDR SDRAM) wymianę wychodzących z produkcji procesorów AMD Athlon FX (w wersji Socket 939) na nowsze, szybsze procesory 32-bitowe.

Procesory AMD Sempron, nawet te wywodzące się bezpośrednio z rodziny AMD64, różnią się od pozostałych jednostek AMD64 następującymi cechami:

- brak 64-bitowego trybu pracy oraz wszystkich funkcji z nim związanych,
- brak mechanizmu ochrony zawartości stron pamięci przed wykonaniem przez procesor znajdującego się w nich kodu (bit NX),
- 256 KB pojemności pamięci podręcznej L2.

W chwili pisania tych słów firma AMD zapowiadała rozpoczęcie sprzedaży następujących jednostek z rodziny AMD Sempron:

Model	Nazwa kodowa	Podstawka
Sempron 2500+	Thorton	Socket A
Sempron 2600+	Thorton	Socket A
Sempron 2800+	Thorton	Socket A
Semrpon 3100+	Paris	Socket 754

Procesory firmy Cyrix

Cyrix w podstawce Socket 7 stanowił swego czasu interesującą alternatywę dla dużo droższych chipów wytwarzanych przez Intel. Był również tańszy od porównywalnych produktów AMD.

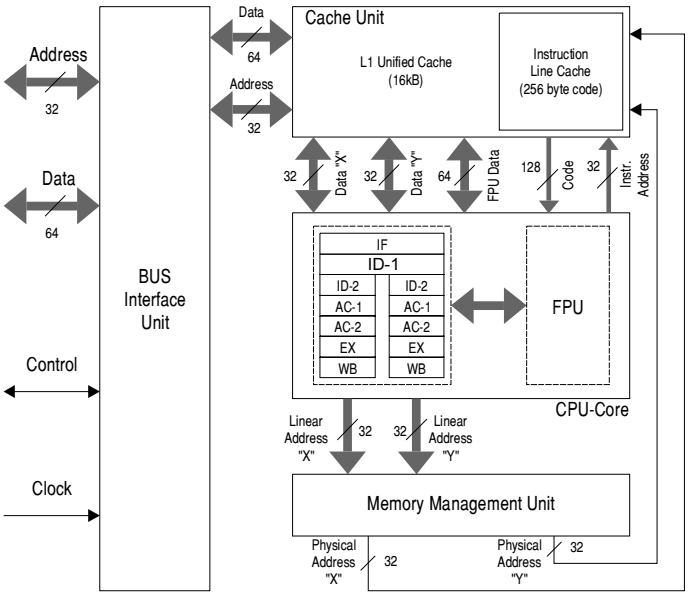
Rodzina 6x86 (M1)

Omawiany procesor (rysunek A.7) stanowił wspólne dzieło firm Cyrix, IBM i SGS-Thompson. Jako bardzo oryginalny i oszczędny projekt zdołał znaleźć dla siebie miejsce na rynku PC i pozyskać grono gorących zwolenników.

Całkowita zgodność z Pentium była niestety mocno problematyczna. Procesorom Cyrix brakowało ponadto funkcji wewnętrznego stopera TSC (*Time Stamp Counter*) oraz możliwości nadzoru (*Performance Monitoring*).

Licznik czasu TSC, chociaż nie stanowił obowiązkowego elementu architektury x86, był chętnie wykorzystywany przez różne aplikacje. Jego fizyczna nieobecność w systemie mogła, zależnie od stylu programowania, zaowocować różnymi skutkami ubocznymi.

Ograniczone są funkcje śledzenia, a praca w systemie wieloprocesorowym możliwa jest wyłącznie zgodnie z koncepcją OpenPIC, która zupełnie nie pasuje do modułu APIC zintegrowanego z procesorami Pentium. Sporo kłopotów przysparza brak instrukcji `cpuid`, a właściwie jej zablokowanie. Niektóre aplikacje sprawdzają bowiem przed przystąpieniem do pracy typ procesora zainstalowanego w systemie. Procesor 6x86 w konfiguracji standardowej nie zna kodu tego rozkazu i system zatrzymuje się, sygnalizując błąd, tak jak



Rysunek A.7. *Schemat blokowy procesora Cyrix 6X86 (M1)*

w przypadku napotkania instrukcji o zabronionym kodzie. Konfigurację procesora można na szczęście zmienić. Dokonuje się tego, na przykład, za pomocą programu CX86![8]. Ustawiona konfiguracja obowiązuje do następnego restartu systemu. Powyższe uwagi odnoszą się wyłącznie do procesorów serii 6x86 i nie dotyczą następnej generacji (MX i M2).

Użytkownicy przyzwyczajeni do jasno zdefiniowanej częstotliwości taktowania procesora mogli czuć się nieco zagubieni. Produkty IBM/Cyrix znakowane były w sposób odmienny od powszechnie przyjętego. Na obudowie drukowano współczynnik PR (*Pentium Rating*), czyli równoważnik mocy obliczeniowej danego CPU w odniesieniu do procesora Pentium. Jeszcze wcześniej do liczby PR dołączany był znak „+" mający wskazywać na zależność „lepszy lub co najmniej równy".

Wyniki niektórych programów testujących potwierdzały prawo do noszenia stosownej etykiety P-xxx+. Model 6x86 P-166 istotnie osiągał parametry porównywalne z Pentium 166.

	Sysmark NT	**Sysmark 95**
6x86 133 MHz P-166+	455	450
Pentium 166 MHz	433	464

Pomiary przeprowadzone wśród pozostałych procesorów prowadzą do ustanowienia następującego przyporządkowania:

Cyrix	100 MHz P-120+	110 MHz P-133+	120 MHz P-150+	133 MHz P-166+
Intel	Pentium 120 MHz	Pentium 133 MHz	Pentium 150 MHz	Pentium 166 MHz

[8] Wywołanie programu: `cx86! mapen0 cpuiden`.

Warto przyjrzeć się dokładniej, jakich sztuczek używa procesor Cyrix, by mimo mniejszych częstotliwości taktowania osiągać tę samą wydajność, co jego główny konkurent.

Podstawową cechą tej architektury była niewątpliwie jednolita pamięć podręczna dla kodu i danych (*Unified Cache*). Koncepcja ta pozwalała na większą elastyczność (a zarazem i prędkość) w zarządzaniu pamięcią podręczną. Niebezpieczeństwo wzajemnego wyrzucania się partii kodu i danych (*Trashing*) likwidowano poprzez wprowadzenie małej, 256-bajtowej pamięci podręcznej (*Instruction Line Cache*) dedykowanej wyłącznie dla kodu rozkazów. Dostęp do 16 KB pamięci podręcznej możliwy był dla obydwu potoków jednocześnie (*Dual Ported Cache*).

Realizacja instrukcji x86 odbywała się w sposób naturalny — jądro procesora pracowało w trybie CISC. Przetwarzanie miało miejsce w dwóch równoległych potokach (oznaczanych przez Cyrix jako X i Y). Potoki były siedmiostopniowe, przy czym w dwóch spośród nich (ID — *Instruction Decode* i AC — *Address Calculation*) wyodrębnić można jeszcze stopnie pośrednie (ID1 i ID2 oraz AC1 i AC2), taktowane podwójną częstotliwością zegara.

Pierwszy stopień (IF — *Instruction Fetch*) był wspólny dla obydwu potoków i pobierał w jednym cyklu zegara 16 bajtów kodu. Jednocześnie sprawdzano, czy w załadowanych właśnie instrukcjach nie występują rozkazy skoków. W przypadku rozgałęzień bezwarunkowych pobierany był również kod z punktu, na który wskazywał adres skoku.

Przepowiadanie rozgałęzień instrukcji warunkowych odbywało się za pomocą 256-wierszowej tabeli BTB (plus dwa bity charakteryzujące skok). Aby nie tracić czasu w przypadku pomyłki, pobierano również na wszelki przypadek fragment kodu z drugiego punktu, odrzuconego przez układ przepowiadania.

Potoki równoległe Cyriksa nie były synchronizowane. Bezrobotny potok Y nie czekał (w przeciwieństwie do Pentium) na ukończenie przetwarzania w X i mógł wykonywać inny fragment kodu (poza kolejnością), choćby jeden z przepowiadanych kierunków biegu programu. Powstające przy tym zależności likwidowane były za pomocą przemianowywania 32 rejestrów.

Spore różnice w stosunku do Pentium można odnaleźć w jednostce zarządzania pamięcią (MMU). Bufor TLB zawiera 128 rekordów (Pentium — 96), a pamięć podręczna, w której przechowywane są katalogi dostępu do stron pamięci (*Page Directory Table*), daje się programowo aktywować i dezaktywować. Niezmiernie oryginalny jest ośmiostopniowy *Victim Buffer*, forma kosza na śmieci, gdzie lądują usuwane z TLB odwołania do stron. Rekordy takie dają się szybciej odtworzyć, bowiem nie zostały jeszcze fizycznie skasowane. Cyrix radził sobie również świetnie ze stronami pamięci o wymiarach innych niż intelowskie 4 KB i 4 MB. Następujące po sobie strony dają się połączyć w jedną całość, co przynosi ogromne skrócenie czasu dostępu.

Na zakończenie warto wreszcie wspomnieć o łączonych cyklach zapisu (*Write Gathering*). System dostępu do magistrali potrafi łączyć następujące po sobie odwołania do pamięci. W ten sposób żądania zapisu bajtów, słów i słów podwójnych grupowane były w pojedynczy blok i wykonywane w szybkim trybie 64-bitowym. Podstawowe dane procesorów Cyrix M1 w tabeli A.20.

Tabela A.20. *Podstawowe dane procesorów Cyrix M1*

	PR 150+	PR 166+	PR 200+
Architektura	x86 Native		
Zegar CPU [MHz]	120	133	150
Magistrala [MHz]	60	66	75[A]
Mnożnik (BF)	×2	×2	×2
L1 Cache (kod)	16 KB Unified Cache (Code+Data), 4×Associative, 512 Lines. 256 Byte Instruction Line Cache (8 Lines)		
L1 Cache (dane)			
L2 Cache on Chip	×		
Pipe-Lines	2 (+FP)		
Pipe-Line Stages	7		
Out of Order Execution	✓		
Branch History Table	512		
Branch Target Buffer	256		
V_{CORE} [V]	3,3[B] (2,8)[C]		
$V_{I/O}$ [V]	3,3		
Pobór mocy, typ. [W]	16,8	18	21
Return Stack	8		
Renaming Registers	✓ (8+24)		
Performance Monitoring	×		
Time Stamp Counter	×		
Podstawka	Socket 7		

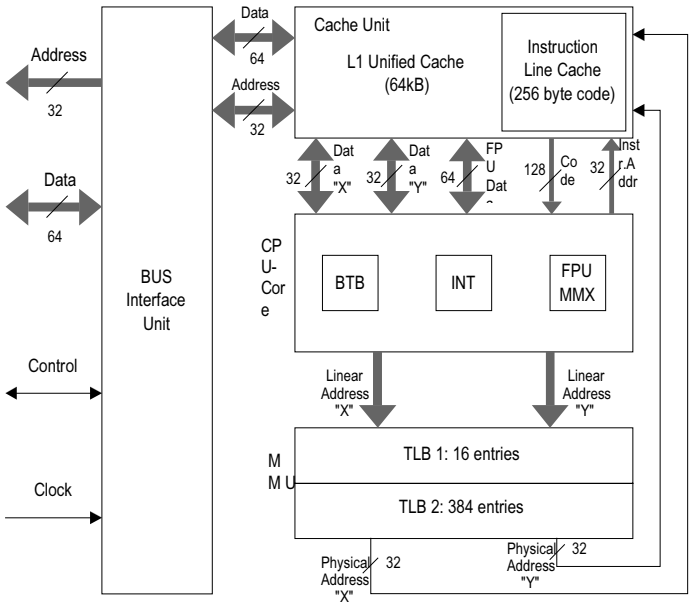
[A] Praca w tym trybie wymaga obsługi ze strony płyty głównej (standardowa częstotliwość maksymalna dla magistrali wynosi jedynie 66 MHz).

[B] Modele serii M1 wykonywane w technologii 0,65 µm zajmują 394 mm^2 struktury krzemowej (*Die*).

[C] Nowe układy serii M1R charakteryzują się mniejszym poborem mocy i wymagają dwóch napięć zasilających (*Split Voltage*). Wykonywane w technologii 0,5 µm (PR-120 – PR-166) lub 0,44 µm (PR-200) zajmują jedynie 204 mm^2.

Rodzina M2

Historia współpracy i wzajemnych kontaktów pomiędzy firmami Cyrix i IBM była bardzo zawikłana, co znajduje wyraźne odbicie w systemie oznaczeń procesorów. Opracowany w firmie Cyrix pierwowzór całej rodziny (6x86) nosił przez pewien czas przydomek M1. Procesor Cyrix M2 (rysunek A.8) stanowi w zasadzie rozwinięcie modelu 6x86 (M1) poprzez wzbogacenie o większą pamięć podręczną (64 KB zamiast 16 KB) (tabela A.21). Producent pozostał wierny idei wspólnej pamięci podręcznej dla danych i kodu (*Unified Cache*). Zachowany został również odseparowany wycinek pamięci podręcznej, przeznaczonej wyłącznie na kod (256 bajtów). Najistotniejsza innowacja to rozszerzenie o zestaw rozkazów MMX, których realizacja przebiegała w bloku funkcyjnym zintegrowanym z jednostką zmiennoprzecinkową. Przez pewien czas procesory tej rodziny nosiły nawet przydomek MX (zamiast M2).



Rysunek A.8. *Schemat blokowy procesora Cyrix M2*

Po przejęciu firmy Cyrix przez National Semiconductor przez dłuższy czas pozostawała w mocy umowa partnerska z firmą IBM, lecz w końcu została wypowiedziana. Procesory Cyrix powstawały na liniach produkcyjnych IBM-a. Część produkcji opatrywana była znakiem firmowym IBM, a część wracała do Cyriksa. Specjaliści od marketingu firmy Cyrix uznali, że używany przez pewien czas przyrostek M2 (poprzez asocjację z Pentium II) lepiej nadaje się do promocji wyrobów niż wysłużony przyrostek MX, kojarzący się wyłącznie z wszechobecnym standardem MMX. Dla zwiększenia efektu zamieniono dodatkowo M2 na M-II i tak powstało późniejsze oznaczenie M-II-300, pod którym ukrywała się jednostka z rodziny 6x86 o mocy obliczeniowej sięgającej (przynajmniej w zakresie aplikacji biurowych) poziomu procesora Pentium II taktowanego zegarem 300 MHz. Ten sam procesor, a w zasadzie jego półprzewodnikowa struktura, trafiał na rynek pod znakiem firmowym IBM-a jako 6x86MX-PR266 lub PR300. Jądro procesora M-II-300 przystosowano do współpracy z magistralą FSB 66 MHz. Mnożnik ×1,5 rozpoznawany był jako ×3,5, tzn. układ konfigurowany jest dokładnie tak jak intelowski MMX-233. Ten sam procesor, oznaczany przez IBM jako 6x86MX-PR300 (IBM), przewidziany był do współpracy z magistralą FSB 75 MHz.

IBM posługiwał się inną techniką pakowania chipów do obudów. Zamiast klasycznej formy łączenia za pomocą cienkich drutów (*Bonding*), płytka półprzewodnikowa osadzana była „do góry nogami" na matrycy punktów lutowniczych (*Flip Chip*[9]). To skrócenie wyprowadzeń (zredukowanie indukcyjności i zmniejszenie przesłuchów międzypołączeniowych) pozwoliło na podniesienie częstotliwości taktowania, a bezpośredni kontakt struktury krzemowej z radiatorem poprawiał parametry termiczne. Dziś technika ta stosowana jest powszechnie przez wszystkich producentów.

[9] Techniką tą pakowane są również procesory AMD K6 oraz nowsze modele procesorów Intel, począwszy od Pentium II/450 MHz (obudowy FC-PGA i FC-PGA2).

Tabela A.21. *Podstawowe dane procesorów Cyrix M2*

	PR-166	PR-200	PR-233	PR-266 PR-300 M2-300	M2-333	M2-350	MX-400 MII-400	MII-433
Architektura	x86 MMX Native							
Technologia	0,25 µm							
Zegar CPU [MHz]	133/150	166	188/200	233/225/ 208	250	250	285	300
Magistrala [MHz]	66/60	75/66	75/66	66/75/83	83	100	95	100
Mnożnik (BF)	×2/×2,5	×2/×2,5	×2/×3	×3,5/×3/ ×2,5	×3	×2,5	×3	×3
L1 Cache (kod), L1 Cache (dane)	64 KB Unified Cache (Code+Data), 4×Associative, 2048 Lines. Write Back for Data, 256 Byte Instruction Line Cache (8 Lines)							
L2 Cache on Chip	×							
Pipe-Lines	2 (+1 FPU)							
Pipe-Line Stages	7							
Out of Order Execution	✓							
Branch History Table	1024							
TLB	Code/Data Cache TLB: 16 Entries Direct Mapped L2 TLB: 64×6							
Branch Target Buffer	512							
V_{CORE} [V]	2,9						2,2	
$V_{I/O}$ [V]	3.3							
Pobór mocy [W]	10,6/11,4	12,1	13,1/13,7	12,5/13,0	14,0		11,1	12,0
Return Stack	8							
Renaming Registers	✓ (8 + 24)							
Performance Monitoring	✓							
Time Stamp Counter	✓							
Podstawka	Socket 7, P54C					Socket Super 7		

Architektura M2 uległa oczywiście istotnym modyfikacjom. Wspomnieć należy o przebudowanej jednostce zarządzania pamięcią (MMU). Interesująca jest dwustopniowa architektura TLB (*Transaction Look-Aside Buffer*). Pierwszy poziom (TLB 1) zawiera 16 rekordów z odwołaniami do tablicy drugiego poziomu (TLB 2) o 384 wierszach.

M2 był typowym przedstawicielem klasy CISC, bowiem przetwarzał naturalne rozkazy x86. Praca przebiegała w dwóch potokach, a centralny system sterowania czuwał nad stałym ich napełnianiem, przesyłając partie kodu poza kolejnością (*Out-of-Order Completion*, *Speculative Execution*). Zależności usuwano poprzez przemianowywanie rejestrów[10], a dodatkowe przyspieszenie osiągano dzięki wczesnemu udostępnianiu danych.

[10] Oprócz 8 standardowych rejestrów architektury x86 do dyspozycji są 24 dodatkowe rejestry 32-bitowe.

ViA Cyrix III

Konkurencja na rynku tanich CPU nie oszczędziła procesora M2 również pod rządami firmy *National Semiconductor*. W połowie roku 1999 Cyrix sprzedany został za 167 milionów dolarów tajwańskiej fimie ViA, która ogłosiła kontynuację linii Cyrix pod roboczą nazwą *Joshua.* Procesory miały być produkowane w obudowie Socket-370 i wyposażone w 64 KB L1 (*Unified*, *4-Way*) oraz 256 KB L2.

Joshua przedstawiał się w logicznej kolejności jako następny członek rodziny Cyrix (Cyrix III), jednak nigdy nie został wprowadzony do produkcji seryjnej. W tym czasie ViA dokupiła jeszcze jedną upadającą firmę z tej samej branży, borykającą się ze zbytem procesorów WinChip. Firma IDT, bo o niej tu mowa, planowała właśnie wprowadzenie na rynek kolejnego procesora z rozszerzeniami MMX i 3DNow! (WinChip 3), wtedy jeszcze dla podstawki Socket 7. Po przejęciu przez ViA projekt WinChip przemianowany został na *Samuel*. Niewielkie zmiany w architekturze pozwoliły na implementację protokołu GTL+, tak by nowy procesor pasował do podstawki typu 370. W ten sposób powstał (drugi z kolei) procesor Cyrix III. Pierwszy z publicznie zaprezentowanych modeli taktowany był zegarem 350 MHz, a jego moc obliczeniowa była na poziomie procesora Intel Celeron 166.

Charakterystyczną cechą architektury Cyrix III jest stosunkowo duża pamięć podręczna L1 (128 KB) i całkowity brak L2. Procesor wytwarzano od samego początku w energooszczędnej i (jak na owe czasy) nowoczesnej technologii 0,18 μm. Model 533 MHz zasilany był napięciem 1,9 V i pochłaniał około 10 W (wystarczał więc radiator bez wentylatora). Obudowa odpowiadała podstawce typu 370. Częstotliwości taktujące leżały w zakresie od 500 do 667 MHz, przy różnych kombinacjach mnożnika i zegara FSB (66 – 133 MHz). Moc obliczeniowa procesora Cyrix III 533 MHz (FSB 133) była jednak we wszystkich dyscyplinach mniejsza od oferowanej przez intelowski procesor Celeron A/300 MHz (FSB 66).

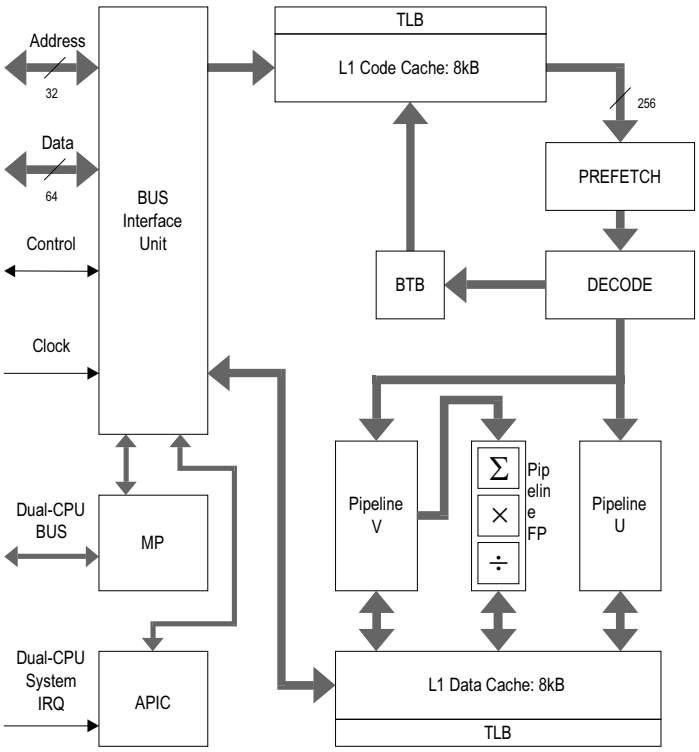
Procesory Intel

Rodzina Pentium

Procesory tej rodziny stanowią bardzo liczną grupę. Pierwsze modele — od dawna nieobecne na rynku — zasilane były napięciem 5 V i pracowały z częstotliwością 60 lub 66 MHz. Kolejna grupa (oznaczana symbolem P54C) wymagała znacznie obniżonego napięcia zasilania (3,3 V), a częstotliwość taktowania jądra sięgała 200 MHz.

Procesor miał dynamiczny system przepowiadania rozgałęzień (rysunek A.9). Bufor BTB mieścił 256 rekordów i zorganizowany był w systemie poczwórnej asocjacji. Strata czasu, którą ponosił procesor w przypadku błędnej przepowiedni, wynosiła od 3 do 4 cykli zegarowych.

Pamięć podręczna danych (*Data Cache*) pracowała w bardzo efektywnym trybie WB (*Write Back*), ale dla zachowania zgodności z procesorami 486 można ją było przełączyć w tryb WT (*Write Through*). W jej skład wchodziło 8 banków, każdy po 32 linijki.



Rysunek A.9. *Schemat blokowy procesora Intel P-54 (Pentium)*

Jedna linijka miała rozmiar 32 bajtów. Cache był dwuportowy i mógł być udostępniany równolegle dla potrzeb U i V, jeśli tylko odwołania odnosiły się do różnych banków. Próba jednoczesnego dostępu do danych złożonych w tym samym banku kończyła się przyznaniem pierwszeństwa potokowi U. Potok V zmuszony był do oczekiwania przez czas trwania jednego cyklu zegarowego.

Jakkolwiek dostępne programowo rejestry Pentium były 32-bitowe, lokalne ścieżki wymiany danych miały 128, a nawet 256 bitów szerokości. Przyczyniało się to z pewnością do zwiększenia prędkości wewnętrznych transferów.

Cechy architektury pozwalają zaliczyć Pentium do kategorii CISC. Jądro procesora było superskalarne i wyposażone w dwa potoki przetwarzające instrukcje stałoprzecinkowe oraz jednostkę zmiennoprzecinkową. Jeśli spełnione były wymogi narzucone przez mechanizm parowania, procesor przetwarzał w każdym cyklu zegarowym dwie instrukcje — każdy z potoków (U i V) kompletował po jednej z nich. Należy jednak podkreślić, iż potoki Pentium były bardzo silnie ze sobą powiązane i pracowały wyłącznie w trybie synchronicznym. Żaden z nich nie mógł wybiegać naprzód w procesie przetwarzania. Jakiekolwiek zahamowanie w jednej z linii powodowało natychmiastowe zatrzymanie drugiego potoku.

Pamięć podręczna kodu była dwudrożna (*2-Way Set*) i zorganizowana w 8 banków. Również w tym przypadku rozmiar linijki wynosił 32 bajty. Pentium przygotowany był do pracy w systemach wieloprocesorowych, a konkretnie w parze z drugim identycznym procesorem (*Dual System*). Dla potrzeb takiej konfiguracji dodany został kontroler APIC (*Advanced*

Programmable Interrupt Controller) oraz kilka pomocniczych końcówek sterujących, a pamięć podręczna danych sygnalizowała swój stan zgodnie z protokołem MESI. Podstawowe dane procesorów Intel Pentium w tabeli A.22.

Tabela A.22. *Podstawowe dane procesorów Intel Pentium*

	75	90	100	120	133	150	166	200
Architektura	x86 Native							
Zegar CPU [MHz]	75	90	100	120	133	150	166	200
Magistrala [MHz]	50	60	66/50	60	66	60	66	66
Mnożnik (BF)	×1,5	×1,5	×1,5/×2	×2	×2	×2,5	×2,5	×3
L1 Cache (kod)	8 KB, 4×Associative							
L1 Cache (dane)	8 KB, 4×Associative, WB, MESI							
L2 Cache on Chip	×							
Pipe-Lines	2 (+FP)							
Pipe-Line Stages	5 (FP: 8)							
Out of Order Execution	×							
Branch Target Buffer	256							
V_{CORE} [V]	3,3	3,3	3,3	3,3	3,3	3,3	3,3	3,3
$V_{I/O}$ [V]								
Pobór mocy [W]	8,0	9,0	10,1	12,8	11,2	11,6	14,5	15,5
Return Stack	×							
Renaming Registers	×							
Performance Monitoring	✓							
Time Stamp Counter	✓							
Podstawka	Socket 7							

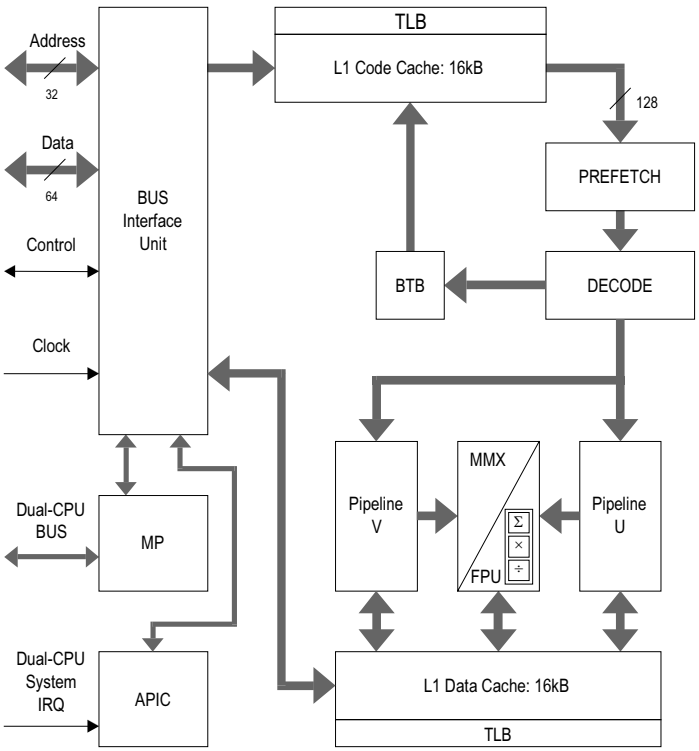
Pentium MMX

Dalsze rozwinięcie linii Pentium stanowiły modele z rozszerzeniem multimedialnym MMX (rysunek A.10). Niektóre elementy tej architektury opisano bardziej szczegółowo w rozdziale 1.

Oprócz zmian spowodowanych wprowadzeniem potoku przetwarzającego MMX, powiększone zostały rozmiary pamięci podręcznych kodu i danych z 8 do 16 KB (tabela A.23). Cechą charakterystyczną procesorów Intel Pentium MMX było podwójne napięcie zasilające (począwszy od wersji 166). Układy odpowiedzialne za współpracę z magistralami wejścia-wyjścia (*Input/Output*) zasilane były innym napięciem niż rdzeń obliczeniowy (*CPU Core*).

Pentium Pro

Procesor zaprezentowany został po raz pierwszy szerokiej publiczności w roku 1995 i chociaż taktowany był jedynie zegarem o częstotliwości 133 MHz, już wtedy osiągał



Rysunek A.10. *Schemat blokowy procesora Intel Pentium MMX*

wydajność prawie dwukrotnie większą od Pentium 133 (tj. ok. 200 SPECint). Ten ogromny przyrost mocy obliczeniowej spowodowany był gruntowną przebudową architektury (z CISC na RISC) oraz sięgnięciem do rozwiązań stosowanych w dużych komputerach. Pentium Pro nadawał się dobrze do pracy w systemach wieloprocesorowych. Dysponował zestawem sygnałów sterujących zdolnych do zapewnienia harmonijnej współpracy czterech procesorów tego samego typu. Obszar pamięci pokrywany przez L2 (*Cacheable Area*) przekraczał barierę 512 MB (tabela A.24), co pozwalało na stosowanie procesora w dużych (jak na owe czasy) serwerach.

Pentium Pro był jednak przede wszystkim procesorem superskalarnym, zdolnym do finalizowania więcej niż jednej instrukcji w cyklu zegarowym (w korzystnych warunkach były to trzy instrukcje). Jądro nie przetwarzało instrukcji w formie bezpośredniej. Rozkazy x86 były zamieniane w układach dekodera na małe elementy zwane mikrooperacjami (*µOps*). Procesor dysponował czterema obwodami dekodującymi, które uruchamiano w zależności od stopnia komplikacji materiału wejściowego (rysunek A.11). Do dyspozycji był jeden dekoder główny ogólnego przeznaczenia (*General Decoder*), dwa proste dekodery (*Simple Decoder*) dla krótkich instrukcji typu przesłań międzyrejestrowych oraz jeden sekwencer (*µOps Sequencer*). Ten ostatni wywoływany był w razie napotkania długich i skomplikowanych instrukcji[11].

[11] Kod programowy może być określany zbiorczym pojęciem instrukcji IA (*Intel Architecture*), używanym domyślnie w odniesieniu do instrukcji x86. Termin ten występował często w literaturze, zwłaszcza czerpiącej z opracowań firmy Intel.

Tabela A.23. *Podstawowe dane procesorów Intel Pentium MMX*

	150	166	200	233
Architektura	x86 MMX Native			
Zegar CPU [MHz]	150	166	200	233
Magistrala [MHz]	60	66	66	66
Mnożnik (BF)	×2,5	×2,5	×3	×1,5
L1 Cache (kod)	16 KB, 4×Associative			
L1 Cache (dane)	16 KB, 4×Associative, WB			
L2 Cache on Chip	×			
Pipe-Lines	2			
Pipe-Line Stages	6 (FP: 8)			
Out of Order Execution	×			
Branch History Table	256			
TLB	Code Cache TLB: 32 Entries Data Cache TLB: 64 Entries L2 TLB: –			
Branch Target Buffer	256			
V_{CORE} [V]	3,3	2,8	2,8	2,8
$V_{I/O}$ [V]	3,3	3,3	3,3	3,3
Pobór mocy, maks. [W]	11,6	13,1	15,7	18
Return Stack	4			
Renaming Registers	×			
Performance Monitoring	✓			
Time Stamp Counter	✓			
Podstawka	Socket 7			

Proces dekodowania odbywa się zawsze zgodnie z kolejnością napływania instrukcji, tj. taką, w jakiej występują one w programie. Większość rozkazów rozwija się do postaci złożonej z 1 – 4 *µOps*. Blok dekodera może w sprzyjających warunkach (tzn. w sytuacji, gdy z pamięci pobrana została odpowiednia ilość rozkazów i czekają one w kolejce rozkazowej) rozłożyć do trzech instrukcji x86 w jednym cyklu zegarowym. Jedna z nich generowana jest w dekoderze ogólnego przeznaczenia, a pozostałe po jednej w każdym z prostych dekoderów.

Wewnętrzna struktura *µOps*-ów jest stała. Każdy z nich ma stałą długość wynoszącą 118 bitów i składa się z czterech pól o następującym znaczeniu: operator, źródło pierwsze, źródło drugie i cel.

Wytwarzane w dekoderze mikrorozkazy trafiają do bufora ROB (*Reorder Buffer*). W jednym cyklu zegarowym można tam umieścić do sześciu *µOps*-ów. W sumie bufor jest w stanie przyjąć do 40 mikrokodów. ROB stanowi centralny punkt koordynacji dla wszystkich aktualnie przetwarzanych rozkazów (*Instruction Pool*), również tych wykonywanych

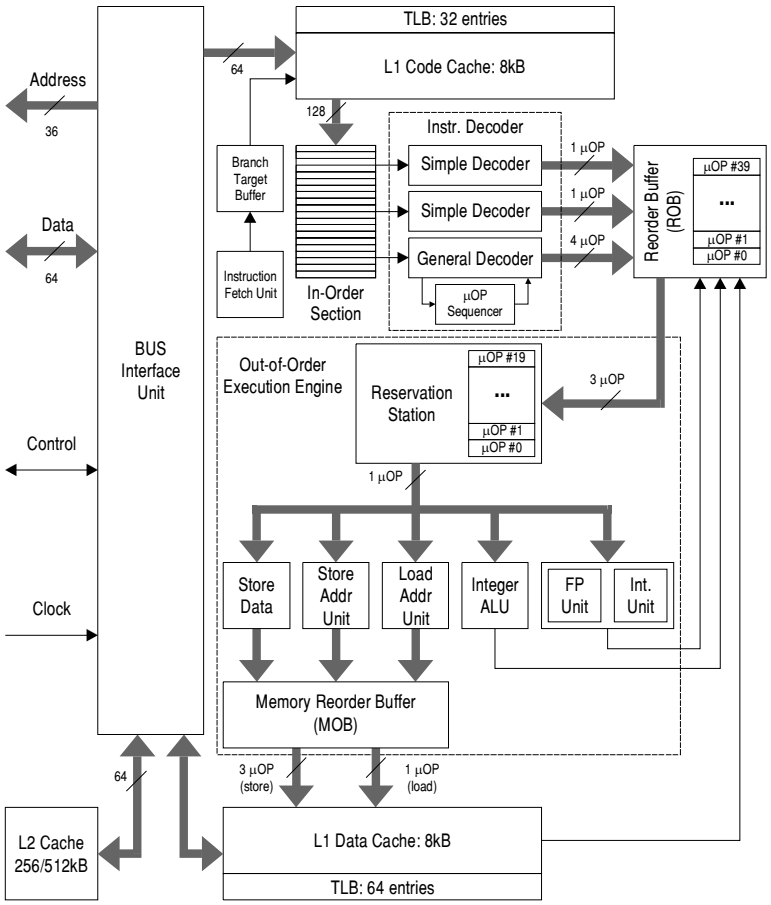
Tabela A.24. *Podstawowe dane procesorów Intel Pentium Pro*

Magistrala [MHz]	**166 – 512**	**180 – 256**	**200 – 256**	**200 – 512**
Architektura	RISC			
Zegar CPU [MHz]	166	180	200	200
Magistrala [MHz]	66	60	66	66
Mnożnik (BF)	×2,5	×3	×3	×3
L1 Cache (kod)	8 KB, 4×Associative			
L1 Cache (dane)	8 KB, 4×Associative, WB			
L2 Cache on Chip (CPU Clock)	512 (4×Ass.)	256 (4×Ass.)	256 (4×Ass.)	512 (4×Ass.)
Pipe-Lines	5			
Pipe-Line Stages	14 (FP: 16)			
Out of Order Execution	✓ (40)			
Branch Target Buffer	512			
V_{L2} [V]	3,3			
V_{CORE} [V]	3,3	3,3	3,3	3,3
$V_{I/O}$ [V]				
Pobór mocy, typ. [W]	27,5	24,8	27,3	32,6
Return Stack	4			
Renaming Registers	8 + 32			
Performance Monitoring	✓(A)			
Time Stamp Counter				
Podstawka	Socket 8			

(A) System niezgodny z Pentium.

poza kolejnością (*Speculative Execution*). Zapamiętywane są więc wszelkie wyniki pośrednie i towarzyszące im stany rejestrów flagowych procesora. ROB odpowiedzialny jest również za rozwiązywanie uzależnień instrukcji; do tego celu służy zestaw 40 rejestrów RAT (*Register Alias Table*), które są podstawiane w miejsce klasycznych rejestrów RRF ogólnego przeznaczenia (*Real Register File*). System przydziału rejestrów obsługuje w jednym cyklu zegarowym do 3 mikroinstrukcji. Tak wyposażone lądują w specjalnej kolejce (*Reservation Station*).

Kolejka grupuje do 20 mikrooperacji, które oczekują na skompletowanie swoich operandów. Skoro tylko to nastąpi, system oznacza je jako gotowe i kieruje do realizacji do właściwej jednostki wykonawczej. Szybkość przetwarzania poszczególnych jednostek jest bardzo zróżnicowana. Bloki operujące na liczbach całkowitych realizują większość rozkazów w jednym cyklu zegarowym. Operacje mnożenia pochłaniają jednak aż cztery takty (dla porównania, Pentium — od 7 do 14), a dzielenia od 12 do 36 (Pentium — od 42 do 84). W przypadku jednostek zmiennoprzecinkowych różnice nie są aż tak szokujące; dodawanie zajmuje 3 takty (tyle co w Pentium), a mnożenie przebiega o dwa takty szybciej. Dzielenie zajmuje Pentium Pro od 18 do 38 taktów zegara, a Pentium — 39.



Rysunek A.11. *Schemat blokowy procesora Intel Pentium Pro*

Jednostki generowania adresów (*Load/Store*) zużywają tylko jeden cykl zegara, gdyż wszelkie typy adresowania x86 rozwiązywane są poprzez sprzętowe układy sumatorów. Jednostki te wytwarzają adresy dla mikrorozkazów, które komunikują się z pamięcią. *μOps*-y tego rodzaju przesyłane są do bufora MOB (*Memory reOrder Buffer*), gdzie oczekują na wolny kanał przesyłowy do pamięci podręcznej L2.

Potoki przetwarzające Pentium Pro są wielostopniowe. Rozkazy, które nie odwołują się do pamięci, opuszczają potok nie wcześniej niż po 12 cyklach zegara, a te, które pobierają z pamięci dane, potrzebują sześciu taktów dodatkowych. Wszelkie zakłócenia w pracy (wystąpienie wyjątku typu dzielenie przez zero, źle przepowiedziane rozgałęzienie itp.) powodują spore opóźnienia. Cała skomplikowana maszyna obliczeniowa musi zostać oczyszczona z wyników pośrednich, a potoki napełnione nową treścią. Nic więc dziwnego, że projektanci włożyli sporo wysiłku w wyeliminowanie takich sytuacji. Pentium Pro wyposażony został w specjalne układy śledzące wykonanie programu. Technika, określana mianem *Dynamic Execution*, obejmuje analizę programu pod kątem przebiegu i przepływu danych i stara się obrać optymalną kolejność wykonania instrukcji.

Skomplikowany system przepowiadania rozgałęzień (*Branch Prediction Unit*) pracuje w oparciu o 512-wierszową (dwukrotnie więcej niż w Pentium) tablicę BTB (*Branch Target Buffer*). Zapamiętywane są również skomplikowane sekwencje rozgałęzień (pętle zagnieżdżone). BTB używa odmiany tzw. *algorytmu Yeh*.

Główna siła Pentium Pro tkwiła w dużej i szybkiej (taktowanej z częstotliwością zegara CPU) pamięci podręcznej L2, wspólnej dla danych i kodu. Pamięć ta zorganizowana była w linijki o rozmiarze 32 bajtów (poczwórna asocjacja). Napełnienie linijki odbywało się w trakcie 4 cykli zegarowych, bowiem szerokość magistrali wynosiła 64 bity.

Na pamięć poziomu pierwszego składały się dwa niezależne bloki L1, oddzielne dla danych i dla kodu. Rozmiary obydwu wynosiły po 8 KB, a każdy pracował w oparciu o linijki 32 bajtowe. L1 dla danych zorganizowana była w formie dwóch banków (podwójna asocjacja) o dostępie 64-bitowym. Pamięć podręczna dla kodu (poczwórna asocjacja) pracowała w oparciu o jeden bank dostępny poprzez magistralę 128-bitową.

W pełni zakończone rozkazy przechodziły do tzw. fazy spoczynkowej (*Retirement*), co oznaczało usunięcie ich składników *µOps* z bufora ROB i ustanowienie nieodwracalnych zmian w lokalizacjach pamięciowych, do których odwoływały się dane instrukcje x86.

Pentium II

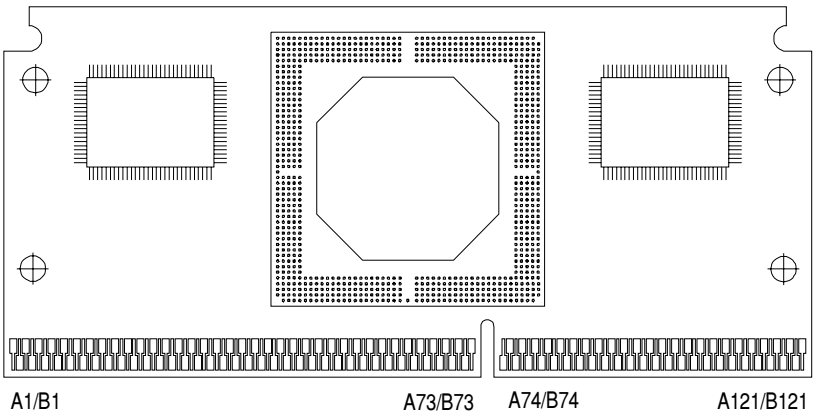
Pentium II stanowił następcę procesora Pentium. Początkowo na rynek wprowadzony zostaje model taktowany zegarem 233 MHz, w ślad za nim egzemplarze 266 i 300 MHz. Linia Pentium II rozwijana była do częstotliwości 450 MHz. Nowe opracowanie przewyższało pod wieloma względami swoich poprzedników, nie wykorzystywało jednak do końca aktualnych możliwości technicznych.

Wyizolowanie ze struktury procesora pamięci podręcznej L2 stanowiło zgodnie z powszechną opinią krok wstecz w rozwoju. Posunięcie takie podyktowane zostało jednak dobrze przemyślanymi względami ekonomicznymi. Struktura scalona Pentium Pro cechowała się, jak na owe czasy, ogromnym stopniem integracji i komplikacji. W jednej obudowie zanurzone były dwa potężne układy scalone: CPU i blok pamięci podręcznej (zależnie od wersji — 256 KB lub 512 KB). Konstrukcja taka była niezmiernie podatna na uszkodzenia, szczególnie w fazie drutowania[12]. Duży odrzut niesprawnych jednostek Pentium Pro (czy to ze względu na błąd w bloku pamięci, czy to na wadliwy procesor) zwiększał ogromnie koszty produkcji.

Usytuowanie pamięci podręcznej L2 blisko CPU podyktowane było wymogami szybkiej wymiany danych w systemach wieloprocesorowych. Pentium II też mógł być wykorzystywany w systemach wieloprocesorowych, ale najwyżej podwójnych. Dużo większa pod tym względem podatność techniki Pentium Pro na pracę w środowisku wieloprocesorowym (do czterech procesorów) nie okazała się przeważającym argumentem dla zwykłego użytkownika — procentowa ilość systemów tego rodzaju utrzymywała się na niewielkim poziomie.

[12] Wykonywane przez automaty połączenia (zwykle złotym drutem) między polami na płytce krzemowej a wewnętrznymi stykami obudowy układu scalonego. Operacja ta stanowi jedną z najniebezpieczniejszych faz procesu produkcyjnego, w której powstaje najwięcej odpadów.

Całkowite odsunięcie pamięci podręcznej od procesora i jej powrót na płytę główną byłoby jednak cofnięciem się zbyt daleko. Sięgnięto więc po rozwiązanie kompromisowe i skonstruowano moduł hybrydowy (rysunek A.12).



Rysunek A.12. *Schematyczny zarys modułu procesora Pentium II*

Procesor rezyduje teraz wraz dwoma układami pamięciowymi na specjalnej karcie. Kontakt z płytą główną zapewnia listwa o 242 kontaktach. Z płyty głównej procesora Pentium II znika więc charakterystyczna do tej pory kwadratowa podstawka (Socket 7), a jej miejsce zajmuje złącze krawędziowe określane mianem *Slot-1*.

Jądro procesora Pentium II przejęte zostało w dużym stopniu z Pentium Pro, a ponadto wzbogacone o rozszerzenia multimedialne przeniesione z procesora Pentium MMX. Pamięć podręczna pierwszego poziomu ma wymiar 32 KB (po 16 KB dla kodu programu i dla danych). Wewnętrzna magistrala komunikacyjna ma szerokość 300 bitów. Procesor może działać w przestrzeni adresowej do 64 GB (wirtualnie do 64 TB). Struktura krzemowa pierwszej generacji procesorów wykonywana była w technologii 0,35 µm i zawierała około 7,5 miliona tranzystorów (jądro *Klamath*) (tabela A.25). Zasilanie odbywało się z pojedynczego źródła 2,8 V przy poborze prądu około 13 A, a maksymalna częstotliwość zegara sięgała 300 MHz. Opanowanie technologii 0,25 µm pozwoliło na podniesienie częstotliwości roboczej powyżej 333 MHz. Struktury tego typu określane już były mianem *Deschutes* (tabela A.26). Model 333 pracował jeszcze z szyną 66 MHz, a następne (od 350 wzwyż) przystosowane zostały do FSB 100 MHz.

Twórcy architektury Pentium Pro skupiali swe wysiłki na optymalizacji pracy w środowisku 64-bitowym. Procesor ten był co prawda kompatybilny z kodem x86, ale w środowisku 16-bitowym zachowywał się gorzej od Pentium. Pentium Pro pracował nad instrukcją `LES DI, [memory]` przez 20 taktów zegara. Pentium II zadowalał się w najgorszym razie 11 taktami, a w razie trafienia w pamięci cache wystarczył jeden takt. Intel chciał oczywiście sprzedawać swój nowy procesor także użytkownikom Windows 3.x, których w momencie wprowadzenia na rynek Pentium II było jeszcze sporo. Dla pozyskania większej ich rzeszy Pentium II wyposażony zostaje w specjalną pamięć podręczną dla rejestrów segmentowych (*Segment Register Cache*).

Osadzona w module hybrydowym procesora Pentium II pamięć L2 była typu BSRAM (*Burst Cache*), a jej organizacja przybierała różne formy.

Tabela A.25. *Podstawowe dane procesorów Intel Pentium II (Klamath)*

	233	266	300
Architektura	RISC		
Technologia	0,35 µm		
Zegar CPU [MHz]	233	266	300
Magistrala [MHz]	66	66	66
Mnożnik (BF)	×3,5	×4	×4,5
L1 Cache (kod)	16 KB, 4×Associative		
L1 Cache (dane)	16 KB, 4×Associative, WB		
L2 Cache (1/2 CPU Clock)	256/512	256/512	512
Pipe-Lines	7		
Pipe-Line Stages	12 (FP: 16)		
Out of Order Execution	✓		
Branch History Table	512		
Branch Target Buffer	512		
V_{L2} [V]	3,3	3,3	3,3
V_{CORE} [V]	2,8	2,8	2,8
$V_{I/O\ (GTL)}$ [V]	3,3	3,3	3,3
I_{CORE} typ./maks. [A]	6,9/11,8	7,8/12,7	8,7/14,2
Return Stack	4		
Renaming Registers	8 + 32		
Performance Monitoring	✓		
Time Stamp Counter	✓		
Obudowa/Podstawka	S.E.C.C./SC242 (Slot 1)		

W początkowej fazie (233 i 266 MHz) do obiegu wprowadzano zarówno modele z 512 KB, jak i 256 KB L2 cache. W wersji 512 KB stosowane były cztery chipy pamięciowe (rozmieszczane symetrycznie po dwa po każdej stronie modułu procesora). Dodatkowy, piąty chip przejmował funkcje oznacznika (*Tag-RAM*). W późniejszych modelach 450 MHz stosowano już tylko dwie kostki pamięci o czasie dostępu 4,4 ns (najczęściej Samsung SEC-KM736V604MT-44), umieszczane asymetrycznie po prawej stronie struktury CPU. Z tyłu modułu osadzony był kontroler pamięci podręcznej L2 (Intel S82459AD).

Pentium II był przystosowany do pracy w systemach wieloprocesorowych, z tym że przedrostka *wielo* nie należało rozumieć zbyt dosłownie (maksymalnie 2). Kto miał większe wymagania, musiał sięgnąć po procesory Xeon. Członkowie rodziny Celeron i Mendocino były zdolne wyłącznie do samodzielnej[13] pracy. Polityka taka miała na celu ochronę

[13] Dokładnie rzecz biorąc, same struktury półprzewodnikowe *Celeron/Mendocino* zawierają komplet niezbędnych funkcji, bowiem nigdy nie zostały ich pozbawione. Brakuje jedynie pewnych połączeń do wyprowadzeń obudowy. Przepisy na ich uzupełnienie można było znaleźć w Internecie.

Tabela A.26. *Podstawowe dane procesorów Intel Pentium II (Deschutes)*

	333	350	400	450
Architektura	RISC			
Technologia	0,25 µm			
Zegar CPU [MHz]	333	350	400	450
Magistrala [MHz]	66	100	100	100
Mnożnik (BF)	×5	×3,5	×4	×4,5
L1 Cache (kod)	16 KB, 4×Associative			
L1 Cache (dane)	16 KB, 4×Associative, WB			
L2 Cache (1/2 CPU Clock)	512	512	512	512
Cacheable Area	4 GB			
Pipe-Lines	7			
Pipe-Line Stages	12 (FP: 16)			
Out of Order Execution	✓			
Branch History Table	512			
Branch Target Buffer	512			
V_{L2} [V]	3,3	3,3	3,3	3,3
V_{CORE} [V]	2,0	2,0	2,0	2,0
$V_{I/O\ (GTL)}$ [V]	3,3	3,3	3,3	3,3
I_{CORE} maks. [A]	9,3	10,8	12,6	14,2
Return Stack	4			
Renaming Registers	8 + 32			
Performance Monitoring	✓			
Time Stamp Counter	✓			
Obudowa/Podstawka	S.E.C.C./SC242 (Slot 1)			

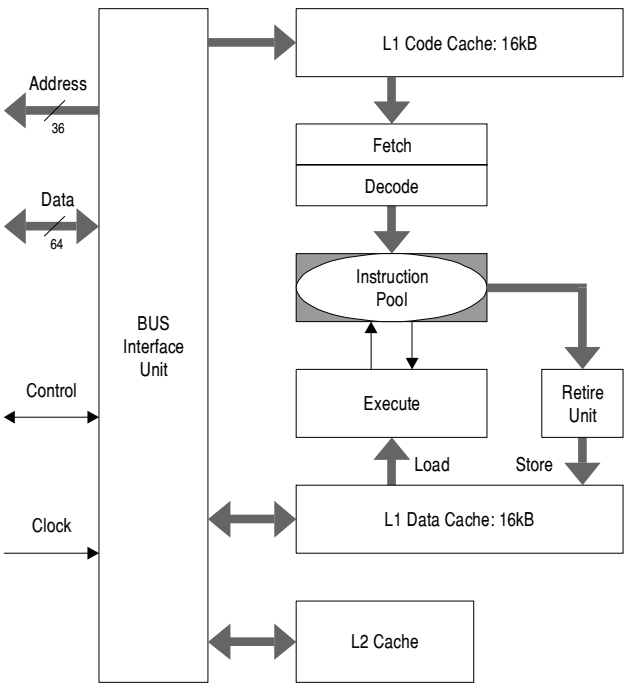
rynku systemów wieloprocesorowych (na którym można wiele zarabiać) przed zalewem tanich procesorów.

Pamięć podręczna L2 w Pentium Pro — ze względu na bliskość lokalizacji — była taktowana wprost zegarem CPU. Dla zewnętrznej pamięci podręcznej Pentium II tak wysoka prędkość była nie do przyjęcia. Dostęp do L2 odbywał się z częstotliwością równą połowie taktu zegara procesora. Szybszy dostęp nie był możliwy ze względu na fizyczne rozmiary (a co za tym idzie impedancje własne) ścieżek drukowanych, stanowiących doprowadzenia do modułu L2. Ograniczenie to stanowiło czynnik poważnie obniżający wydajność całego systemu. Lepsza organizacja L2 i jej stosunkowo duży wymiar miały przynajmniej w pewnym stopniu rekompensować ten szkodliwy wpływ. W porównaniu z częstotliwością taktowania L2 w klasycznym Pentium (66 MHz niezależnie od odmiany procesora) — 225 MHz osiągane w modelu Pentium II/450 było i tak nie do pogardzenia.

W ślad za kolejnymi modelami procesorów Pentium II postępowały następne generacje układów scalonych otoczenia procesora (*Chipset*). W roku 1997 wprowadzono na rynek zestaw oznaczony symbolem 440LX. Został on specjalnie zaprojektowany dla procesora Pentium II, a jego najbardziej charakterystyczną cechą była obsługa pamięci typu SDRAM, mimo iż nadal z częstotliwością 66 MHz. Podwyższenie zewnętrznej częstotliwości taktującej do 100 MHz osiągnęła kolejna generacja chipsetów (440BX), dedykowana strukturom krzemowym wykonywanym w technologii 0,25 µm (jądra *Deschutes*).

Wersje 450 MHz procesora zostały nieco zmienione. Znacznej redukcji uległy rozmiary samej struktury półprzewodnikowej. Układy montowane były ponadto w nowej, opracowanej przez IBM (i stosowanej w procesorach M-II-300) technice łączenia, znanej jako *Flip-Chip*. Oznaczało to rezygnację z połączeń struktury z płytką nośną za pomocą złotych drutów (*Bonding*). Sam chip leżał od tego momentu „na plecach", a kontakt z podłożem osiągano bezpośrednio za pomocą sieci miniaturowych punktów lutowniczych. Dzięki skróceniu drogi sygnałów można było uzyskać dalszy wzrost częstotliwości taktującej. Taka forma montażu poprawiała również parametry termiczne, bowiem dno struktury krzemowej stykało się prawie bezpośrednio z powierzchnią radiatora. Ciepło było więc odprowadzane bezpośrednio z miejsca, w którym powstawało.

Architektura Pentium II była podobna jak w Pentium Pro — oba procesory należą do tej samej rodziny P6 (rysunek A.13). Przetwarzanie odbywa się w trzech równoległych dwunastostopniowych potokach. Jądro Pentium II pracuje w klasycznym układzie typu RISC — instrukcje IA dzielone były na proste mikrooperacje i grupowane w centralnym zbiorniku instrukcji (*Instruction Pool*). Architektura ta nie oddziela wyraźnie faz pobierania (*Fetch*) i wykonywania (*Execute*).



Rysunek A.13. *Schemat blokowy procesora Intel Pentium II*

Dzięki istnieniu zbiornika instrukcji pobieranie kolejnych kodów x86 z pamięci operacyjnej jest niezależne od ich wykonywania. Ważne jest jedynie, by zbiornik był stale pełny. Czuwa nad tym zestaw bardzo wydajnych dekoderów rozdzielających kody IA na wewnętrzne mikrokody RISC. W trakcie przebywania w zbiorniku kompletowane są argumenty instrukcji oraz przydzielane rejestry zastępcze, jeśli stwierdzono uzależnienia.

W ścisłym związku ze zbiornikiem centralnym pozostaje układ dyspozytora (*Dispatcher*), który steruje wypływem kompletnych mikroinstrukcji, kierując je do właściwych jednostek wykonawczych (*Execute*). Kolejność przetwarzania kodów RISC pozostaje w bardzo luźnym związku z pojawianiem się ich odpowiedników w kodzie programu. W ten sposób osiągnąć można ogromny wzrost wydajności. Dyspozytor kieruje do wykonania te mikrokody, które aktualnie nie czekają na żadne wyniki pośrednie z innych operacji. Również konieczność oczekiwania na wyniki instrukcji warunkowych nie hamuje procesu przetwarzania.

Wykonane instrukcje RISC kierowane są z powrotem do zbiornika. Jest to konieczne, bowiem znaczna część z nich wykonywana była jedynie w wyniku przewidywanego biegu programu. Powrót do zbiornika gwarantuje również ich ponowne uszeregowanie, zgodne z pozycją zajmowaną w kodzie źródłowym. Instrukcja uznana za wykonaną opuszcza zbiornik i przechodzi w fazę spoczynkową (*Retire*), a wyniki jej działania są utrwalane. Dopiero teraz mają więc miejsce wszelkie zapisy do pamięci.

Celeron

Pierwszy procesor o tej nazwie był odmianą Pentium II wykonywanego już w nowocześniejszej technologii 0,25 µm (jądro *Deschutes*) (tabela A.27). Celeron od początku przeznaczony był dla zwykłych użytkowników, na skutek czego stał się obiektem różnych zabiegów oszczędnościowych. Do najpoważniejszych należało pozbawienie go pamięci podręcznej L2. Oszczędności dotyczyły również konstrukcji mechanicznej (brak obudowy i prowadnic oraz zmodyfikowany radiator).

Do stosunkowo taniego procesora dobrano odpowiednio opracowany, niedrogi *chipset* 440EX (zgodny na poziomie końcówek z 440LX). Lista wprowadzonych oszczędności była tutaj jeszcze dłuższa niż w przypadku samego procesora:

- Brak kontrolera pamięci podręcznej (uniemożliwiało to uzupełnienie brakującego L2 nawet na płycie głównej).
- Brak możliwości realizacji trybu kontroli ECC w pamięci operacyjnej.
- Maksymalna liczba gniazd PCI zredukowana do 3 (440LX mógł ich mieć 5).
- Możliwość zainstalowania maksymalnie 2 podstawek DIMM.
- Brak możliwości pracy wieloprocesorowej.

Stopień, w jakim mógł być odczuwalny brak pamięci podręcznej L2, zależał w dużej mierze od wykonywanej aplikacji. Współczesne programy budowane są w sposób niezmiernie kompleksowy i zawierają rozległe partie kodu, które z pewnością nie zmieszczą się w pamięci podręcznej L1, a przy braku L2 musiałyby być pobierane bezpośrednio z pamięci. Celeron nie miał w tym przypadku szansy w pojedynku z pełnowymiarowym

Tabela A.27. *Podstawowe dane procesorów Intel Celeron z jądrem wykonanym w technologii 0,25 µm*

	266	300
Architektura	RISC	
Technologia	0,25 µm (*Deschutes*)	
Zegar CPU [MHz]	266	300
Magistrala [MHz]	66	66
Mnożnik (BF)	×4	×4,5
L1 Cache (kod)	16 KB, 4× Associative	
L1 Cache (dane)	16 KB, 4× Associative, WB	
L2 Cache	×	
Pipe-Lines	7	
Pipe-Line Stages	12 (FP: 16)	
Out of Order Execution	✓	
Branch History Table	512	
Branch Target Buffer	512	
V_{CPU} [V]	2,0	2,0
$V_{I/O}$ [V]	3,3	3,3
Pobór prądu, maks. [A]	8,2	9,3
Return Stack	4	
Renaming Registers	8 + 32	
Time Stamp Counter	✓	
Obudowa/Podstawka	S.E.P./SC242 (Slot 1)	

procesorem Pentium II. Klasyczne aplikacje biurowe nigdy nie potrzebowały aż takiej mocy obliczeniowej i wykonywały się tak samo szybko na procesorach AMD czy IBM, ale za to za pół ceny. Tutaj nie był wymagany ani Celeron, ani tym bardziej Pentium II.

Powyższe proporcje ulegają zmianie w przypadku konkurencji w zakresie gier komputerowych. Aplikacje tego rodzaju były początkowo pisane (ze względu na szybkość) w formie zwięzłych procedur, tak iż ich przeważająca część mieściła się w pamięci podręcznej L1 i brak L2 nie był aż tak kłopotliwy. Jednak i w tej dziedzinie obserwuje się tendencję do komplikowania kodu i zwiększania jego objętości. Pomiary współczynnika trafienia w L1, przeprowadzane na grach „starszej generacji" (na przykład *Quake*), wykazują jeszcze dużą zwięzłość kodu (liczba trafień 99%). Ten sam pomiar wykonany w trakcie przebiegu *G-Police* wykazuje już 95%. Współczynnik spada aż do 88% podczas demonstracji bogatej w szczegóły scenerii *X-Demo*. Przewaga szybkiego jądra procesora (Celeron) maleje więc stopniowo i ustępuje miejsca problemom spowodowanym brakiem L2.

Celeron A (Mendocino)

Celeron pozbawiony L2 został źle przyjęty przez użytkowników. Jego wydajność leżała często poniżej możliwości procesorów z rodziny Socket 7. By nie stracić rynku, firma

Intel została zmuszona do zrewidowania swojej polityki obniżania kosztów za wszelką cenę. *Mendocino* to określenie identyfikujące w zasadzie samą strukturę krzemową. Była ona nieznacznie większa od umieszczanej w procesorach Celeron. Nazwa handlowa nowych odmian CPU brzmiała jednak Celeron 300A i Celeron xxx (xxx = 333, 366, 400, 433, 466, 500). Modele te wyposażono w zintegrowaną pamięć podręczną L2 o rozmiarze 128 KB (tabela A.28). Aby stosunkowo mała pamięć podręczna L2 nie stała się zaporą na drodze strumienia danych, taktowano ją bezpośrednio zegarem procesora (300, a nawet 500 MHz), czyli tak samo jak pamięć podręczną L1.

Pamięć L2 Mendocino pracowała jednak, w przeciwieństwie do pełnowymiarowego Pentium II, w trybie WT (*Write Through*), co w praktyce oznaczało lekki spadek wydajności. W większości klasycznych zastosowań (aplikacje biurowe) *Mendocino* xxx był szybszy i — co nie mniej ważne — zdecydowanie tańszy od swego odpowiednika Pentium II xxx. *Mendocino* współpracował wyłącznie z magistralą FSB 66 MHz, a mnożnik częstotliwości kodowany był na stałe jeszcze w cyklu produkcyjnym (odpowiednio od ×4,5 do ×8,0).

Podłączenie do magistrali FSB 100 MHz zmuszało procesor do pracy z częstotliwością, do której nie był w zasadzie stworzony. Panowała opinia, że niektóre modele 300 MHz świetnie znoszą takie zabiegi i mogą pracować z częstotliwością 450 MHz, co powodowało, że stawały się porównywalne z kilkukrotnie droższymi procesorami Pentium II, a nawet Pentium III. Eksperymenty przeprowadzone na stosunkowo dużej liczbie procesorów nie potwierdzają jednak tego przypuszczenia. Odpowiednio dobrane programy testujące, które symulują stuprocentowe obciążenie procesora, zmuszają go w pewnym momencie do kapitulacji i komputer się zawiesza. Prawdopodobieństwo nagłego przerwania pracy systemu przetwarzającego zwykłe aplikacje jest niewielkie, ale istnieje. Komu nie przeszkadza świadomość tego zagrożenia, może sobie na to pozwolić.

Celeron III

Kolejny model procesora Celeron stanowi oszczędnościową odmianę procesora Pentium III, pozbawionego połowy pamięci podręcznej L2 (128 zamiast 256 KB) oraz możliwości pracy w systemach wieloprocesorowych. Pozostałe szczegóły architektury odpowiadają Pentium III z jądrem *Coppermine*. Celeron III ma implementowane rozszerzenia ISSE. Struktury półprzewodnikowe wykonywane były początkowo w procesie 0,18 µm, a potem 0,13 µm (jądro *Taulatin*), dzięki czemu charakteryzowały się niskim poborem prądu. Model 700 zużywał w najgorszym razie nieco ponad 18 W, czyli tyle, ile potrzebował Celeron 300 wykonany w technologii 0,25 µm. Celeron III do modelu 766 MHz włącznie współpracował z magistralą FSB 66 MHz (tabela A.29a), a kolejne modele — z magistralą FSB 100 MHz (tabele A.29b i A.30).

Celeron/Socket 478

Procesor Celeron wytwarzany był również na bazie jądra Pentium 4 pierwszej generacji z wykorzystaniem struktury *Willamette* (technologia 0,18 µm). Pamięć L2 ograniczona była tradycyjnie do jednej drugiej i miała rozmiar 128 KB.

Pozostałe szczegóły architektury odpowiadają wnętrzu procesora Pentium 4. Magistrala FSB kluczowana jest z częstotliwością 100 MHz, ale w jednym takcie transmitowane są cztery

Tabela A.28. *Podstawowe dane procesorów Intel Celeron A (Mendocino)*

	300A	333	366	400	433	466	500	533
Architektura	RISC							
Technologia	0,25 µm							
Zegar CPU [MHz]	300	333	366	400	433	466	500	533
Magistrala [MHz]	66							
Mnożnik (BF)	×4,5	×5	×5,5	×6	×6,5	×7	×7,5	x8
L1 Cache (kod)	16 KB							
L1 Cache (dane)	16 KB							
L2 Cache (CPU Clock)	128 KB							
Pipe-Lines	7							
Pipe-Line Stages	12 (FP: 16)							
Out of Order Execution	✓							
Branch History Table	512							
Branch Target Buffer	512							
V_{CORE} [V]	2,0							
$V_{I/O}$ [V]	3,3							
Thermal Diode	✖							
Pobór prądu, maks. [A]	9,3	10,1	11,2	12,2	12,6	13,4	14,2	14,9
Return Stack	4							
Renaming Registers	8 + 32							
Time Stamp Counter	✓							
Obudowa/Podstawka[(A)]	P i S	P i S	P i S	P i S	P i S	P	P	P

[(A)] P — obudowa PPGA, podstawka PGA370; S — obudowa S.E.P, podstawka SC242 (Slot-1).

słowa (*Quad Pumped*). Jako pierwszy zrealizowany został model 1,7 GHz, umieszczany w obudowie FC-PGA2 o 478 końcówkach. Struktura ta pobiera tyle samo prądu, co odpowiadający jej egzemplarz Pentium 4, tzn. maksymalnie 48,1 A przy napięciu zasilania 1,75 V.

Pentium II/Xeon

Procesor oznaczany tym kryptonimem wprowadzony został na rynek równo w połowie 1998 roku. Przeznaczony był dla serwerów i wysoko wydajnych stacji roboczych. Podstawowe parametry tych układów zebrano w tabeli A.31.

Jądro procesora stanowi wprawdzie struktura *Deschutes*[14], ale całość poddano szeregowi zabiegów unowocześniających:

[14] Procesory Xeon o częstotliwościach taktowania powyżej 450 MHz wytwarzane są na bazie jądra Pentium III.

Tabela A.29a. *Podstawowe dane procesorów Intel Celeron III z magistralą FSB 66 MHz (0,18µm)*

	533A	566	600	633	667	700	733	766
Architektura	RISC							
Technologia	0,18 µm (*Coppermine*)							
Zegar CPU [MHz]	533	566	600	633	667	700	733	766
Mnożnik	×8	×8,5	×9	×9,5	×10	×10,5	×11	×11,5
L1 Code/Data [KB]	16/16							
L2 Cache (CPU_{Clock} 1:1)	128 KB							
Thermal Diode	✓							
V_{CORE} [V]	1,5 – 1,7	1,5 – 1,7	1,5 – 1,75	1,65 – 1,75	1,65 – 1,75	1,65 – 1,75	1,65 – 1,75	1,65 – 1,75
Pobór prądu, maks. [A]	11,4	11,9	12	12,7	13,3	14	14,6	15,5
Obudowa/Podstawka	FC-PGA/PGA370							

Tabela A.29b. *Podstawowe dane procesorów Intel Celeron III z magistralą FSB 100 MHz (0,18 µm)*

	800	850	900	950	1000	1100
Architektura	RISC					
Technologia	0,18 µm (*Coppermine*)					
Zegar CPU [MHz]	800	850	900	950	1000	1100
Mnożnik	×8,0	×8,5	×9,0	×9,5	×10,0	×11,0
L1 Code/Data [KB]	16/16					
L2 Cache (CPU_{Clock} 1:1)	128 KB					
Thermal Diode	✓					
V_{CORE} [V]	1,65 – 1,75	1,70 – 1,75	1,75	1,75	1,75	1,75
Pobór prądu, maks. [A]	16,6	17,3	18,4	19,4	20,2	22,6
Obudowa/Podstawka	FC-PGA/PGA370					

Tabela A.30. *Podstawowe dane procesorów Intel Celeron III z magistralą FSB 100 MHz (0,13 µm)*

	900	1000	1100A	1200	1300	1400
Architektura	RISC					
Technologia	0,13 µm (*Taulatin*)					
Zegar CPU [MHz]	900	1000	1100	1200	1300	1400
Mnożnik	×9,0	x10,0	×11,0	×12,0	x13	×14,0
L1 Code/Data [KB]	16/16					
L2 Cache (CPU_{Clock} 1:1)	256 KB+ECC					
Thermal Diode	✓					
V_{CORE} [V]	1,475	1,475	1,475	1,5s/1,475	1,5	1,5
Pobór prądu, maks. [A]	18,1	19,1	19,9	21,5/20,6	22,5	22,6
Obudowa/Podstawka	FC-PGA2					

Tabela A.31. *Podstawowe dane procesorów Intel Pentium II (Xeon)*

	400-512	400-1M	450-512	450-1M	450-2M
Architektura	RISC				
Technologia	0,25 µm				
Zegar CPU [MHz]	400	400	450	450	450
Magistrala [MHz]	100	100	100	100	100
Mnożnik (BF)	×4	×4	×4,5	×4,5	×4,5
L1 Cache (kod)	16 KB				
L1 Cache (dane)	16 KB				
L2 Cache (CPU Clock)	512 KB	1024 KB	512 KB	1024 KB	2048 KB
Pipe-Lines	7				
Pipe-Line Stages	12 (FP: 16)				
Out of Order Execution	✓				
Branch History Table	512				
Branch Target Buffer	512				
V_{L2} [V]	2,5				
V_{CORE} [V]	2,0				
$V_{I/O\ (GTL)}$ [V]	3,3				
Pobór mocy, maks. [W]	30,8	38.1	34,5	38,2	43
Return Stack	4				
Renaming Registers	8 + 32				
Performance Monitoring	✓				
SMP	do 4 procesorów				
Podstawka	Slot 2				

- Pamięć podręczna L2 zbudowana została z modułów typu CSRAM (opracowanie Intela), które w odróżnieniu od wcześniej stosowanych układów (PBRAM) zdolne były do pracy z pełną częstotliwością zegarową procesora. Rozmiar pamięci L2 sięgał 2 MB.
- Zachowano pełną zgodność programową z jednostką MMX.
- Możliwa jest praca w systemie wieloprocesorowym (do czterech CPU).
- Wobec dużej liczby nowych sygnałów sterujących skonstruowano pojemniejsze złącze krawędziowe — Slot 2.

Xeon (jako pierwszy produkt Intela) wyposażony został w dwie kostki EPROM, zawierające pamięć konfiguracyjną przechowującą dane charakterystyczne procesora, między innymi typ, takt i numer seryjny. Miało to utrudnić (niestety, ale nie uniemożliwić — kostki EPROM można bowiem wylutować) pracę fałszerzom procesorów.

Nowe bloki CSRAM były tak duże, że trzeba było znacznie zwiększyć rozmiary całego modułu hybrydowego. Produkt finalny był dwa razy większy i dwa razy cięższy od Pentium II.

Xeon współpracował z jednym z nowo opracowanych układów sterujących dla płyt głównych. Pierwszym z nich (z przeznaczeniem do stacji roboczych) był zestaw 440GX, stanowiący ulepszoną wersję dobrze znanego chipsetu 440BX. Układ ten steruje magistralą FSB 100 MHz oraz szyną AGP w trybie 2×. Pamięć systemu mogła być rozbudowana do 2 GB w oparciu o pamięci SDRAM taktowane zegarem 100 MHz (PC-100).

Drugi z proponowanych przez Intel zestawów nazwany został 450NX (*Natoma*). Jego twórcy położyli zdecydowanie większy nacisk na pracę procesorów Xeon jako serwerów sieciowych. Pełna wersja chipsetu (tzw. *Full Kit*) implementowała dwie niezależne 64-bitowe szyny PCI (lub jedną 64-bitową i dwie 32-bitowe). 450NX może zarządzać 8 gigabajtami pamięci operacyjnej.

450NX stanowił poprawioną wersję chipsetu 450GX (*Orion*), opracowanego swego czasu dla potrzeb procesorów Pentium Pro. Pamięć takiego systemu taktowana była wprawdzie zegarem 100 MHz, ale stosować można było wyłącznie moduły EDO (oryginalny ORION uznawał tylko pamięci pracujące w trybie *Fast Page Mode*). 450NX dziedziczył po *Orionie* jeszcze jedną cenną właściwość, którą była możliwość poczwórnego zazębiania się banków pamięciowych (*Interleave*). System, wyposażony w cztery jednakowe moduły EDO-RAM, osiągał dzięki temu bardzo dobre parametry (*Burst* x-1-1-1).

Pentium III

Pentium III stanowił kontynuację architektury 32-bitowej (IA-32). Projekt rozwijał się pod kryptonimem *Katmai*, zanim został oficjalnie przekształcony na procesor Pentium III. Zestaw nowych instrukcji określany w fazie wstępnej mianem KNI (*Katmai New Instructions*) lub MMX-2 przemianowany został w ślad za tym na ISSE (*Internet Streaming SIMD Extensions*). Potok przetwarzający tego procesora jest dziesięciostopniowy, a jądro składa się z 11 jednostek wykonawczych. Wadą Pentium III jest problem powstający w punkcie wyjściowym rozdzielacza mikroinstrukcji (*Reservation Station*). Ten 20 elementowy bufor ma bowiem 5 portów wyjściowych, z których trzy (Port 2 – 4) przypisane są jednostkom obliczeniowym adresów. Do pozostałych 2 portów (Port 0 i Port 1) podłączone są wszystkie inne jednostki: FP, INT/MMX-AGU, INT/MMX-ALU, ISSE(ADD&MOVE) i ISSE(MUL&DIV).

W Pentium III zastosowano po raz pierwszy nową architekturę DIB (*Dual Independent Bus*), która polega na oddzieleniu magistrali FSB od ruchu wewnętrznego na odcinku L1/L2.

Pentium III jest pod wieloma względami bardzo podobny do swego poprzednika, czyli modelu Pentium II. Podwyższenie częstotliwości taktowania stanowi naturalny krok na drodze ewolucji w technologii. Dla obniżenia strat mocy na ciepło i utrzymania w rozsądnym zakresie temperatury struktury półprzewodnikowej okazało się konieczne znaczne zmniejszenie napięcia zasilania (z 2 V do 1,6 V). Nie wszystkie płyty główne przygotowane były na ten krok, bowiem wiele ze stosowanych dotychczas układów stabilizatorów nie pozwalało na takie przeprogramowanie. Wartości mnożników Pentium III, podobnie jak Pentium II, zapisane są na stałe we wnętrzu struktury procesora i nie poddają się wpływom zewnętrznym.

W tabelach A.32 – A.34 zestawiono podstawowe parametry omawianych w tym punkcie procesorów. W celu uniknięcia niejednoznaczności do niektórych oznaczeń (bazujących na częstotliwości) dodawane są litery. W pewnych modelach częstotliwość zegara (np. 667 lub 733) implikuje konieczność współpracy z magistralą FSB 133 MHz. Z taką magistralą pracują jednak również niektóre modele opisywane „okrągłą" częstotliwością (np. 800). W takim przypadku w oznaczeniu pojawia się litera B. Druga z możliwych niejednoznaczności może powstać w stosunku do procesorów, które występują zarówno w formie z 256 KB pamięci L2 *On-Die* (*Coppermine*), jak i typu modułowego z pamięcią 512 KB *Off-Die*. W takim przypadku pierwsza z tych wersji ma dodaną literę E. Pamięć podręczna wszystkich Pentium III obejmuje zakres do 4 GB (*Cacheable Area*).

W drugiej połowie roku 2001 firma Intel rozpoczęła produkcję procesorów Pentium III w nowej w technologii 0,13 μm (jądro *Taulatin*). Główne cechy architektury pozostały bez zmian, jeśli nie liczyć zwiększonej pojemności pamięci L2. Modele z 512 KB przystosowane zostały ponadto do pracy w systemach Dual-CPU i wyposażone w specjalną pamięć podręczną L2 (*Non-Blocking L2-Cache*). Nowe struktury półprzewodnikowe są bardziej energooszczędne. Cechują się mniejszym poborem prądu (średnio o 22%), a ich napięcie zasilania zostało zredukowane z 1,75 V do 1,475 V. Drobne zmiany konstrukcyjne stopni I/O spowodowały natomiast kompletną nieprzydatność stosowanych dotychczas chipsetów, a ich producenci zmuszeni zostali do wypuszczenia na rynek nowych wersji z charakterystyczną końcówką *T* w oznaczeniu (np. ViA 694T i ViAPro266T). Również chipset samego Intela (815E) musiał ulec modyfikacji — dopiero układy o oznaczeniu *Stepping-B* i nowsze spełniają wymogi stawiane przez strukturę półprzewodnikową *Taulatin*.

Pentium III/Xeon

Pentium III/Xeon jest odmianą procesora Pentium III przeznaczoną do wieloprocesorowych serwerów i stacji roboczych. W stosunku do swojego pierwowzoru został wzbogacony o następujące możliwości:

- Rozmiar pamięci podręcznej L2 wynosi do 2 MB.
- Możliwa jest praca w systemach SMP (zależnie od wersji do czterech CPU)[15].
- Procesor wykorzystuje złącze krawędziowe SC330 (Slot 2).
- Xeon wyposażony jest w pamięć konfiguracyjną, przechowującą niektóre parametry charakterystyczne.
- Procesory współpracujące z magistralą 133 MHz zawierają moduł OVCR (*On Cartridge Voltage Regulator*), dzięki któremu procesor może generować odpowiednie poziomy napięć zasilających.

Pentium III/Xeon z magistralą FSB 100 MHz może współpracować z chipsetami 440GX i 450NX lub i840. Ten ostatni implementuje magistrale FSB 133 MHz oraz AGP-4X. Pamięć systemu może być rozbudowana do 8 GB — w oparciu o układy SDRAM (PC 100) lub RDRAM.

[15] W materiałach źródłowych Intela można znaleźć wzmiankę o możliwości połączenia do 8 procesorów.

Tabela A.32. *Podstawowe dane procesorów Intel Pentium III współpracujących z magistralą 100 MHz*

	450	500	550	600	500E	550E	600E	650	700
Architektura	RISC								
Technologia	0,25 µm				0,18 µm (*Coppermine*)				
Zegar CPU [MHz]	450	500	550	600	500	550	600	650	700
Magistrala [MHz]	100	100	100	100	100	100	100	100	100
Mnożnik	×4,5	×5	×5,5	×6	×5	×5,5	×6	×6,5	×7
L1 Cache (dane/kod) [KB]	16/16								
L2 Cache	512 KB (1/2 CPU Clock)				256 KB (CPU Clock)				
Out of Order/Branch Prediction	✓/✓								
INT Pipeline/Units	10 Stages/11 Units								
V_{CORE} [V]	2,0				1,60	1,60 – – 1,70	1,65 – – 1,75	1,65 – – 1,70	1,65 – – 1,75
Pobór prądu, maks. [A]	14,5	16,1	17	17,8	10	11	12 – – 12,6	13	14 – – 14,8
SMP	do 2 procesorów								
Obudowa/Podstawka[A]	S	S	S	S	P	P	P	P	P

	750	800	850	900	1.0	1.10
Architektura	RISC					
Technologia	0,18 µm (*Coppermine*) — 28 milionów tranzystorów					
Zegar CPU [MHz]	750	800	850	900	1000	1100
Magistrala FSB [MHz]	100	100	100	100	100	100
Mnożnik	×7,5	×8	×8,5	×9	×10	×11
L1 Cache (dane/kod) [KB]	16/16					
L2 Cache	256 KB (CPU Clock)					
Out of Order/Branch Prediction	✓/✓					
INT Pipeline/Units	10 Stages/11 Units					
V_{CORE} [V]	1,65 – 1,75	1,65 – 1,70	1,65 – 1,75	1,70 – 1,75	1,75	1,75
Pobór prądu, maks. [A]	15,0 – 15,7	16,0	16,2 – 17,3	17,0 – 18,4	20,2	22,6
SMP	do 2 procesorów					
Obudowa/Podstawka[A]	S	S	S	S	S	S

[A] P — obudowa FC-PGA, podstawka PGA370; S — obudowa S.E.C.C. lub S.E.C.C. 2, podstawka SC242 (Slot-1).

Tabela A.33. *Podstawowe dane procesorów Intel Pentium III z magistralą FSB 133 MHz*

	533B	600B	533EB	600EB	667	733
Architektura	RISC					
Technologia	0,25 µm		0,18 µm (*Coppermine*) — 28 milionów tranzystorów			
Zegar CPU [MHz]	533	600	533	600	667	733
Magistrala [MHz]	133	133	133	133	133	133
Mnożnik	×4	×4,5	×4	×4,5	×5	×5,5
L1 Cache (dane/kod) [KB]	16/16					
L2 Cache	512 KB (1/2 CPU Clock)		256 KB (CPU Clock)			
Out of Order/Branch Prediction	✓/✓					
INT Pipeline/Units	10 Stages/11 Units					
V_{CORE} [V]	2,0	2,05	1,65	1,65 – 1,70	1,65 – 1,70	1,65 – 1,75
Pobór prądu, maks. [A]	16,7	17,8	10,6	12	13,3	14,6 – 15,4
SMP	do 2 procesorów					
Obudowa/Podstawka[A]	S		S i P			

	800EB	866	933	1.0B	1.13
Architektura	RISC				
Technologia	0,18 µm (*Coppermine*) — 28 milionów tranzystorów				
Zegar CPU [MHz]	800	866	933	1000	1133
Magistrala [MHz]	133	133	133	133	133
Mnożnik	×6	×6,5	×7	×7,5	×8,5
L1 Cache (dane/kod) [KB]	16/16				
L2 Cache	256 KB (CPU Clock)				
Out of Order/Branch Prediction	✓/✓				
INT Pipeline/Units	10 Stages/11 Units				
V_{CORE} [V]	1,65 – 1,75	1,65 – 1,75	1,65 – 1,75	1,70 – 1,75	1,75
Pobór prądu, maks. [A]	16,0 – 16,6	16,3 – 17,6	17,7 – 18,8	19,4 – 20,2	22,6
SMP	do 2 procesorów				
Obudowa/Podstawka[A]	S i P	S i P i P2	S i P i P2	S i P i P2	S i P2

[A] P — obudowa FC-PGA, podstawka PGA370; P2 — obudowa FC-PGA2, podstawka PGA370; S — obudowa S.E.C.C. lub S.E.C.C. 2, podstawka SC242 (Slot-1).

Tabela A.34. *Podstawowe dane procesorów Intel Pentium III wykonanych w technologii 0,13 µm*

	1,13	1,13	1,20	1,26	1,40
Architektura	RISC				
Technologia	0,13 µm (*Taulatin*)				
Zegar CPU [MHz]	1130	1130	1197	1263	1397
Magistrala FSB [MHz]	133	133	133	133	133
Mnożnik (A)	×8,5	×8,5	×9	x9,5	x10,5
L1 Cache (dane/kod) [KB]	16/16, 8×Associative				
L2 Cache (Clock 1:1)	256 KB+ECC	512 KB+ECC	256 KB+ECC	512 KB+ECC	512 KB+ECC
INT Pipeline/Units	10 Stages/11 Units				
Speculative Execution	✓				
Branch Prediction	✓				
V_{CORE} [V]	1,475	1,45	1,475	1,45	1,45
Pobór prądu, maks. [A]	20,1	19,4	20,6	20,5	21,8
Thermal Diode	✓				
SMP	×	2	×	2	2
Obudowa/Podstawka	FC-PGA2/PGA370				

Obecnie produkowane są trzy rodziny procesorów Petium III/Xeon (pierwsza w technologii 0,25 µm, pozostałe w 0,18 µm; wszystkie z rozszerzeniami SIMD; tabela A.35):

- Modele 500 i 550 MHz w sumie w sześciu odmianach, różniące się rozmiarami L2 (512 KB, 1 MB i 2 MB). Pamięć podręczna na module (*Cache off Die*) taktowana 1:1 w stosunku do zegara CPU wymaga stosowania bardzo szybkich chipów pamięciowych.
- Rodzina składająca się z siedmiu modeli — od 600 MHz do 1 GHz — na bazie jądra *Coppermine* w wersji z FSB 133 MHz. Pamięć podręczna L2 o rozmiarze 256 KB zintegrowana jest w obrębie struktury półprzewodnikowej CPU (C*ache on Die*) i taktowana pełnym zegarem procesora. Procesory dostępne są w trzech klasach napięciowych: 2,8 V, 5 V i 12 V. W przypadku dwóch ostatnich na module montuje się układy OVCR przetwarzające zasilanie do poziomu 2,8 V.
- Wersja dla systemów multiprocesorowych (do 4 CPU) reprezentowana przez modele 700 MHz i 900 MHz w mutacjach z 1 MB i 2 MB pamięci L2. Pamięć ta umieszczona jest w module i komunikuje się z jądrem poprzez szynę taktowaną z częstotliwością zegara CPU (tak jak w rodzinie 500/550 MHz). Magistrala FSB pracuje w trybie 100 MHz.

Pentium 4

Kolejny procesor firmy Intel jest efektem całego szeregu zmian konstrukcyjnych. Producent używa tu często określenia *NetBurst*, które jednak mimo dobrego brzmienia samo w sobie niewiele wyjaśnia. Główne cechy charakterystyczne architektury Pentium 4 zebrać można w następujących punktach:

Tabela A.35. *Podstawowe dane procesorów Intel Pentium III Xeon*

	500 (A)	**550** (A)	**600** (B)	**667** (B)	**733** (B)	**800** (B)	**866** (B)	**933** (B)	**1000** (B)	**700 (900)** (B,C)
Architektura	RISC									
Technologia	0,25 µm		0,18 µm							
Zegar CPU [MHz]	500	550	600	667	733	800	866	933	1000	700/900
Magistrala [MHz]	100	100	133	133	133	133	133	133	133	100
Mnożnik (D)	×5	×5,5	×4,5	×5	×5,5	×6	×6,5	×7	×7,5	×7/×9
L1 Cache (dane/kod) [KB]	16/16									
L2 Cache	(A)	(A)	256 KB (8-way)							(C)
Out of Order/Branch Prediction	✓/✓									
INT Pipeline/Units	10 Stages/11 Units									
Cacheable Area	64 GB									
SIMD Extentions	✓									
V_{CORE} [V]	2,0		2,8/5/12							2,8
Pobór prądu, maks. (wraz z L2) [A]	17,4 20,8 20,0(A)	18,9 18,9 21,7(A)	8,7 5,3 2,2(B)	9,4 5,7 2,4(B)	10,0 6,0 2,5(B)	10,9 6,6 2,7(B)	12,4 7,5 3,2(B)	13,1 7,9 3,3(B)	14,3 8,7 3,6(B)	13,9 8,4 3,5(B,G)
SMP	4		2							4
Podstawka	SC330(E)		SC330.1(F)							

(A) Trzy wersje L2: 512, 1024, 2048 KB.
(B) Trzy wersje napięcia zasilania 2,8 V, 5 V i 12 V.
(C) Dwie wersje L2 dla modelu 700 MHz (1024 i 2048 KB) i jedna dla 900 MHz (2048 KB).
(D) Wartość mnożnika nie ulega wpływom zewnętrznym.
(E) Złącze krawędziowe SC330 określane było wcześniej mianem Slot 2.
(F) Złącze krawędziowe SC330.1 to rozszerzenie złącza SC330, umożliwiające współpracę z magistralą 133 MHz i obsługę OVCR.
(G) Dane dla wersji 700 MHz.

- Procesor ma wyjątkowo długi potok przetwarzania (*Hyperpipelined*), na który składa się co najmniej 20 etapów[16] (*Stages*). Architektura tego rodzaju stanowi doskonałą podstawę do rozwijania linii procesorów taktowanych coraz wyższymi częstotliwościami. Wadą długiego potoku są duże straty czasu związane z jego opróżnianiem na skutek błędnego przepowiadania przebiegu wykonywania programu (*Branch Prediction*) i porzucania już częściowo przetworzonych fragmentów kodu.
- Architektura RISC nie przetwarza w zasadzie instrukcji x86, ale tzw. mikrokody (*µOPS*), na które instrukcje x86 są wstępnie tłumaczone. Jedną z najpoważniejszych zmian w architekturze Pentium 4 jest przechowywanie raz przetłumaczonych fragmentów programu. Pamięć podręczna TEC (*Trace Execution Cache*) ma

[16] Mowa o potoku przetwarzania instrukcji stałoprzecinkowych (INT). Dane na temat potoku FP nie zostały przez Intel opublikowane. 22 stacje to rzeczywiście dużo więcej w porównaniu z Pentium III (10) lub Athlon (11).

pojemność 12 K *µOPS*-ów, co w skali instrukcji x86 odpowiada około 32 – 64 KB. Pamięć ta ma ośmiokrotną asocjację. Rozmiar poszczególnych mikrokodów wcale nie jest mały — w przypadku Pentium III wynosi aż 118 bitów, czyli więcej niż samych instrukcji x86 (niektóre z nich są jednobajtowe). Przechowywanie *µOPS*-ów zamiast kodu x86 nie stanowi więc zbyt efektywnego wykorzystania pamięci, jeśli nie stosuje się specjalnych metod optymalizujących. W pamięci TEC przechowywane są więc jedynie te fragmenty kodu, które zostały faktycznie wykonane (nawet jako wynik *Out of Order Execution*). Klasyczna pamięć podręczna L1 operuje (w przeciwieństwie do TEC) całymi linijkami, w których zapamiętuje się pewną sekwencję kodu niezależnie od tego, co zawiera (choćby i czysty tekst omyłkowo umieszczony w segmencie kodu).

- Mikrooperacje uzupełniane są o dane z rejestrów i wędrują poprzez różnej wielkości kolejki (*Queues*) do rozdzielacza (*Scheduler*), kierującego je do odpowiednich jednostek wykonawczych. Element ten (będący słabym punktem architektury procesorów Pentium III)[17] został dużo lepiej opracowany. Dwa oddzielne porty obsługują jednostki zmiennoprzecinkowe FP/SSE-2, a każda z jednostek ALU (*Arithmetical Logical Unit*) i AGU (*Address Generation Unit*) ma do dyspozycji własny port.
- Po dwie jednostki ALU i AGU taktowane są z podwójną częstotliwością zegara CPU (*Double Pumped ALUs*), co Intel określa mianem *Rapid Execution Engine*. µOPS-y powstałe z rozłożenia rozkazów stałoprzecinkowych obsługiwane są przez ALU. W jednym cyklu zegarowym mogą być opracowane dwie takie mikroinstrukcje, a dokładnie rzecz biorąc, tylko niektóre z nich (tzw. *Fast*, czyli szybkie). Dla pozostałych (zajmujących więcej czasu) przewidziana jest specjalna jednostka wykonawcza (*Slow ALU*). Równolegle do tego pracuje jednostka FPU. Potok przetwarzający Pentium 4 może więc w jednym cyklu zegarowym zakończyć (*Retired*) maksymalnie 3 mikroinstrukcje.
- 64-bitowa magistrala FSB pierwszych Pentium 4 taktowana była zegarem 100 MHz. Transmisja odbywa się cztery razy w jednym cyklu zegara (*Quad Pumped*). Fakt ten upoważnia niejako do chętnie używanego przez Intel określenia 400 MHz, chociaż w istocie zegar magistrali pracuje z jedną czwartą tej częstotliwości. Maksymalne pasmo przepustowe sięga więc wartości 3,2 GB/s[18], co odpowiada podwójnemu kanałowi RAMBUS, dwóm kanałom pamięci PC1600 lub jednemu kanałowi pamięci PC3200. Dla porównania, pasmo magistrali Pentium III wynosi nieco ponad 1 GB/s. Kolejne wersje Pentium 4 wyposażane były w magistralę FSB 133 MHz (533 cykli/sekundę w trybie QDR, dwa kanały pamięci PC2100) oraz 200 MHz (800 cykli/sekundę w trybie QDR, dwa kanały pamięci PC3200).
- Nowość stanowi jednostka SSE-2 przetwarzająca 144 nowe instrukcje z tzw. grupy *SIMD-Extentions-2*. Są to znane już od czasu wprowadzenia rozkazów MMX operacje stało- i zmiennoprzecinkowe, ale na wyjątkowo długich, 128-bitowych danych. W ostatnim modelu Pentium 4 (o nazwie kodowej Prescott) wprowadzono też nowe rozkazy SSE-3 (poprzednio znane pod nazwą PNI — ang. *Prescott New Instructions*).

[17] Pentium III — 5 portów, z czego 3 zajęte przez jednostki obliczające adres.

[18] 400 M transferów 8-bajtowych na sekundę.

- L2 ma wymiar 256 KB, 512 KB lub 1024 KB i leży w obrębie struktury półprzewodnikowej procesora (*On-Die*). Taktowanie odbywa się z częstotliwością zegara CPU (CPU_{CLOCK} 1:1). Wewnętrzna organizacja L2 wykazuje ośmiokrotną asocjację, ale linijki są wyjątkowo duże i osiągają 128 bajtów[19]. Długie linijki mają korzystny wpływ na szybkość wymiany danych z pamięcią operacyjną (długie cykle *burst* na magistrali FSB są szczególnie korzystne dla pamięci RAMBUS). Z drugiej jednak strony utrata spójności danych pomiędzy L2 i RAM na choćby jednej tylko pozycji bitowej zmusza procesor do zapisu całych 1024 bitów. Aby tego uniknąć, linijki podzielone są na dwie sekcje po 64 bajty, co zmniejsza w pewnym sensie ruch na magistrali. Ewentualne błędy w obrębie L2 wykrywane są przez system kontroli oparty na kodach ECC.
- Pentium 4 przeznaczony jest wyłącznie do pracy w systemach z jednym procesorem.

Układ scalony umieszczany był początkowo w obudowie PGA o 423 końcówkach, później w dużo mniejszej i bardziej filigranowej obudowie FC-PGA2 (478 końcówek), a obecnie w nowatorskiej podstawce LGA-775 (ang. *Land Grid Array*), w której wyprowadzenia szpilkowe zamontowane są w samej podstawce, a procesor wyposażony jest jedynie w płaskie pola stykowe. Podstawowe parametry obydwu typów procesorów zebrano w tabelach A.36 i A.37.

Tabela A.36. *Podstawowe dane procesorów Intel Pentium 4 w podstawce 423 (jądro Willamette)*

	1,3	1,4	1,5	1,6	1,7	1,8	1,9	2,0
Architektura	RISC							
Technologia	0,18 µm — 42 miliony tranzystorów							
Zegar CPU [MHz]	1300	1400	1500	1600	1700	1800	1900	2000
Magistrala FSB [MHz]	100 (tryb QDR)							
L1 Cache (dane/kod)	8 KB/12 k µOPS Trace Cache							
L2 Cache on Chip	256 KB, (1:1 CPU_{Clock}), 8×Associative, Write Back, ECC, Bus: 256 bit							
Out of Order/Branch Prediction	✓/✓							
INT Pipeline/Units	≥20 Stages/7 Units=3×ALU+2×AGU+2×FPU							
SMP	×							
V_{CORE} [V]	1,7	1,7	1,7	1,75	1,75	1,75	1,75	1,75
$I_{CC\ MAX}$ [A]	38,1	40,6	43,0	47,7	50,2	50,6	52,7	55
Obudowa/Podstawka	PGA/PGA423							

Z początkiem roku 2002 na rynek wprowadzono procesory Pentium 4 produkowane w technologii 0,13 µm (jądro *Northwood*) (tabele A.38 – A.40). Zaczęły one stopniowo wypierać stosowane do tej pory układy 0,18 µm (*Willamette*). Nowe struktury zajmują około 40% mniej powierzchni, pozwalają na obniżenie napięcia zasilania do poziomu 1,5 V i wydzielają (mimo dwa razy większej pamięci L2) o 30% mniej ciepła. Technologia 0,13 µm ma zgodnie z zapowiedziami firmy Intel umożliwić rozwijanie linii Pentium 4 co najmniej do 3 GHz. W maju 2002 pojawiły się pierwsze procesory Pentium 4 z magistralą FSB 133 MHz (w terminologii Intela 533 MHz ze względu na tryb QDR). Magistralę taką implementuje chipset 850E. Pod koniec roku 2002 wprowadzony został procesor

[19] Pentium III — 32 bajty, Athlon — 64 bajty.

Tabela A.37. *Podstawowe dane procesorów Intel Pentium 4 w podstawce 478 (jądro Willamette)*

	1,4	1,5	1,6	1,7	1,8	1,9	2,0
Architektura	RISC						
Technologia	0,18 µm — 42 milionów tranzystorów						
Zegar CPU [MHz]	1400	1500	1600	1700	1800	1900	2000
Magistrala FSB [MHz]	100 (tryb QDR)						
L1 Cache (dane/kod)	8 KB/12 k µOPS Trace Cache						
L2 Cache	256 KB, (1:1 CPU_{Clock}), 8×Associative, Write Back, ECC, Bus: 256 bit						
Out of Order Execution/ Branch Prediction	✓/✓						
INT Pipeline/Units	≥20 Stages/7 Units = 3×ALU+2×AGU+2×FPU						
SMP	×						
V_{CORE} [V]	1,75						
$I_{CC\ MAX}$ [A]	41,3	43,5	45,9	48,1	50,4	55,2	57,4
Obudowa/Podstawka	FC-PGA2/mPGA478B						

Tabela A.38. *Podstawowe dane procesorów Intel Pentium 4 w podstawce 478 (jądro Northwood), FSB100*

	2,0A	2,2	2,4	2,5	2,6	2,8
Architektura	RISC					
Technologia	0,13 µm					
Zegar CPU [MHz]	2000	2200	2400	2500	2600	2800
Magistrala FSB [MHz]	100 (tryb QDR)					
L1 Cache (dane/kod)	8 KB/12 k µOPS Trace Cache					
L2 Cache	512 KB, (1:1 CPU_{Clock}), 8×Associative, Write Back, ECC, Bus: 256 bit					
Out of Order Execution/ Branch Prediction	✓/✓					
INT Pipeline/Units	≥20 Stages/7 Units = 3×ALU+2×AGU+2×FPU					
SMP	×					
V_{CORE} [V]	typ. 1,50 (1,475 – 1,525)					
$I_{CC\ MAX}$ [A]	45,1	47,9	50,7	52,0	53,5	55,9
Obudowa/Podstawka	FC-PGA2/mPGA478B					

Pentium 4 z rozszerzeniami HT (*Hyper Threading*) taktowany zegarem 3 GHz. Wydawać by się mogło, iż stałe podnoszenie częstotliwości stało się niejako logiczną konsekwencją redukcji rozmiarów struktur półprzewodnikowych. Proces ten ma jednak swój kres i nawet jeżeli nie brać pod uwagę innych barier, jedna wydaje się dosyć skuteczna: czasy propagacji. Wewnętrzne połączenia układu scalonego stanowią z punktu widzenia zjawisk falowych elementy RC wnoszące pewne opóźnienia. Wysokie sygnały zegarowe mają coraz krótsze okresy. W okolicy częstotliwości 5 GHz i przy założeniu stosownej do tego technologii 0,065 µm czas propagacji sygnału na odcinku 1 mm przewyższy okres jednego cyklu zegarowego. Procesor będzie więc musiał czekać na przetransportowanie sygnału w poprzek struktury półprzewodnikowej (np. do lub z pamięci podręcznej).

Tabela A.39. *Podstawowe dane procesorów Intel Pentium 4 w podstawce 478 (jądro Northwood), FSB 133*

	2,26	2,53	2,66	3,06 (HT)
Architektura	RISC			
Technologia	0,13 µm			
Zegar CPU [MHz]	2260	2530	2660	3060
Magistrala FSB [MHz]	133 (tryb QDR)			
L1 Cache (dane/kod)	8 KB/12 k µOPS Trace Cache			
L2 Cache	512 KB, (1:1 CPU_{Clock}), 8×Associative, Write Back, ECC, Bus: 256 bit			
Out of Order Execution/ Branch Prediction	✓/✓			
INT Pipeline/Units	≥20 Stages/7 Units = 3×ALU+2×AGU+2×FPU			
SMP	×			
V_{CORE} [V]	typ. 1,50			typ. 1,55
$I_{CC\ MAX}$ [A]	48,6	52,5	53,9	65,4
Obudowa/Podstawka	FC-PGA2/mPGA478B			

Tabela A.40. *Podstawowe dane procesorów Intel Pentium 4 w podstawce 478 (jądro Northwood), FSB 200*

	2400	2600	2800	3000	3200	3400
Architektura	RISC					
Technologia	0,13 µm					
Zegar CPU [MHz]	2400	2600	2800	3000	3200	3400
Magistrala FSB [MHz]	200 (tryb QDR)					
L1 Cache (dane/kod)	8 KB/12 k µOPS Trace Cache					
L2 Cache	512 KB, (1:1 CPU_{Clock}), 8×Associative, Write Back, ECC, Bus: 256 bit					
Out of Order Execution/ Branch Prediction	✓/✓					
INT Pipeline/Units	≥20 Stages/7 Units = 3×ALU+2×AGU+2×FPU					
SMP	×					
V_{CORE} [V]	1,50 — 1,60					
P_{MAX} [W] (wartość średnia)	67	70	71	82	83	90
Podstawka	mPGA478B					

Obecnie produkowane procesory Pentium 4 należą do rodziny Prescott. Procesory te charakteryzują się następującymi cechami:

- Technologia wytwarzania 90 nm (0,09 µm);
- Obudowa LGA-775 (dostępne są też wersje przejściowe, pracujące w podstawce Socket 478);

- Podstawowe potoki wykonawcze wydłużone z 20 do 31 etapów;
- Udoskonalony mechanizm *HyperThreading*, zwiększający efektywność współdzielenia jednostek wykonawczych i zmniejszający negatywny wpływ dużej liczby etapów potoków na wydajność oprogramowania;
- Pamięć podręczna poziomu drugiego (L2 cache) powiększona z 512 KB do 1024 KB;
- Zaimplementowany zestaw dodatkowych instrukcji SIMD nazwany SSE-3;
- Magistrala systemowa 200 MHz pracująca w trybie QDR (800 cykli na sekundę, przepustowość rzędu 6400 MB/s);
- Nowy system oznaczeń, zrywający z zależnością od częstotliwości zegara taktującego procesor.

Procesory Pentium 4 Prescott mimo, iż zastępują powoli układy z serii Northwood i osiągają coraz wyższe prędkości, mają również swoje wady:

- Układy rodziny Prescott osiągają wysokie temperatury pracy, co wiąże się z koniecznością stosowania wydajnego chłodzenia w celu uniknięcia niestabilnej pracy komputera lub uszkodzenia struktury układu;
- System dynamicznego dostosowywania napięcia zasilającego w czasie pracy działa wyłącznie przy nominalnych nastawach poziomu napięcia. Próba podniesienia napięcia zasilającego w celu efektywniejszego „podkręcenia" układu może skończyć się miejscowym lub ogólnym przegrzaniem struktury.

Ogólna charakterystyka procesorów z rodziny Pentium 4 Prescott została przedstawiona w tabeli A.41.

Tabela A.41. *Podstawowe dane procesorów Intel Pentium 4 w podstawkach Socket 478 i LGA-775 (jądro Prescott), FSB 133*

	2800	3000	3200	3400
Architektura	RISC			
Technologia	0,09 µm			
Zegar CPU [MHz]	2800	3000	3200	3400
Magistrala FSB [MHz]	200 (tryb QDR)			
L1 Cache (dane/kod)	16 KB/12 k µOPS Trace Cache			
L2 Cache	1024 KB, (1:1 CPU_{Clock}), 8×Associative, Write Back, ECC, Bus: 256 bit			
Out of Order Execution/ Branch Prediction	✓/✓			
INT Pipeline/Units	31 Stages/7 Units = 3×ALU+2×AGU+2×FPU			
SMP	×			
V_{CORE} [V]	typ. 1,40			
$I_{CC\ MAX}$ [A]	48,6	52,5	53,9	65,4
Podstawka	Socket 478 / LGA-775			

Celeron Willamette-128, Northwood-128

Procesor Celeron wytwarzany jest również na bazie jądra Pentium 4 pierwszej generacji z wykorzystaniem struktury *Willamette* (technologia 0,18 μm) lub *Northwood* (technologia 0,13 μm). Rozmiar pamięci podręcznej L2 ograniczony jest w obu przypadkach do 128 KB.

Pozostałe szczegóły architektury odpowiadają wnętrzu procesora Pentium 4. Magistrala FSB kluczowana jest z częstotliwością 100 MHz, ale w jednym takcie transmitowane są cztery słowa (*Quad Pumped*). Jako pierwszy zrealizowany został model 1,7 GHz umieszczany w obudowie FC-PGA2 o 478 końcówkach. Struktura ta pobiera tyle samo prądu, co odpowiadający jej egzemplarz Pentium 4, tzn. maksymalnie 48,1 A przy napięciu zasilania 1,75 V.

Ze względu na mierną wydajność (gorszą, niż taktowane zegarem o mniejszej częstotliwości jednostki AMD Duron), niezbyt niską temperaturę pracy oraz zbyt wysoką cenę procesory Celeron bazujące na rdzeniach *Wilamette-128* oraz *Northwood-128* nie są polecane.

Pentium 4/Xeon

Procesory Xeon wyprodukowane na bazie jądra Pentium 4 przeznaczone są do zastosowań profesjonalnych, głównie ze względu na możliwość pracy w systemach SMP. Intel oferuje dwie rodziny takich układów. Ich listy rozkazów mają implementowane rozszerzenia SSE2. We wszystkich przypadkach magistrala FSB jest 64-bitowa i taktowana zegarem FSB 100 MHz, ale transmisja odbywa się w trybie QDR, czyli cztery razy w jednym cyklu zegara (*Quad Pumped*), co odpowiada maksymalnej przepustowości 3,2 GB/s. Pentium 4/Xeon umieszczany jest w 603-końcówkowej obudowie FC-BGA.

- Do pracy w systemach Dual-CPU przeznaczona jest szeroka gama procesorów (od 1,4 GHz do 2,2 GHz). W 512 KB pamięci podręcznej L2 wyposażone są modele 1,8 GHz i 2,2 GHz, a procesory 1,4 GHz, 1,5 GHz i 1,7 GHz dysponują połową tej wartości. Model 2,0 GHz oferowany jest w obydwu wersjach. Napięcie zasilania wynosi około 1,4 V, a pobór prądu sięga 48 A (2,2 GHz z 512 KB).

- Przeznaczona dla systemów multiprocesorowych rodzina Xeon MP reprezentowana jest przez modele 1,4 GHz, 1,5 GHz i 1,6 GHz. Procesory te wyposażone są w pamięć podręczną L2 (256 KB) oraz L3 o rozmiarach 512 KB lub 1 MB. Pamięć L3 zintegrowana jest w ramach tej samej struktury półprzewodnikowej (*On-Die*). Procesory rodziny MP zasilane są napięciem 1,6 V, a orientacyjny pobór prądu dla największego egzemplarza wykracza nieco poza zakres 50 A.

Celeron D (Prescott-256)

Procesory Celeron D zbudowane są w oparciu o rdzeń *Prescott-256*. Rozmiar pamięci podręcznej drugiego poziomu został w ich przypadku ograniczony do 256 KB, co odpowiada procesorom klasy *Wilamette* (przy doskonalszej architekturze wewnętrznej rdzenia *Prescott*). Dzięki temu wydajność układów tej klasy jest wyraźnie wyższa, niż dotychczasowych Celeronów zbudowanych w oparciu o rdzenie *Wilamette-128* i *Northwood-128* i przewyższa osiągi procesorów AMD Duron, a nawet wolniejszych modeli procesorów AMD Athlon XP.

Magistrala FSB procesorów Celeron Prescott-256 pracuje z częstotliwością 133 MHz (533 cykli na sekundę, tryb QDR), co również wpływa pozytywnie na ich wydajność. Tak samo jak dotychczasowe Celerony, nowe układy nie wspierają technologii *HyperThreading* i nie mogą pracować w systemach wieloprocesorowych.

Pentium 4 Extreme Edition

Procesory Pentium 4 stanowią odpowiedź firmy Intel na premierę procesorów AMD Opteron i AMD Athlon 64. Ponieważ rodzina Prescott nie była wtedy jeszcze gotowa, projektanci firmy Intel zdecydowali się wyposażyć seryjny procesor Pentium 4 w trzeci poziom pamięci podręcznej (zapożyczony z układów Xeon) i oferować taką hybrydę jako procesor dla wymagających użytkowników komputerów osobistych (a więc cel rynkowy układów Pentium 4 EE jest taki sam, jak w przypadku procesorów AMD Athlon 64 FX).

Procesory Pentium 4 EE produkowane są w technologii 0,13 µm na bazie rdzenia Gallatin i pasują do gniazd Socket 478. Wyposażone są w 2048 KB pamięci podręcznej trzeciego poziomu (L3) pracującej w trybie *inclusive*, co oznacza, że 512 KB pojemności tej pamięci tracone jest na przechowywanie kopii zawartości drugiego poziomu cache. Pamięć L3 jest zorganizowana ośmiodrożnie (*8-Way Set Associative*) i chroniona jest za pomocą mechanizmu ECC.

Wszystkie wersje Pentium 4 EE korzystają z magistrali FSB taktowanej częstotliwością 200 MHz (800 cykli na sekundę, tryb QDR) i obsługują technologię *HyperThreading*. W momencie pisania tych słów dostępne były dwa modele Pentium 4 EE, taktowane częstotliwością 3200 MHz oraz 3400 MHz.

Olbrzymia pamięć podręczna, doskonale uzupełniająca długie potoki wykonawcze architektury Pentium 4, nawet dzisiaj zapewnia procesorom Pentium 4 EE królowanie w niektórych testach wydajności. Niestety, procesory te należą do dość kosztowych.

Podstawki i obudowy procesorów Intel

W miarę rozwoju technologii i powstawania nowych modeli procesorów rosły wymagania stawiane ich obudowom. Stosowane tu materiały muszą charakteryzować się dobrymi właściwościami cieplnymi, elektrycznymi i mechanicznymi. Stały wzrost liczby tranzystorów powoduje konieczność odprowadzania ogromnej ilości ciepła, które wytwarza się w strukturze półprzewodnikowej. Taktowanie zegarami z zakresu wielu setek MHz powoduje, iż wszystkie sygnały są przebiegami o bardzo wysokich częstotliwościach, a ich jakość zależy od parametrów falowych połączeń, również tych na odcinku od struktury półprzewodnikowej do podstawki procesora. Obudowy muszą też być odporne mechanicznie. Radiatory i wentylatory są coraz bardziej masywne, a ich siła nacisku na procesor (dla zmniejszenia oporów termicznych) jest niemała.

Rozwój w tej dziedzinie można przedstawić, analizując pokrótce kolejne typy podstawek i obudów stosowanych przez dominującego na rynku producenta procesorów, czyli firmę Intel.

- Procesory Pentium II przystosowane były do podstawki ze złączem krawędziowym SC242. Pierwsze modele pakowano w obudowy S.E.C.C. (*Single Edge Contact Cartridge*).
- Obudowa S.E.C.C. 2 stanowiła rozwinięcie S.E.C.C. i stosowano ją w późniejszych wersjach Pentium II oraz wczesnych wersjach Pentium III. Usunięcie płytki pośredniczącej między radiatorem a procesorem poprawiało parametry termiczne.
- W przypadku oznaczenia S.E.P. (*Single Edge Processor*) trudno mówić o obudowie. Była to bowiem sama płytka drukowana ze złączem SC242, która stanowiła element nośny dla procesora, pamięci podręcznej i kilku innych elementów dyskretnych (porównaj rysunek A.12). S.E.P. stosowano w procesorach Celeron od 266 do 433 MHz[20].
- W momencie uruchomienia produkcji procesorów w podstawce PGA370 wprowadzono plastikową obudowę PPGA (*Plastic Pin Grid Array*). W takiej postaci występowały np. Celerony w wersjach od 300 A do 533 MHz.
- Ceramiczna obudowa FC-PGA (*Flip-Chip Pin Grid Array*) przeznaczona jest również dla procesorów w podstawce PGA370. Struktura półprzewodnikowa jest w tym przypadku umieszczona odwrotnie i przylega swym podłożem do powierzchni górnej obudowy. Rozwiązanie takie polepsza znacznie parametry termiczne. W FC-PGA pakowane były Celerony od 533A do 1100 MHz.
- Obudowa FC-PGA2 stosowana jest w nowszych typach procesorów przystosowanych do podstawki PGA370, takich jak np. Celeron 1,2 GHz oraz Pentium III 1,13 i 1,20 (jądra w technologii 0,13 µm). Różnica w stosunku do FC-PGA polega na użyciu dodatkowej metalowej płytki IHS (*Integrated Heat Spreader*), pokrywającej od góry strukturę półprzewodnikową i poprawiającej parametry termiczne.
- Pentium 4 wytwarzany jest w trzech typach obudów, z których każda wymaga innej podstawki. Pierwsze procesory zamykane były w obudowie PGA423 (423 końcówki), a nowsze wersje w obudowie o konstrukcji FC-PGA2 wyposażonej w 478 końcówek (podstawka mPGA478B). Najnowsze procesory zbudowane w oparciu o rdzeń Prescott występują też w wersji LGA-775, charakteryzującej się wbudowaniem złącz szpilkowych w podstawkę procesora (sam układ zawiera jedynie płaskie pola stykowe).
- Pierwsze procesory rodziny Xeon należące do rodziny Pentium II oraz następujące po nich modele na podstawie Pentium III wyposażane były ze względu na swoje rozmiary w szerokie złącze Slot-2. Aktualne Xeony pakowane są w 603-końcówkową obudowę FC-BGA.

Procesory IDT

Omawiane w tym punkcie procesory opracowane zostały w firmie *Centaur Technology*, należącej do grupy IDT (*Integrated Device Technology*). Powstały specjalnie dla zaspokojenia potrzeb rynku tanich komputerów (zarówno stacjonarnych, jak i przenośnych).

[20] Modele 300A, 333, 366, 400 i 433 produkowano również w podstawce PPGA.

Miały konkurować ze stosunkowo drogimi produktami potentatów rynkowych (Intel i AMD). Ich niewątpliwą zaletą była konkurencyjna cena — przy zachowaniu zgodności na poziomie końcówek z procesorami grupy P54C (pojedyncze napięcie zasilające), mimo implementacji instrukcji MMX (takich jak w P55C). Procesory IDT przewidziane były do pracy w otoczeniu odpowiadającemu podstawce typu Socket 7, a częstotliwości magistrali FSB mogły przyjmować wartości 60, 66 lub 75 MHz.

Rosnąca konkurencja i polityka cenowa dominujących firm zmusiły IDT do opuszczenia tego sektora. *Centaur* został sprzedany firmie ViA za — może nie okrągłą, ale też ładną — sumę 51 milionów dolarów.

WinChip C6

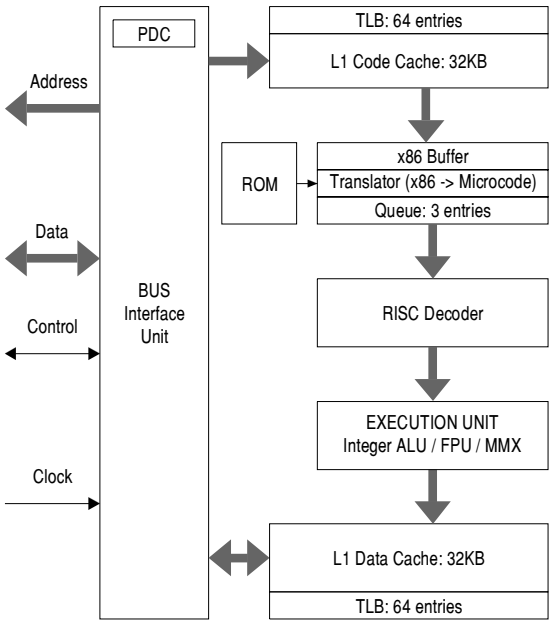
WinChip znał jedynie mnożniki całkowite, tj. ×2, ×3, ×4 i ×5[21]. Najszybszy model tej rodziny taktowany był zegarem 240 MHz (tabela A.42). Prosta architektura rzutowała na mniejsze rozmiary struktury półprzewodnikowej (88 mm^2 w porównaniu z 162 mm^2 K6, oba w technologii 0,35 μm) oraz mały pobór mocy, równy prawie połowie tego, co zużywają procesory K6 lub M2.

Tabela A.42. *Podstawowe dane procesorów IDT WinChip C6*

	C6-180	C6-200	C6-225	C6-240
Architektura	RISC			
Technologia	0,35 μm			
Zegar CPU [MHz]	180	200	225	240
Magistrala [MHz]	60	66	75	60
Mnożnik (BF)	×3	×3	×3	×4
L1 Cache (kod/dane)	32 KB 2-Ways Associative/32 KB 2-Ways Associative			
Pipe-Lines/Stages	1/5			
Out of Order Execution	×			
Branch Prediction	×			
TLB	Code Cache TLB: 64 Entries 4-Ways Data Cache TLB: 64 Entries 4-Ways			
V_{CORE}, $V_{I/O}$ [V]	3,52 V (3,45 – 3,6) lub 3,3 V (3,135 – 3,6)			
Pobór mocy, maks. [W]	11,5	13,0	14,8	15,8
Return Stack	8			
Podstawka	Socket 7			

Architekturę zoptymalizowano pod kątem szybkości wykonywania najczęściej spotykanych instrukcji (rysunek A.14). Cierpiały na tym oczywiście instrukcje kompleksowe, których czas wykonania był znacznie dłuższy niż w innych procesorach rodziny x86. WinChip nie miał mechanizmów przepowiadania kierunku rozgałęzień (*Branch Prediction*). Wszystkie rozkazy wykonywane były w naturalnej kolejności, w której

[21] Układ BF2 : BF1 : BF0 = 1:1:1 interpretowany jest przez C6 jako ×4. Ten sam układ odpowiada ×1,5 dla Pentium P54C, ale ×3,5 dla pozostałych procesorów rodziny x86.



Rysunek A.14. *Schemat blokowy procesora IDT WinChip C6*

występowały w programie (*In-Order Execution*). Procesor dekodował w jednym cyklu zegarowym co najwyżej jeden rozkaz x86 (dla porównania: Pentium MMX — dwa rozkazy, a K6 — trzy rozkazy). Taka sama proporcja obowiązywała w stosunku do liczby wykonywanych rozkazów. Jeśli dane nie znajdowały się w pamięci podręcznej, praca potoku ulegała wstrzymaniu.

Specjalnością architektury WinChip była mała pamięć podręczna PDC (*Page Directory Cache*). PDC stanowił wyodrębniony fragment TLB o pojemności 8 rekordów (wspólny dla *Data L1 Cache TLB* i *Code L1 Cache TLB*). Struktury takiej nie było ani w procesorach Intel, ani w AMD K6, ani w 6x86MX Cyriksa. Jej obecność przyczyniała się do lepszego zagospodarowania miejsca w pamięci podręcznej i poprawiała współczynnik trafienia w obrębie L1. WinChip nie miał natomiast (podobnie jak Pentium MMX i AMD K6) wbudowanej tablicy TLB dla pamięci podręcznej L2. Tablicę taką miał z kolei 6x86MX Cyriksa.

C6 dysponował bardzo dobrym systemem ograniczania poboru mocy. Większość bloków o dużym zużyciu energii samorzutnie się wyłączała, jeśli przez pewien czas nie była używana. Do układów objętych tym nadzorem należały: pamięć podręczna L1 (zarówno dla kodu, jak i dla danych), jednostka MMX oraz jednostka FPU.

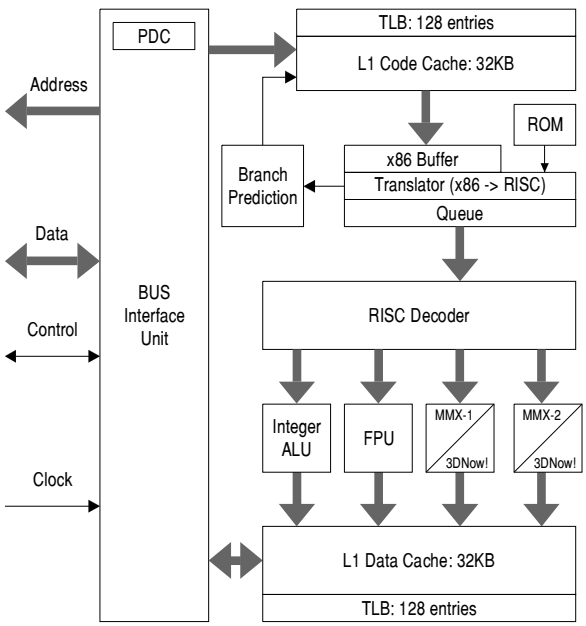
Pewną ciekawostkę stanowiła również możliwość programowania odpowiedzi na rozkaz `cpuid`. Pozwalało to na wykorzystanie procesora w programach, uzależniających swoją pracę od łańcucha znaków zwracanego w wyniku wywołania tego rozkazu. Bez przeprogramowania WinChip zwracał łańcuch „CentaurHauls” oraz sekwencję Family-Model-Stepping w postaci 05h-04h-xxx (ciąg „xxx” mógł oznaczać różne wartości).

WinChip 2

Prostota procesora C6 powodowała, iż mimo posiadania jednostki MMX był on w zasadzie bezużyteczny w pracy z aplikacjami multimedialnymi. Dla firmy IDT szybko stało się oczywiste, że aby nie wypaść z rynku, należało poddać procesor natychmiastowej modernizacji.

Oto główne zmiany wprowadzone do modelu WinChip 2:

- Nowa, poprawiona jednostka FPU. Nadal jednak pozostawiono tylko jeden potok *Integer* (inne, konkurencyjne procesory rodziny x86 miały dwa takie potoki).
- Wprowadzono mechanizm przewidywania wyniku instrukcji warunkowych (rozgałęzień), pracujący w oparciu o dynamicznie aktualizowaną tablicę BHT (*Branch History Table*). Każdy rekord tej tablicy opisywał (w formie liczby 12-bitowej) dotychczasowe zachowanie się jednego z rozgałęzień programowych. Tablica była indeksowana, co znacznie skracało czas dostępu.
- Podwójna jednostka MMX (rysunek A.15) mogła teoretycznie wykonywać do dwóch instrukcji MMX w jednym cyklu. Ponieważ jednak blok MMX-1 realizował operacje mnożenia i dodawania, natomiast blok MMX-2 odpowiedzialny był za przesunięcia i rozkazy pakowania, nie było możliwe parowanie dowolnych rozkazów MMX.
- Implementowane zostały funkcje 3DNow!, wykonywane w blokach MMX-1 lub MMX-2.
- WinChip2 przystosowano do pracy w otoczeniu zgodnym ze specyfikacją podstawki typu Super 7 (magistrala FSB 100 MHz; tabela A.43).
- Procesory WinChip 2A wykorzystywały ułamkowe mnożniki częstotliwości.



Rysunek A.15. *Schemat blokowy procesora IDT WinChip 2*

Tabela A.43. *Podstawowe dane procesorów IDT WinChip 2*

	W2-225	**W2-240**	**W2-250**	**W2-266**	**W2-300**	***W2-200A***	***W2-233A***	***W2-266A***	***W2-300A***
Architektura	RISC								
Technologia	0,28 µm/0,35 µm					0,25 µm			
Zegar CPU [MHz]	225	240	250	266	300	200	233	233	250
Magistrala [MHz]	75	60	83	66	75/100	66	66	100	100
Mnożnik (BF)	×3	×4	×3	×4	×4/×3	×3	×3,5	×2,33	×2,5
L1 Cache (kod/dane)	32 KB, 2-Ways/32 KB, 4-Ways								
Pipe-Line Stages	6								
Out of Order Execution	×								
TLB	Code Cache TLB: 128 Entries/8-Ways Data Cache TLB: 128 Entries/8-Ways								
Branch Prediction	Branch History Table: 4096 Entries								
V_{CORE}, $V_{I/O}$ [V]	3,52 V (3,45 – 3,6) lub 3,3 V (3,135 – 3,6)								
Pobór mocy, maks. [W]	12	13	14	15	16	12	13	14	16
Return Stack	8								
Interface	Socket Super 7								